

TOBB EKONOMİ VE TEKNOLOJİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

**ULTRA YÜKSEK HIZLI VE DÜŞÜK ENERJİLİ YAPAY SINIR HÜCRE
DEVRESİNİN TASARIMI VE GERÇEKLENMESİ**

YÜKSEK LİSANS TEZİ

Mustafa Altay KARAMÜFTÜOĞLU

Elektrik ve Elektronik Mühendisliği Anabilim Dalı

Tez Danışmanı: Doç. Dr. Ali BOZBEY

ARALIK 2018

Fen Bilimleri Enstitüsü Onayı

.....
Prof. Dr. Osman EROĞUL
Müdür

Bu tezin Yüksek Lisans derecesinin tüm gereksinimlerini sağladığını onaylarım.

.....
Doç. Dr. Tolga GİRİCİ
Anabilimdalı Başkanı

TOBB ETÜ, Fen Bilimleri Enstitüsü'nün 161211083 numaralı Yüksek Lisans Öğrencisi **Mustafa Altay KARAMÜFTÜOĞLU** 'nun ilgili yönetmeliklerin belirlediği gerekli tüm şartları yerine getirdikten sonra hazırladığı "**ULTRA YÜKSEK HIZLI VE DÜŞÜK ENERJİLİ YAPAY SİNİR HÜCRE DEVRESİNİN TASARIMI VE GERÇEKLENMESİ**" başlıklı tezi **10.12.2018** tarihinde aşağıda imzaları olan jüri tarafından kabul edilmiştir.

Tez Danışmanı : **Doç. Dr. Ali BOZBEY**
TOBB Ekonomi ve Teknoloji Üniversitesi

Jüri Üyeleri : **Prof. Dr. Mehmet Önder EFE (Başkan)**
Hacettepe Üniversitesi

Yrd. Doç. Dr. Mehmet ÜNLÜ
TOBB Ekonomi ve Teknoloji Üniversitesi

TEZ BİLDİRİMİ

Tez içindeki bütün bilgilerin etik davranış ve akademik kurallar çerçevesinde elde edilerek sunulduğunu, alıntı yapılan kaynaklara eksiksiz atıf yapıldığını, referansların tam olarak belirtildiğini ve ayrıca bu tezin TOBB ETÜ Fen Bilimleri Enstitüsü tez yazım kurallarına uygun olarak hazırlandığını bildiririm.

Mustafa Altay KARAMÜFTÜOĞLU

ÖZET

Yüksek Lisans

ULTRA YÜKSEK HIZLI VE DÜŞÜK ENERJİLİ YAPAY SİNİR HÜCRE

DEVRESİNİN TASARIMI VE GERÇEKLENMESİ

Mustafa Altay Karamüftüoğlu

TOBB Ekonomi ve Teknoloji Üniversitesi
Fen Bilimleri Enstitüsü
Elektrik ve Elektronik Mühendisliği Anabilim Dalı

Danışman: Doç. Dr. Ali Bozbey

Tarih: Aralık 2018

Etkili hesaplama işlemlerinde kullanılmak amacıyla insan beyin fonksiyonlarının ve genel prensiplerinin yapay nöronlar aracılığıyla nasıl taklit edileceğinin anlaşılması, mevcut bilim topluluğunu etkilemiştir. İşlevsellik, sinir hücreleri veya nöronlar olarak bilinen beyin hücrelerinin kendiliğinden birleşmesinden gelmektedir. İnsan beyin hücresinin moleküler düzeyde modellenmesi, biyolojik karmaşıklığı nedeniyle pratik değildir. Matematiksel yaklaşımlar ve teknolojik gelişmeler, yapay nöron modellerinin donanım ve yazılım uygulamasını kolaylaştırmaktadır. Sayısal yazılım araçları, yapay sinir ağlarında (YSA) biyolojik sinir ağı davranışını benimsemek için yapay sinirleri birbirine bağlamaktadır. YSA yazılım araçları, YSA'ların öğrenme becerileri, hesaplama gücü ve paralel işlem yoluyla yüksek hesaplama hızının olması nedeniyle sinir ağı uygulamalarının kullanımında geniş çapta kabul görmektedir. Ayrıca, YSA modelleri geleneksel hesaplama cihazlarından daha basittir. Yüksek performanslı sayısal işlem devrelerinde, bir nöron hücresi karmaşık problemlerin çözülebilmeye imkanlarını geliştirmektedir. Bu nedenle, temel bir nöron modeli, çip üzerinde bir YSA veya hibrit dijital devre oluşturma kapasitesine sahiptir.

Bu çalışmada, biyolojik beyin hücrelerini taklit etmek için, çip üzerinde YSA oluşturma ve sızıntılı Topla ve Ateşle Nöron (Integrate and Fire Neuron, IFN) modelini sağlama potansiyeli olan bir Josephson Eklemi (Josephson Junction, JJ) tabanlı Yapay Nöron (Josephson Junction based Artificial Neuron, JJ-AN) devresi sunulmaktadır. Tasarlanan yapay nöron devresi, üç ana yapıdan oluşur: bir direnç tarafından kesintiye uğratılmış İki Eklemlili Süperiletken Kuantum Girişim Aygıtı (Superconducting Quantum Interference Device, SQUID) yapısı (eşik döngüsü), seri direnç ve indüktans yapısı (sönümlenme döngüsü) ve eşik döngü ile sönümlenme döngü indüktansları arasındaki karşılıklı indüklenme. Sunulan model, sadece bir giriş ve bir çıkış portuna sahiptir ve bu yapı, devreyi nispeten basit olarak tanımlamaktadır. Bununla birlikte, nöron devresi, diğer nöron devreleriyle birlikte kullanılmasının yanı sıra Tek Akı Kuantum (Single Flux Quantum, SFQ) dijital kütüphane devreleriyle de bir araya getirildiği için böyle bir tasarımın optimizasyonu çok önemli bir süreçtir. Nöron modelinin çalışma frekansı 120 GHz'ye kadar gözlemlenmiştir. Araştırma için bir örnek olarak, farklı eşik değerleri oluşturan iki parametre seti, minimum çalışma aralığı sırasıyla $\pm 23\%$ ve $\pm 7\%$, eniyileyici tarafından ayarlanıp oluşturulmuştur.

Anahtar Kelimeler: Süperiletken, Yapay nöron, Nöron devresi, Asenkron eşik devresi, Topla ve ateşle nöron modeli, Sızıntılı topla ve ateşle nöronu

ABSTRACT

Master of Science

DESIGN AND IMPLEMENTATION OF AN ULTRA HIGH SPEED AND LOW ENERGY ARTIFICIAL NEURON

Mustafa Altay Karamüftüoğlu

TOBB University of Economics and Technology
Institute of Natural and Applied Sciences
Electrical and Electronics Engineering Science Programme

Supervisor: Assoc. Prof. Dr. Ali Bozbey

Date: December 2018

The current scientific community captivated by understanding the general principles of human brain functions, as a further matter, on how to mimic the abilities by utilizing artificial neurons for more efficient computing. Functionality comes from self-assembly of brain cells, known as nerve cells or neurons. Modeling human brain cell at a molecular level is not practical on account of its biological complexity. Mathematical approaches and technological developments led the hardware and software implementation of artificial neuron models easier. Computational software tools connect artificial neurons to each other to create Artificial Neural Network (ANN) to adopt biological neural network behavior. ANN software tools have gained extensive acceptance for wide range use of neural network applications because of learning abilities, computational power and speed through parallel processing. Furthermore, the models of ANN are simpler than conventional computing devices. For high performance computing circuits, a neuron cell can enhance the possibilities of solving complex problems. Therefore, a basic neuron model has the capacity of building an ANN on chip or hybrid digital circuits.

To mimic the biological brain cell, this study shows a Josephson Junction (JJ) based Artificial Neuron (JJ-AN) circuit that satisfies the capability of creating ANN on chip and leaky Integrate and Fire Neuron (IFN) model. This artificial neuron circuit is formed by three main structures: a double-junction SQUID interfered with a resistor (threshold loop), adjoined resistor and inductance structure (decaying loop), and mutual conductance between threshold loop and decaying loop inductances. The proposed model has only one input and one output ports and it makes the circuit relatively simple. Nevertheless, optimization of such a design is a crucial process as neuron circuit is not only used together with other neuron circuits but also combined all together with Single Flux Quantum (SFQ) digital library circuits. Operation frequency of neuron model is observed up to 120 GHz. As an example for the research, two parameter sets that make different threshold values are converged by the modified optimizer that shows minimum margins of $\pm 23\%$ and $\pm 7\%$ respectively.

Keywords: Superconductor, Artificial neuron, Neuron circuit, Asynchronous threshold circuit, Integrate and fire model neuron, Leaky IFN

TEŐEKKÜR

Tez alıŐmalarımnda bilgi, birikim ve tecrübeleriyle bana yol gsteren deęerli hocam Ali BOZBEY'e, burs saęladıęı iin TOBB Ekonomi ve Teknoloji niversitesi'ne, ilgi ve nerilerini gstermekten kaınmayan TOBB Ekonomi ve Teknoloji niversitesi Elektrik Elektronik Mhendislięi Blm ęretim yelerine, alıŐmalarımna yapmıŐ oldukları katkılarından dolayı Sasan RAZMKHAH ve Eren Can AYDOęAN'a, arkadaşlarıma, beni bu gnlere sevgi ve sayęı kelimelerinin anlamlarını bilecek Őekilde yetiŐtirerek getiren ve benden hibir zaman desteęini esirgemeyen bu hayattaki en byk Őansım olan aileme sonsuz teŐekkrler ederim.

İÇİNDEKİLER

	<u>Sayfa</u>
ÖZET	iv
ABSTRACT	vi
TEŞEKKÜR	viii
İÇİNDEKİLER	ix
ŞEKİL LİSTESİ	xi
ÇİZELGE LİSTESİ	xiv
KISALTMALAR	xv
SEMBOL LİSTESİ	xvi
1. GİRİŞ	1
1.1. Tezin Amacı	2
1.2. Süperiletkenlik Hakkında Genel Bilgiler	3
1.3. Tezde Kullanılan RSFQ Mantık Kapıları	10
1.1.1. Josephson iletim hattı (JTL)	10
1.1.2. Ayırıcı devre (SPL)	12
1.1.3. Birleştirici devre (CBU)	14
1.1.4. Tam toplayıcı devre (T1)	15
1.1.5. Değil kapısı (NOT)	17
1.1.6. DC-SFQ dönüştürücü devre	19
1.1.7. SFQ-DC dönüştürücü devre	20
1.4. Literatür İncelemesi/Taraması	21
1.2.1. Yarıiletken nöron devreleri	22
1.2.2. Süperiletken nöron devreleri	26
1.5. Tasarım Araçları	31
1.3.1. Cadence devre tasarım ve simülasyon programı	31
1.3.2. JSIM simülatörü	31
1.3.3. InductEx indüktans hesaplama modülü	33
1.6. Tezde Kullanılan Üretim Yöntemi ve Tasarım Kuralları	35
2. TEST SİSTEMİ	39
3. JJ-AN ve NÖRON AĞI DEVRESİ TASARIM ve GERÇEKLEMESİ 41	
3.1. Tasarımın Amacı ve Biyolojik-Matematiksel Nöronlar ile Uyumu	41
3.2. Nöron Devresi Tasarım Yapısı	43
3.3. Nöron-RSFQ Devreleri Girdi-Çıktı Uyumu	45
3.4. Nöron Devre Optimizasyonu ve Fabrikasyonu	45
3.5. JJ-AN Tabanlı Mantık Kapıları ve İkilik Taban Çarpma Devresinde Taşma Bitinin Entegrasyonu	49
3.6. JJ-AN ve JNOTE ile Aritmetik Devre Tasarımı ve Ağ Gerçeklemesi	50
3.6.1. ÖZELVEYA devre tasarımı	51
3.6.2. Eşlik biti hesaplayıcı devre tasarımı	51
3.6.3. Yarım toplayıcı devre tasarımı	52
3.6.4. Yarım çıkarıcı devre tasarımı	52

3.6.5.	Veri seçim devre tasarımı.....	53
3.6.6.	Tam toplayıcı devre tasarımı.....	53
3.6.7.	Tam çıkarıcı devre tasarımı.....	54
3.6.8.	İki bit toplayıcı devre tasarımı	55
3.6.9.	İki bit çarpıcı devre tasarımı.....	55
3.6.10.	Dijital sayı algılama devresi tasarımı	56
3.7.	Yonga Entegrasyonunda Girdi Deseninin Gerçeklemesi	57
3.7.1.	Nöron girdi deseni tasarımı	57
3.7.2.	Eşlik biti devresinin girdi deseni tasarımı	59
3.8.	Simülasyon Sonuçları.....	61
3.8.1.	JJ-AN devresinin simülasyonu	61
3.8.2.	JJ-AN devresinin RSFQ devreleriyle uyumluluk simülasyonu	62
3.8.3.	JJ-AN ile mantık ve aritmetik operasyonlarının simülasyonu	64
3.8.4.	JJ-AN ile dijital sayı algılama simülasyonu	71
3.8.5.	JJ-AN girdileri için kurulan test devre simülasyonu	73
3.8.6.	Farklı test girdilerine sahip JJ-AN devrelerinin simülasyonu	74
3.8.7.	Üç bitlik sayaç devresinin simülasyonu	76
3.8.8.	Eşlik biti devresinin simülasyonu	76
3.9.	DeneySEL Sonuçlar	78
3.9.1.	Farklı girdilere sahip JJ-AN devrelerinin deneySEL sonuçları	78
3.9.2.	Eşlik biti devresinin deneySEL sonuçları	79
4.	SONUÇ VE ÖNERİLER.....	81
	KAYNAKLAR.....	83
	ÖZGEÇMİŞ.....	91

ŞEKİL LİSTESİ

Sayfa

Şekil 1.1 : Civa elementinin 4.2K sıcaklığındaki direnç-sıcaklık ilişkisi [28].....	3
Şekil 1.2 : Akım yoğunluğu, manyetik alan ve sıcaklık eksenlerine göre süperiletkenlik koşul bölgesi.....	4
Şekil 1.3 : Süperiletken materyalde meissner etkisi	5
Şekil 1.4 : Manyetik Alan Etkisi, (a) Manyetik Alana Maruz Kalmış Süperiletken Malzemenin Soğutulurkenki Görünümü, (b) Süperiletken Malzeme Üzerindeki Manyetik Alanın Kaldırılmasıyla Oluşan Akım Görünümü	6
Şekil 1.5 : S-I-S yapısında akım ile gerilim ilişkisi [32].....	7
Şekil 1.6 : S-I-S yapısının gösterimi	7
Şekil 1.7 : Josephson eklemi modellemesi [33].....	8
Şekil 1.8 : Josephson eklemine oluşturulan SFQ darbe çıktısı	9
Şekil 1.9 : Akım ile gerilimin McCumber parametresine olan etkisi [32].....	9
Şekil 1.10 : JTL şematik gösterimi	11
Şekil 1.11 : JTL devresinin simülasyon sonucu.....	12
Şekil 1.12 : SPL şematik gösterimi	13
Şekil 1.13 : SPL devresinin simülasyon sonucu	13
Şekil 1.14 : CBU şematik gösterimi.....	14
Şekil 1.15 : CBU devresinin simülasyon sonucu	15
Şekil 1.16 : T1 mantık devresinin moore diyagramı [35]	16
Şekil 1.17 : T1 mantık devresinin şematik gösterimi.....	16
Şekil 1.18 : T1 mantık devresinin simülasyon sonucu.....	17
Şekil 1.19 : DEĞİL mantık devresinin moore diyagramı [35].....	18
Şekil 1.20 : DEĞİL mantık devresinin şematik gösterimi	18
Şekil 1.21 : DEĞİL mantık devresinin simülasyon sonucu	19
Şekil 1.22 : DC-SFQ dönüştürücü devresinin şematik gösterimi	20
Şekil 1.23 : SFQ-DC dönüştürücü devresinin şematik gösterimi	21
Şekil 1.24 : Dönüştürücü devre simülasyon sonucu, (a) DC-SFQ, (b) SFQ-DC.....	21
Şekil 1.25 : Düşük enerjili yapay CMOS nöron devre şeması [6].....	23
Şekil 1.26 : Düşük enerjili yapay CMOS nöron devre simülasyonu [6].....	23
Şekil 1.27 : CMOS sızıntılı IFN modeli devre blok diyagramı [8].....	25
Şekil 1.28 : CMOS sızıntılı IFN modeli devre simülasyonu [8].....	25
Şekil 1.29 : Dürtü üreten CMOS nöron devre şeması, (a) Sinaps (b) Nöron [9]	26
Şekil 1.30 : Dürtü üreten CMOS nöron devresinin deneysel sonuçları [9]	26
Şekil 1.31 : Üç Josephson eklemli süperiletken nöron şematik gösterimi [21]	27
Şekil 1.32 : Üç Josephson eklemli süperiletken nöron devresinin giriş ile çıkış gerilimleri ilişkisi [21].....	27
Şekil 1.33 : Çok katmanlı JJ'lerle oluşturulan süperiletken nöronun şematik ve sembol gösterimi [19]	28
Şekil 1.34 : SFQ IFN modeli [16].....	29

Şekil 1.35 : SFQ IFN model simülasyonu [16].....	29
Şekil 1.36 : Süperiletken sinaps entegreli nöron şematik gösterimi [18].....	30
Şekil 1.37 : Sinaps entegreli yapının simülasyon sonucunda elde edilen sinyallerinin fazları ve çıktı gerilimi [18]	30
Şekil 1.38 : JTL devresinin netlist gösterimi.....	32
Şekil 1.39 : JTL devresinin JSIM sonucu	33
Şekil 1.40 : InductEx netlist görünümü [53].....	34
Şekil 1.41 : InductEx sonucunun terminal görünümü [53].....	34
Şekil 1.42 : Devre Görünümleri, (a) Üç İndüktörün Bağlanma Noktalarıyla Birlikte Görünümü, (b) Yapının Yonga Çizimi Görünümü, (c) Üç Boyutlu InductEx Modelinin Kesikler Halinde Gösterimi, (d) Üç Boyutlu InductEx Modelin Tek Parça Gösterimi [53].....	34
Şekil 1.43 : AIST-STP2 üretimindeki bir kesitin yan görünümü [26].....	35
Şekil 2.1 : Test sistemi blok diyagramı	40
Şekil 3.1 : Yapay nöronun matematiksel modeli ve çizimi.....	42
Şekil 3.2 : Yapay nöron devre şeması	43
Şekil 3.3 : Yapay nöron parametrelerinin çalışma aralıkları.....	47
Şekil 3.4 : İki SFQ darbesi eşikli JJ-AN devresinin yonga üzerindeki görünümü..	48
Şekil 3.5 : Üç SFQ darbesi eşikli JJ-AN devresinin yonga üzerindeki görünümü .	48
Şekil 3.6 : ‘VE’, ‘VEYA’ ve ‘ÇOĞUNLUK’ mantık operasyonlarının nöronsal gösterimleri ve doğruluk tabloları	49
Şekil 3.7 : ‘VE’ ve ‘VEYA’ operasyonunu gerçekleştiren JJ-AN devre şeması	49
Şekil 3.8 : ‘ÇOĞUNLUK’ operasyonunu gerçekleştiren JJ-AN devre şeması.....	49
Şekil 3.9 : İki bitlik çarpma devresinin taşma bitlerinin JJ-AN devresiyle hesaplanması ve ilgili doğruluk tablosu	50
Şekil 3.10 : ÖZELVEYA devresi ve doğruluk tablosu	51
Şekil 3.11 : Eşlik biti hesaplayıcı devre ve doğruluk tablosu	51
Şekil 3.12 : Yarım toplayıcı devre ve doğruluk tablosu.....	52
Şekil 3.13 : Yarım çıkarıcı devre ve doğruluk tablosu.....	53
Şekil 3.14 : Veri seçim devresi ve doğruluk tablosu.....	53
Şekil 3.15 : Tam toplayıcı devre ve doğruluk tablosu.....	54
Şekil 3.16 : Tam çıkarıcı devre ve doğruluk tablosu.....	54
Şekil 3.17 : İki bit toplayıcı devre ve doğruluk tablosu	55
Şekil 3.18 : İki bit çarpıcı devre ve doğruluk tablosu	56
Şekil 3.19 : JJ-AN’lar ile dijital sayıların algılanma sırası	56
Şekil 3.20 : Dijital sayı algılama devresi ve doğruluk tablosu.....	57
Şekil 3.21 : JJ-AN devrelerinin bireysel test girdilerinin oluşturulması	58
Şekil 3.22 : JJ-AN ve bireysel girdilerini üreten devrelerin yonga gösterimi.....	59
Şekil 3.23 : Üç bitlik sayaç devresinin modeli.....	60
Şekil 3.24 : Sayaç devresi ile eşlik biti devresinin birleştirilmiş modeli	60
Şekil 3.25 : Sayaç devresi ile eşlik biti devresinin birleştirilmiş modelinin yonga üzerinde gösterimi	60
Şekil 3.26 : JJ-AN devresinin JSIM test şeması.....	61
Şekil 3.27 : JJ-AN devresinin JSIM sonuçları	62
Şekil 3.28 : JJ-AN ile JTL devrelerinin uyumluluk testi şeması.....	63
Şekil 3.29 : Birleştirilen iki SFQ sinyali eşikli JJ-AN ile JTL devrelerinin JSIM sonucu.....	63
Şekil 3.30 : Birleştirilen üç SFQ sinyali eşikli JJ-AN ile JTL devrelerinin JSIM sonucu.....	64

Şekil 3.31 : ‘VE’ ve ‘VEYA’ operasyonlarının JSIM sonucu	65
Şekil 3.32 : ‘ÇOĞUNLUK’ operasyonunun JSIM sonucu	65
Şekil 3.33 : ‘ÖZELVEYA’ operasyonunun JSIM sonucu	66
Şekil 3.34 : Yarım toplayıcı devrenin JSIM sonucu	67
Şekil 3.35 : Yarım çıkarıcı devrenin JSIM sonucu	67
Şekil 3.36 : Veri seçim devresinin JSIM sonucu	68
Şekil 3.37 : Tam toplayıcı devrenin JSIM sonucu	69
Şekil 3.38 : Tam çıkarıcı devrenin JSIM sonucu	69
Şekil 3.39 : İki bit toplayıcı devrenin JSIM sonucu	70
Şekil 3.40 : İki bit çarpıcı devrenin JSIM sonucu	71
Şekil 3.41 : Dijital sayı algılama devresinin girdileri	72
Şekil 3.42 : Dijital sayı algılama devresinin çıktıları	72
Şekil 3.43 : Bireysel JJ-AN devrelerinin test girdilerini oluşturan devrelerin JSIM sonucu	73
Şekil 3.44 : İki SFQ eşikli JJ-AN devrelerinin JSIM sonuçlarının SFQ sinyali gösterimi	74
Şekil 3.45 : İki SFQ eşikli JJ-AN devrelerinin JSIM sonuçlarının DC sinyali gösterimi	74
Şekil 3.46 : Üç SFQ darbesi eşikli JJ-AN devrelerinin JSIM sonuçlarının SFQ sinyali gösterimi	75
Şekil 3.47 : Üç SFQ eşikli JJ-AN devrelerinin JSIM sonuçlarının DC sinyali gösterimi	75
Şekil 3.48 : Üç bitlik sayaç devresinin JSIM sonucu	76
Şekil 3.49 : Üç bitlik sayaç devresi ve JJ-AN eşlik biti devrelerinin JSIM sonucunun SFQ sinyali ile gösterimi	77
Şekil 3.50 : Üç bitlik sayaç devresi ve JJ-AN eşlik biti devrelerinin JSIM sonucunun DC sinyali ile gösterimi	77
Şekil 3.51 : İki SFQ darbe eşikli JJ-AN devrelerinin deneysel sonuçlarının DC sinyali ile gösterimi	78
Şekil 3.52 : Üç SFQ darbe eşikli JJ-AN devrelerinin deneysel sonuçlarının DC sinyali ile gösterimi	79
Şekil 3.53 : Eşlik biti devrelerinin deneysel sonucunun DC sinyal ile gösterimi	79

ÇİZELGE LİSTESİ

Sayfa

Çizelge 1.1 : SFQ nöronunun biyolojik ve CMOS nöronları ile karşılaştırılması ...	24
Çizelge 1.2 : AIST-STP2 katman bilgileri [26]	36
Çizelge 1.3 : AIST-STP2 tasarım kural bilgileri [26]	37



KISALTMALAR

AC	:Alternating Current (Alternatif Akım)
AIST	:National Institute of Advanced Industrial Science and Technology (Ulusal Endüstriyel İleri Bilim ve Teknoloji Enstitüsü)
ANN (YSA)	:Artificial Neural Network (Yapay Sinir Ağı)
CBU	:Confluence Buffer, Merger Circuit (Birleştirici Devre)
CLK	:Clock (Saat Darbesi)
CMOS	:Complementary Metal Oxide Semiconductor (Bütünleyici Metal Oksit Yarıiletken)
CRAVITY	:Clean Room for Analog-Digital Superconductivity (Analog-Dijital Süperiletkenlik için Temiz Oda)
DC	:Direct Current (Doğru Akım)
e-RSFQ	:Efficient Rapid Single Flux Quantum (Verimli ve Hızlı Tek Akı Kuantumu)
H_c	:Critical Magnetic Field (Kritik Manyetik Alan)
I_B	:Bias Current (Besleme Akımı)
I_c	:Critical Current (Kritik Akım)
IFN	:Integrate & Fire Neuron (Topla & Ateşle Nöronu)
J_c	:Critical Current Density (Kritik Akım Yoğunluğu)
JJ	:Josephson Junction (Josephson Ekleme)
JJ-AN	:Josephson Junction based Artificial Neuron (Josephson Ekleme Temelli Yapay Nöron)
JSIM	:Josephson Simulator (Josephson Simülatorü)
JTL	:Josephson Transmission Line (Josephson İletim Hattı)
PSO	:Particle Swarm Optimization (Parçacık Sürü Optimizasyonu)
RSFQ	:Rapid Single Flux Quantum (Hızlı Tek Akı Kuantumu)
SFQ	:Single Flux Quantum (Tek Akı Kuantumu)
S-I-S	:Superconductor-Insulator-Superconductor (Süperiletken-Yalıtkan-Süperiletken)
SPL	:Splitter Circuit (Ayrıcı Devre)
SQUID	:Superconducting Quantum Interference Device (Süperiletken Kuantum Girişim Cihazı)
STP2	:Standard Process 2 (Standart Süreç 2)
T_c	:Critical Temperature (Kritik Sıcaklık)
VTM	:Vortex Transitional Memory (Girdap Geçiş Belleği)

SEMBOL LİSTESİ

Bu çalışmada kullanılmış olan simgeler açıklamaları ile birlikte aşağıda sunulmuştur

Simgeler	Açıklama
A	Akım birimi (Ampere)
e	Elektron yükü
E	Enerji
F	Frekans
G	Giga
H	İndüktans birimi (Henry)
Hz	Frekans birimi (Hertz)
I	Akım
J	Enerji birimi (Joule)
k	Kilo
L	İndüktans
m	Mili
m	Metre
m_s	Süperiletkende parçacık kütle miktarı
M	Mega
n	Nano
n_s	Süperiletkende elektron yoğunluğu
p	Piko
P	Güç
q_s	Süperiletkende elektronların yükü
R	Direnç
s	Saniye
t	Zaman
T	Sıcaklık
V	Potansiyel fark (Gerilim, Voltaj, Volt)
W	Güç birimi (Watt)
x	Yatay koordinat eksen
y	Dikey koordinat eksen
β_C	McCumber parameter (McCumber parametresi)
Δ	Cooper çiftlerinin bağlanma enerjisinin yarısı
Φ	Manyetik akı
Φ_0	Manyetik akı Kuantası (2.07×10^{-15} Weber)
\hbar	Plank sabiti
δ	İki süperiletken katmandaki elektrotların faz farkı
Ψ	Makroskopik dalga fonksiyonu sembolü
Ω	Direnç birimi (Ohm)
τ	Dalgaın sönümlenme zaman sabiti
μ	Mikro

1. GİRİŞ

Nöronlar, verileri işleme ve genel davranış biçimi oluşturma amacıyla elektrokimyasal sinyallerin alımı ve gönderimi gibi fonksiyonlarından dolayı insan beyninin temel birimleri olarak kabul edilmektedir [1]. Nöronlar arası bağlantıyı sağlayan dendritler, diğer nöronların aksonlarından gelen sinaptik girdileri almaktadır ve bilgileri hücreye iletmektedir. Soma, hücrenin dendritlerinden gelen tüm sinyalleri bir araya toplamaktadır ve ilgili girdi sinyallerine göre bir yanıt üretmektedir. Aksonlar ise ilgili hücrenin elektriksel yanıtını, bağlı olan diğer nöronlara iletmektedir. Bu yapılardan oluşan insan beyin hücreleri, bir araya gelerek beynin fonksiyonellik özellikleri ortaya çıkarmaktadır. Biyolojik hücrenin işlev yapısına göre ilgili benzer özellikleri bulduran matematiksel nöron modelleri oluşturulmuştur [2,3].

Yapay sinir ağları, biyolojik beyni simüle ederken görüntü tanıma, karar verme, tahmin etme gibi karmaşık problemlerle baş etmenin alternatif ve etkili bir yolu olarak düşünülmektedir [4,5]. Nöron davranışının uygulamalı gerçekleştirilmesi, beynin yaptığı gibi olayları öğrenebilen nöromorfik bilgisayarlar oluşturma fırsatı vermektedir. Hesaplamalı yazılım araçları, YSA kullanarak biyolojik sinir ağlarının davranışını taklit etmekte veya belirli bir amaca yönelik olan uygulamaların gerçekleştirilmesini sağlamaktadır. YSA yazılım araçları, nöronlar arası bağlantıları uygun bir şekilde gerçekleştirerek nöronların öğrenme ile sayısal hesaplamadaki güç ve hız özelliklerinden yararlanmaktadır.

CMOS üretim teknoloji ile donanımsal nöron tasarım örnekleri [6–9] bulunmasına rağmen Moore yasası, CMOS teknolojisinin temel sınırlarıyla karşı karşıya olduğunu göstermektedir [10,11]. Bu durum, nöromorfik bir bilgisayarın gerçekleştirilmesi için yapay nöron uygulamaları [12] ile ilgili farklı teknoloji araştırmalarını motive etmektedir. Donanımsal nöron uygulama teknolojileri için en güçlü adaylardan biri, RSFQ teknolojisidir [13,14]. Düşük güç tüketimi ile ultra yüksek hızlı anahtarlama davranışına sahip olan Josephson eklemlerinin karakteristik özellikleri, biyolojik nöronların özellikleriyle uyumaktadır.

Bir beyin hücresinin karakteristik özelliklerinin gerçekleştirilmesini, RSFQ teknolojisini kullanarak gerçekleyen çeşitli nöron devreleri bulunmaktadır [15–21]. Fakat bu devreler, yüksek karmaşıklık, çip alanının verimsiz kullanımı, düşük çalışma hızı ve/veya standart mantık devrelerine uygun entegrasyonu sağlayan standart RSFQ dijital kütüphane elemanları ile uyumsuzluk gibi problemlere sahiptir. Çalışmadaki tasarım, sızıntılı IFN modeline dayanmaktadır ve biyolojik bir beyin hücresi operasyonunun etkili ve gürbüz bir şekilde uygulamasını göstermektedir. Nöron devresi, giriş ile çıkış hatlarının uyuşması sayesinde bir başka devreye ihtiyaç duymadan bir sonraki nöronu ve/veya kütüphanedeki dijital RSFQ devrelerini tetikleyebilmektedir. Tezde sunulan nöronun ana özelliklerine ek olarak, standart RSFQ devrelerinin üretim işlemleriyle uyumluluk özelliği bulunmaktadır [22–25].

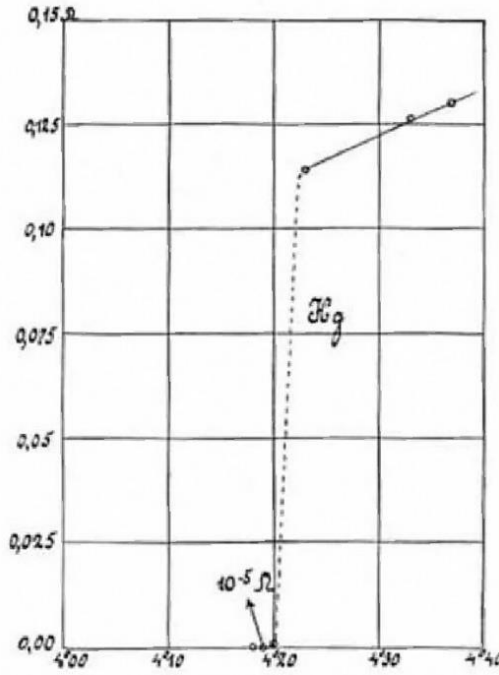
1.1. Tezin Amacı

Çeşitli uygulamalarda gerçekleştirilen YSA tasarımları, aslında bir biyolojik sinir ağı yapısının benzetimleridir. Bu sinir ağlarının amacı, verilerde yer alan kalıpları tanımaya yöneliktir. Sinir ağları, veri örneklerini elde ettikten sonra gelecekteki verilerde benzer modelleri tespit ederek tahminlerde bulunabilmektedir. Öğrenebilen yazılımlara yapay zeka adı verilmektedir ve sinir ağları, yapay zeka olarak bilinen alanın bir dalıdır. Tez kapsamında gerçekleştirilen çalışmalarda, sinir ağlarının yapı taşı olan sinir hücresinin süperiletken modeli sunulmaktadır. Bu tez çalışmasında yer alan iki eşikli JJ-AN devresi 50 GHz hızında ve üç eşikli JJ-AN devresi 25 GHz hızında olacak şekilde tasarlanmıştır. JTL tasarımından dolayı sınırlanmasıyla 120 GHz değerine kadar çıkabilen yüksek çalışma hızına sahiptir. Darbe başına 5×10^{-19} J kadar enerji harcayan düşük enerjili işlem gerçekleştirebilme özelliklerine sahip olan bu model ile büyük ölçekli ve çok sayıda sinir hücresi içeren sinir ağlarının oluşturulması mümkün olmaktadır. Yaklaşık 2~3 ps sürede sönmüş SFQ darbelerini çıktı olarak oluşturan JJ-AN devresi, zamanda sabit olan, zamanla artan veya azalan sürekli sinyalleri ve dürtü sinyalleri gibi farklı tarz girdi sinyallerini kullanabilmektedir. Tasarım olarak birbirinden farklı bir eşik değere sahip olabilen JJ-AN devreleri, ‘VE’ ve ‘VEYA’ mantık kapıları gibi farklı amaçlarda kullanılabilir. Tez içerisinde bu devrelerin ilgili simülasyon sonuçları ve/veya deneysel sonuçları yer almaktadır. JJ-AN devresinin kullanımına örnek olarak ve bu çalışmada deneysel olarak ispatlanmış olan eşik biti devresi oluşturulmuştur. Tasarımı

gerçeklenen JJ-AN devreleri ve ilgili eşlik biti devresi, AIST-STP2 teknolojisi kullanılarak üretilmiştir [26]. Üretim sonucu elde edilen yongalar, temiz odada yonga tutucu ile olan bağlantıları yapıldıktan sonra Faraday kafesinde test edilmiştir.

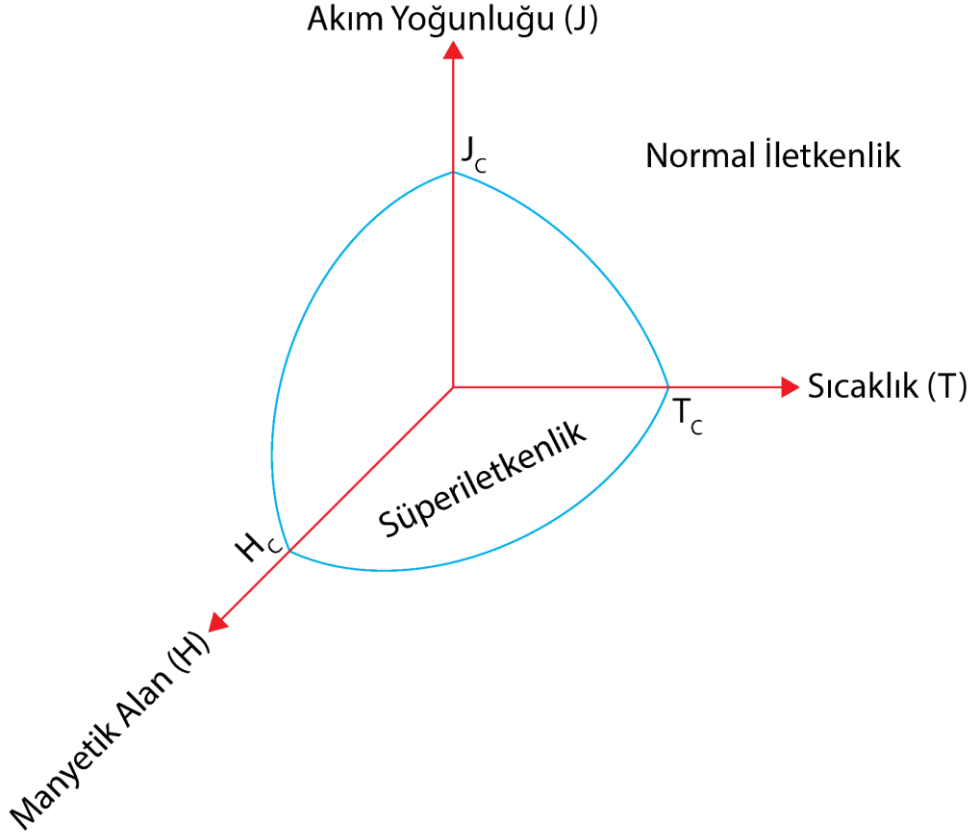
1.2. Süperiletkenlik Hakkında Genel Bilgiler

Heike Kamerlingh Onnes'in 1911 yılında laboratuvarında civa (Hg) elementini 4.2K sıcaklık değerinin altına soğutarak malzemenin dirençsiz duruma geldiğini keşfetmiştir ve bu fenomeni, 'süperiletkenlik' olarak adlandırmıştır [27]. Onnes'in bu fenomeni keşfinden iki yıl sonra kendisine Nobel ödülü verilmiştir. Keşfedilen süperiletkenlerin ilki olan civa elementinin sıcaklık ile direnç ilişkisi Şekil 1.1'de yer almaktadır.



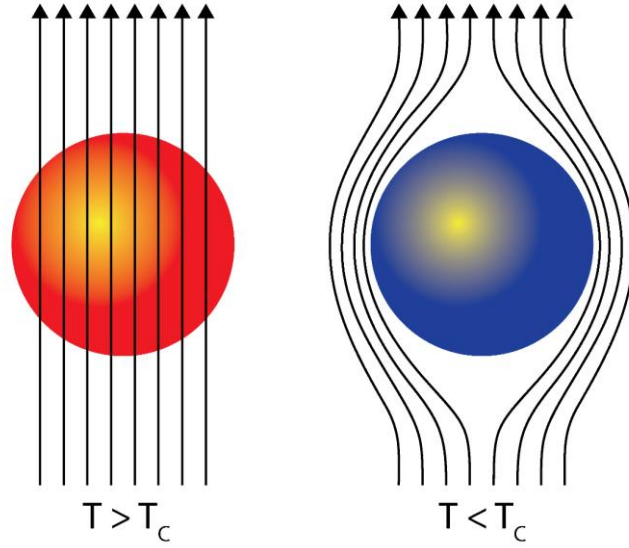
Şekil 1.1 : Civa elementinin 4.2K sıcaklığındaki direnç-sıcaklık ilişkisi [28]

Süperiletkenlik koşulunun sağlanabilmesi için süperiletken olarak tanımlanan elementin karakteristik özelliklerini tanımlayan kritik akım yoğunluğu (J_c), kritik manyetik alan (H_c) ve kritik sıcaklık (T_c) değerlerinin belirli bir seviyenin altında olması gerekmektedir. Bu koşullardan herhangi birinin sağlanamaması durumunda element, süperiletkenlik durumundan çıkıp normal durumuna dönmektedir. Süperiletkenlik durumunun korunabilmesi için malzemenin sağlaması gereken kritik parametrelerin küresel gösterimi Şekil 1.2'de yer almaktadır.



Şekil 1.2 : Akım yoğunluğu, manyetik alan ve sıcaklık eksenlerine göre süperiletkenlik koşul bölgesi

Yaklaşık 25 yıl sonra Walther Hans Meissner ve Robert Ochsenfeld (1933) tarafından süperiletken malzemelerin manyetik akıyı dışladığı keşfedildi. Meissner etkisi olarak isimlendirilen bu durum, süperiletkenlerin manyetik alan etkisi altındaki davranışını belirlemektedir. Süperiletken malzemeler, normal durumda sahip oldukları manyetik alanı korumaya yönelik içsel bir akım üretmektedir. Dirençsiz bir iletken yapısına sahip olduklarından dolayı, herhangi bir kayıp gerçekleşmemektedir ve akım sonsuza kadar yapı içerisinde kalmaktadır. Bir süperiletkeni bir mükemmel iletkenle ayıran özellik, süperiletkenin manyetik alanı dışlamasıdır ve diamanyetik olmasıdır. Sıcaklık değerinin kritik sıcaklık değerinden yüksek olduğu durumda süperiletken malzeme, manyetik alanı içerisinden geçirmektedir. Fakat, sıcaklığın kritik sıcaklık değerinin altına düşürülmesiyle malzeme, manyetik alanı dışlamaya çalışmaktadır. Süperiletken malzeme, uygulanan manyetik alan değerinin kritik değere gelinceye kadar süperiletken özelliğini korumaktadır ama kritik değere geldikten sonra süperiletkenlik özelliğini kaybetmektedir. Meissner etkisinin kritik sıcaklığa bağlı olarak gösterimi Şekil 1.3'te yer almaktadır.



Şekil 1.3 : Süperiletken materyalde meissner etkisi

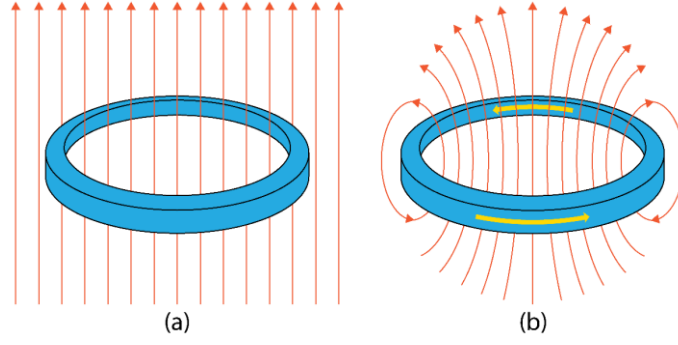
1935 yılında Fritz London ve Heinz London tarafından Meissner etkisini açıklayan London teoremi sunulmuştur. London eşitlikleri olarak bilinen bu denklemlerin ilki London katsayısını ve ikincisi, London nüfuz derinliğini sunmaktadır. London eşitlikleri sırasıyla Denklem (1.1) ve Denklem (1.2)'de yer almaktadır.

$$\Lambda = \frac{m_s}{n_s q_s^2} \quad (1.1)$$

$$\lambda_L = \sqrt{\frac{\Lambda}{\mu_0}} \quad (1.2)$$

London nüfuz derinliği, malzemelerin karakteristik özelliklerine göre değişmektedir. Malzemeler, her ne kadar manyetik alanı dışlasa da manyetik alan belirli bir derinliğe kadar nüfuz edebilmektedir. Bu değer yaklaşık olarak 10 ile 100 nm arasında değişmektedir [29].

Süperiletken malzemelerde manyetik akının dışlanma yapısının olması için malzemenin deliksiz yani halka yapısına benzer bir yapıya sahip olmaması gerekmektedir. Akı kuantizasyonu olarak isimlendirilen durum, manyetik alan etkisinde olan süperiletken bir malzemenin sıcaklığının düşürülmesinden sonra manyetik alanının kaldırılması ve malzemenin eski manyetik alan değerini korumaya yönelik iç akım oluşturmasıdır. Manyetik alanın soğutulmuş malzeme üzerine olan etkisini anlatan görsel Şekil 1.4'te yer almaktadır.



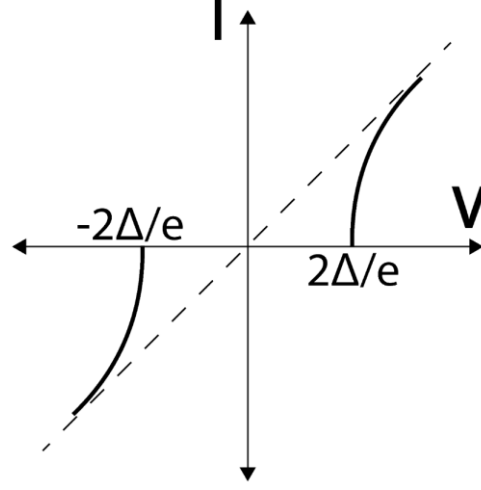
Şekil 1.4 : Manyetik Alan Etkisi, (a) Manyetik Alana Maruz Kalmış Süperiletken Malzemenin Soğutulurkenki Görünümü, (b) Süperiletken Malzeme Üzerindeki Manyetik Alanın Kaldırılmasıyla Oluşan Akım Görünümü

1957 yılında John Bardeen, Leon Cooper ve John Schrieffer, süperiletkenliğin doğası hakkında mevcut kuramsal anlayışı sağlayan mikroskobik teoriyi sunmuşlardır ve teori, BCS teorisi olarak isimlendirilmiştir. Çalışmalarından dolayı 1972 yılında Nobel ödülüne layık görülmüşlerdir. Cooper çiftleri olarak adlandırılan bağlı elektron çiftlerinin taşımış oldukları akımı ve malzemenin normal ile süperiletken durumları arasında bir enerji boşluğu olduğunu göstermişlerdir. Denklem (1.1)'de yer alan London katsayısındaki ' m_s ' parametresi, ' $-2e$ ' ve ' n_s ' parametresi, Cooper çiftlerinden dolayı normal yoğunluğun yarısı ($\frac{n}{2}$) olarak tanımlanmıştır. Şekil 1.4 (b)'de yer alan hapsedilmiş akımın manyetik akı kuantası şeklinde yazılması amaçlanmıştır. Manyetik akının, akı kuantalarının tam katları olacak şekilde olması gerektiği hesaplanmıştır [30]. İlgili manyetik akı kuantası ve manyetik akı eşitliği, Denklem (1.3) ve Denklem (1.4)'te yer almaktadır.

$$\Phi_0 = \frac{h}{2e} \quad (1.3)$$

$$\Phi = n \Phi_0 \quad (1.4)$$

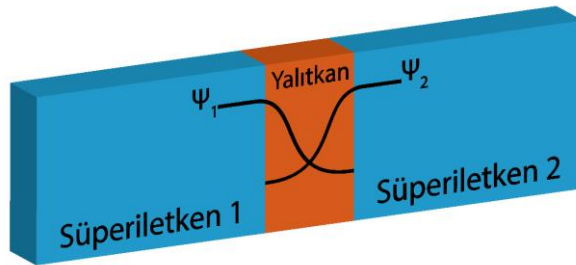
1962 yılında Brian Josephson, bir elektronun normal fizik kanunlarına göre geçemeyeceği bir potansiyel bariyerden geçmesi durumunu incelemiştir. Bariyerden geçmek için yeterli enerjisi olmayan parçacığın bariyeri aşmasına parçacık tünellemesi adı verilmiştir. Akım iletiminin süperiletken iki malzeme arasına yalıtkan bir malzeme konulması (S-I-S yapısı) durumunda bile iletimin gerçekleştirilebileceğini göstermiştir. Yalıtkan ile ayrılan plakalara belirli bir gerilim değeri uygulanarak geçen akım miktarı incelenmiştir. Süperiletken plakalar kullanıldığında (S-I-S yapısı oluşturulduğunda) akım ile gerilim ilişkisi Şekil 1.5'teki gibi olmaktadır [31]. Josephson, bu çalışmalarının doğrulanmasıyla Nobel ödülüne layık görülmüştür.



Şekil 1.5 : S-I-S yapısında akım ile gerilim ilişkisi [32]

Şekil 1.5'teki gerilim ekseninde yer alan kesim noktaları, Cooper çiftlerinin bağlanma enerjileriyle (2Δ) doğrudan ilişkilidir. Kesim noktası, Cooper çiftlerinin kırılmasıyla normal elektronların tünellemeyi oluşturacağı ve akımın geçeceğini ifade etmektedir. Gerilim değerinin kesim noktasına ulaşmasıyla süperiletkenliğin bozulduğu gözlemlenmektedir. Süperiletkenlik özelliğinin bozulması sonucunda malzemeden geçen akım miktarı, normal durumda sahip olduğu değerlere (kesikli çizgiye) yakınsamaktadır.

S-I-S olarak oluşturulan yapı, Josephson eklemi olarak isimlendirilmiştir. Josephson eklemine herhangi bir voltaj uygulanmadığında, eklem içerisinde bir süperakım oluşmaktadır. Bu durum DC Josephson etkisi olarak adlandırılmaktadır. Eğer eklem DC bir voltaj uygulandığında oluşan süperakım AC bir karakteristik gösterir ve bu durum AC Josephson etkisi olarak adlandırılmaktadır [32]. İlgili S-I-S yapısı, Şekil 1.6'da yer almaktadır.



Şekil 1.6 : S-I-S yapısının gösterimi

Şekil 1.6'da yer alan süperiletken malzemelerde oluşan Cooper çiftleri, makroskopik dalga fonksiyonu (Ψ) olarak tanımlanabilmektedir. θ faz değerine sahip olan Cooper

çiftlerinin dalga fonksiyonu, Denklem (1.5)'te yer almaktadır. Süperiletken 1 ve 2 numaralı malzemeler arasında oluşan faz farkı, δ sembolüyle temsil edilmektedir ve faz farkına bağlı olarak oluşan DC Josephson etkisi, Denklem (1.6)'da yer almaktadır.

$$\Psi = \Psi_0 e^{i\theta} \quad (1.5)$$

$$I = I_C \cdot \sin\delta \quad (1.6)$$

Süperiletken malzemelerin uçlarına bir gerilim uygulandığında oluşan AC Josephson etkisi, Denklem (1.7)'de yer almaktadır. Eşitliğin her iki tarafı, integral işlemine gönderildiğinde Denklem (1.8) elde edilmektedir.

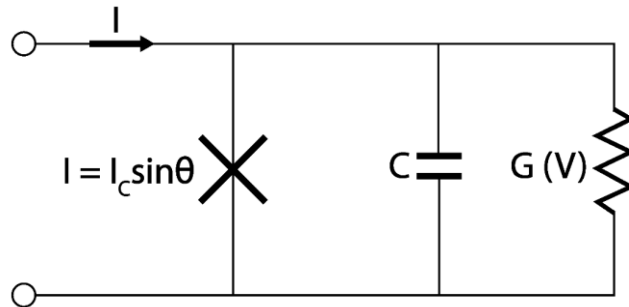
$$\frac{\partial\delta}{\partial t} = -\frac{2eV}{\hbar} \quad (1.7)$$

$$\Phi(t) = \Phi(0) - \frac{2eV_0 t}{\hbar} \quad (1.8)$$

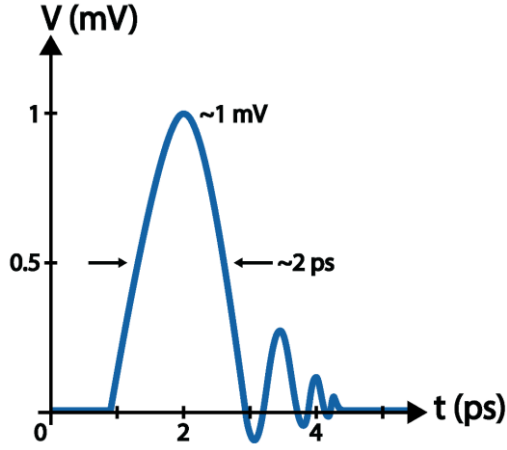
Denklem (1.6) ve Denklem (1.7) kullanılarak, Denklem (1.9)'da yer alan Josephson akımının salınım frekansı hesaplanabilmektedir.

$$f = \frac{2eV}{\hbar} \approx 483.598 \frac{\text{GHz}}{\text{mV}} \quad (1.9)$$

DC ve AC Josephson etkilerini açıklayan Denklem (1.6) ve Denklem (1.7) ile Josephson eklemi üzerinden geçen akım modellenebilmektedir. Bir Josephson eklemi için genel olarak kullanılan modellenme yöntemlerinden biri, ideal bir eklemeye bir şönt direnç ve bir şönt kapasitör eklenmesidir. Bu modellemede bulunan kapasitör, yer değiştirme akımını ve direnç ise oluşabilecek kaçak akımı temsil etmektedir (Şekil 1.7). Josephson ekleminin süperiletken durumundan çıkarak 2π kadar bir faz kaymasına uğraması sonucu oluşturmuş olduğu SFQ darbesi Şekil 1.8'de yer almaktadır.



Şekil 1.7 : Josephson eklemi modellemesi [33]



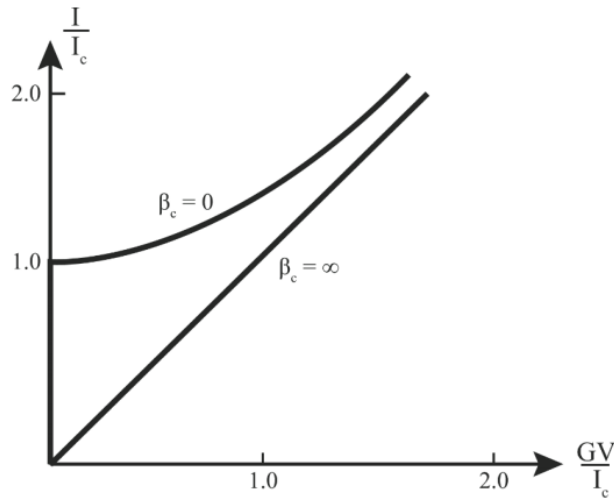
Şekil 1.8 : Josephson ekleminde oluşturulan SFQ darbe çıktısı

Şekil 1.7’de yer alan modelin parametrelere bağlı eşitliğinin oluşturulması için Kirchoff denklemleri kullanıldığında Denklem (1.10) elde edilmektedir. Bu denklemde yer alan $G(V)$ parametresi, gerilime bağlı iletkenlik terimidir.

$$I = I_C \sin\theta + C \frac{dV}{dt} + G(V) \quad (1.10)$$

Josephson ekleminin akım ile gerilim ilişkisindeki karakteristik özelliği tanımlayan β_C parametresi, Denklem (1.7) ve Denklem (1.10) kullanılarak bulunmaktadır. İlgili parametrenin eşitliği, Denklem (1.11)’de yer almaktadır. Akım ile gerilimin bu parametreye olan etkisinin I_C değerine göre normalize edilmiş hali Şekil 1.9’da yer almaktadır.

$$\beta_C = \frac{2eI_C C}{\hbar G^2} \quad (1.11)$$



Şekil 1.9 : Akım ile gerilimin McCumber parametresine olan etkisi [32]

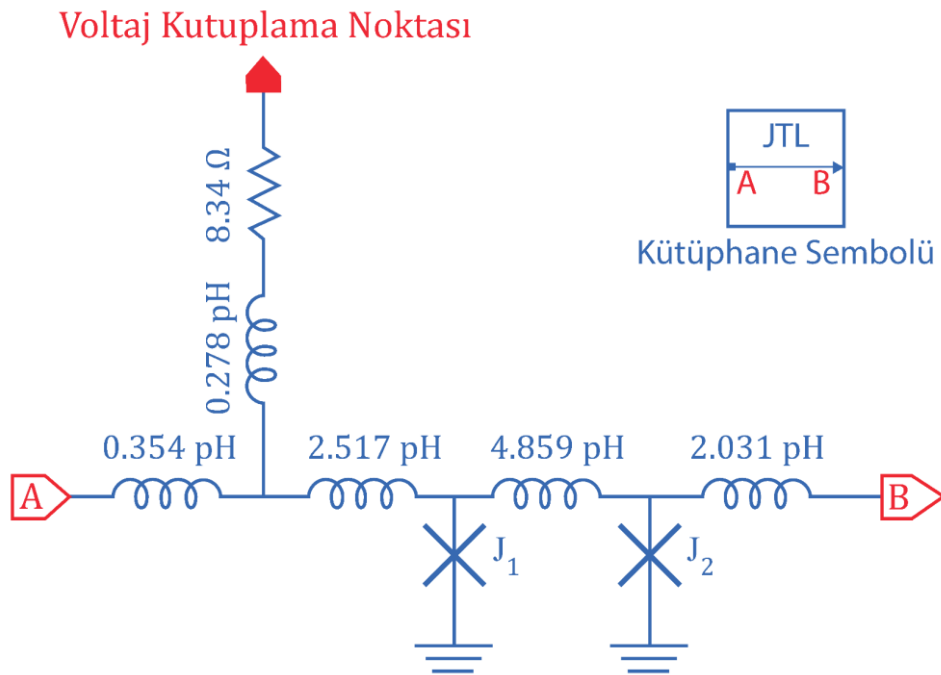
1.3. Tezde Kullanılan RSFQ Mantık Kapıları

CMOS mantık kapılarından farklı olarak RSFQ mantık kapılarında, çıktının doğru bir şekilde oluşturulabilmesi için bir saat darbesine ihtiyaç duyulmaktadır. Saat darbesinin (CLK) kullanılmasıyla birlikte girdi ve saat darbeleri arasındaki zaman farklarının ayarlanması gibi bir problem ortaya çıkmaktadır. Zaman ayarı hassas olarak gerçekleştirilen devrelerdeki gecikme süreleri, kutuplama hattından gelen akım değerine ve yonga üzerinde yer alan devre parametrelerinin çalışma aralıklarına bağlıdır. Saat sinyallerinin dağılımında ve zamanlamalarının ayarında, RSFQ kütüphanesinde yer alan ve mantık kapılarının dışında bilgi iletimi, çoğaltılması ve birleştirilmesi gibi işlevleri yerine getiren devreler bu çalışmada kullanılmaktadır. Büyük ölçekli RSFQ tabanlı devrelerin gerçekleştirilmesi için uygun olan hücre tabanlı CONNECT kütüphane [34] elemanları bu çalışmada kullanılmıştır. Fazla sayıda Josephson eklemlerinden oluşan büyük ölçekli devrelerin oluşturulmasında kullanılan kütüphane elemanları, boyut ve empedans olarak birbiriyle uyumluluk göstermektedir. Devre tasarımında yer alan eklem sayısının artmasından dolayı oluşan kutuplama hattından gelen akımın oluşturmuş olduğu manyetik alan, devreye olumsuz bir etken olup devrenin çalışma aralığını azaltmaktadır. Bu yüzden, bu kütüphanede yer alan devrelerin kutuplama hatlarında, süperiletken koruyucu yapılar bulunmaktadır.

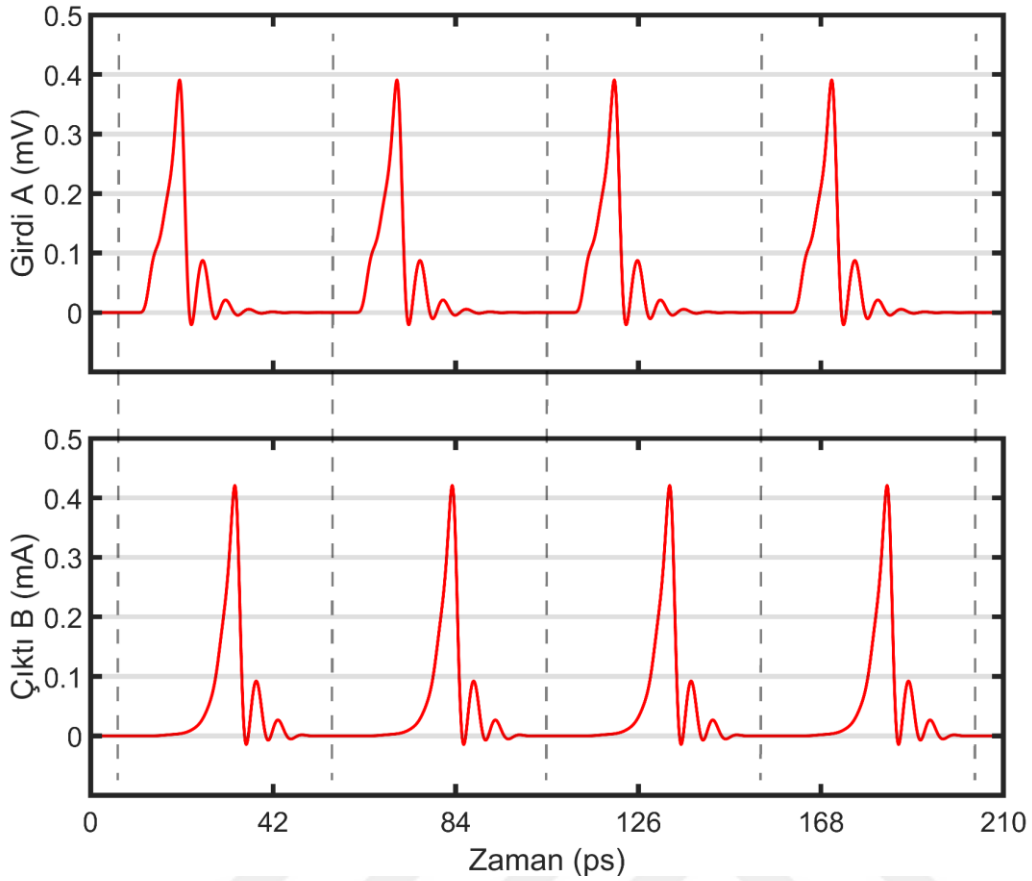
1.1.1. Josephson iletim hattı (JTL)

Topraklanmış olan iki adet aynı kritik akım değerine sahip Josephson eklemlerinin bir adet indüktans ile bir araya getirilmesiyle RSFQ devrelerinin en temel yapısı olan Josephson iletim hattı oluşturulmaktadır. Gerek az parametre sayısı, gerekse parametrelerin çalışma aralıklarının fazla olmasından dolayı ve standart girdi ile çıktı sinyallerini oluşturulmasını korumak için diğer RSFQ devrelerinin optimizasyonunda da kullanılabilir. JTL devresinin genel amacı, tasarımlar arası kısa mesafe SFQ darbe iletiminin gerçekleştirilmesidir. JTL devresinin iyi bir şekilde tasarlanması ile oluşturulması hedeflenen büyük ölçekli devre yapılarının güvenilir olması ve gürültü etkisinin en aza indirgenmesi hedeflenmiş olur. Josephson eklemlerinin kritik akım değerlerinin yüksek bir değere getirilmesi, gürültünün tasarım bloğuna olan etkisini azaltabilmektedir. Fakat, bu yapıların oluşturulmasında bir üretim sınırlaması

bulunmaktadır. Seçilecek olan kritik akım değeri ideal bir şekilde ayarlanmalıdır. Çünkü RSFQ kütüphanesinde yer alan diğer devrelerin yapısında ihtiyaç duyulan kritik akım değerleri, JTL devresinde kullanılan Josephson eklemesinin sahip olduğu kritik akım değerinden büyük olma durumları bulunmaktadır. JTL devresinin çalışma noktasının ayarlanabilmesi için devreye direnç hattı üzerinden bir kutuplama akımı uygulanmaktadır. Buna bağlı olarak, kullanılan Josephson eklemesinin ve indüktansın doğası gereği JTL hattı üzerinde gerçekleşen iletimin gerçekleşmesinde A noktasından gelen girdi ile B noktasında oluşan çıktı arasında bir gecikme olmaktadır. İletim hattına herhangi bir zamanda bir adet SFQ darbesi girdi olarak gelmesi ile iletim başlamaktadır. Kütüphanede yer alan ilgili JTL devresinin şema ve simülasyon sonucu gösterimi sırasıyla Şekil 1.10 ve Şekil 1.11’de yer almaktadır. RSFQ kütüphanesinde yer alan parametrelere göre A noktasından gelen girdi darbesinden 8.3 ps sonra iletim hattının B noktasında çıktı belirmektedir. Gelen girdinin istenilen yönde iletiminin gerçekleştirilebilmesi için JTL hattının yonga üzerinde aynı parametre değerleri ile farklı çizimleri gerçekleştirilebilmektedir.



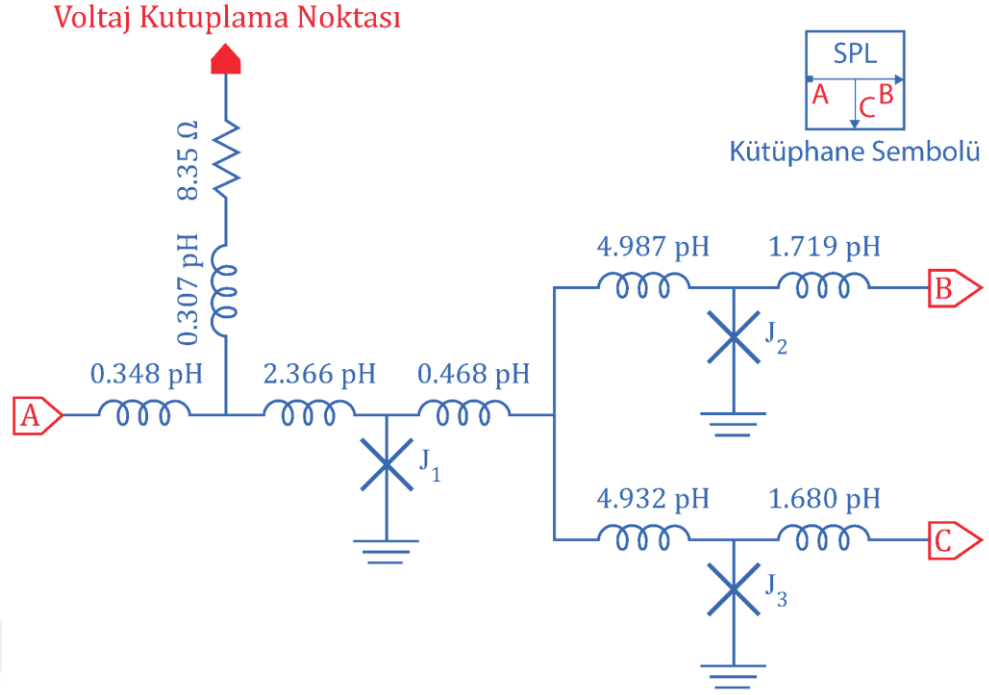
Şekil 1.10 : JTL şematik gösterimi



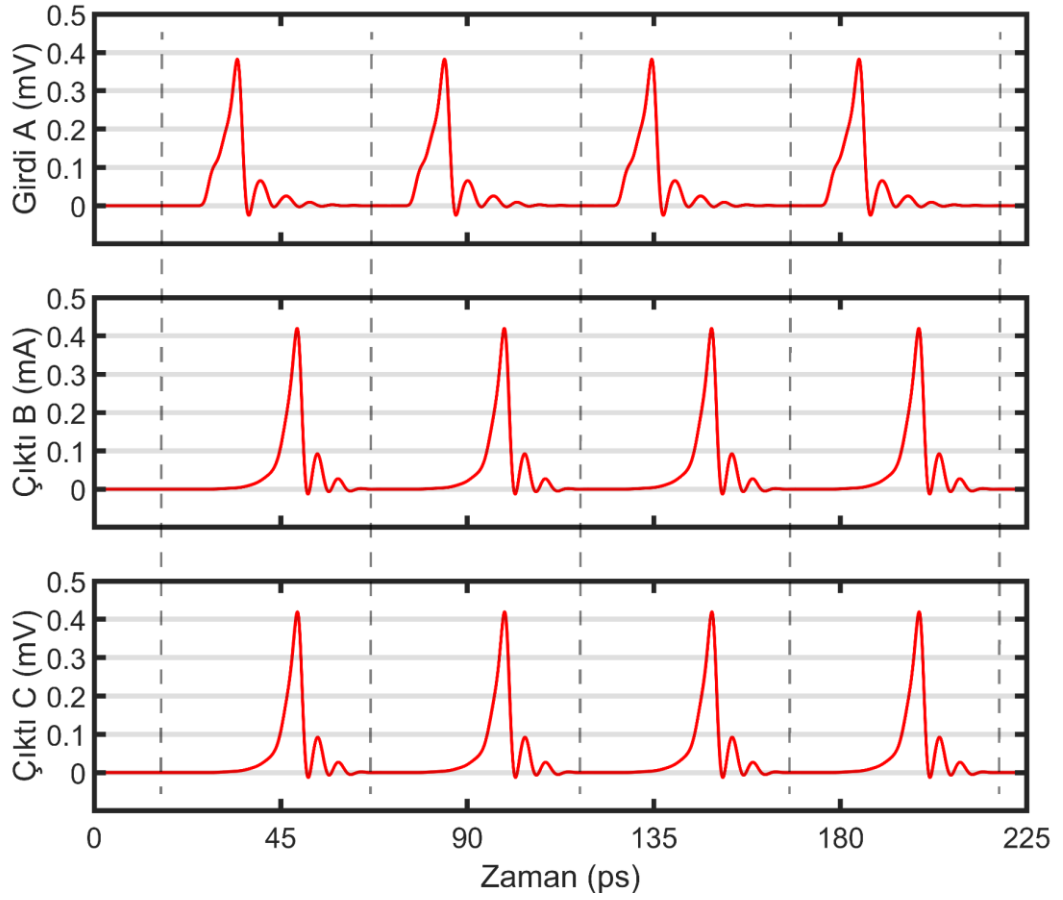
Şekil 1.11 : JTL devresinin simülasyon sonucu

1.1.2. Ayırıcı devre (SPL)

Ayırıcı devre yapısı, JTL yapısına benzer bir şekilde kurulmaktadır. Yapısal olarak aralarındaki fark, tek girdili fakat iki çıkışlı bir iletim hattı şeklinde tanımlanabilmektedir. A noktasından devreye gelen SFQ darbesi, hatta yer alan ilk Josephson eklemi üzerinde 2π 'lik bir faz kaymasına sebep olmaktadır. Bu eklemdaki değişim, B ve C hatlarında yer alan ve aynı kritik akım değerine sahip Josephson eklemlerine doğru birer akım meydana getirmektedir. Aynı şekilde, B ve C hatlarında yer alan Josephson eklemlerinde faz değişimi meydana gelmesiyle iki farklı hattan SFQ darbeleri oluşturulmaktadır. Kütüphanede yer alan ilgili SPL devresinin şema ve simülasyon sonucu gösterimi sırasıyla Şekil 1.12 ve Şekil 1.13'te yer almaktadır. RSFQ kütüphanesinde yer alan parametrelere göre A noktasından gelen girdi darbesinden 10.1 ps sonra iletim hattının B ve C noktalarında çıktı belirmektedir. İhtiyaca bağlı olarak SPL devresinin çıktı tarafında yer alan hatların sayısı artırılabilir. Her oluşturulan çıktı hattının, kütüphanede yer alan diğer RSFQ devreleri ile olan empedans eşleştirilmesine dikkat edilmesi gerekmektedir.



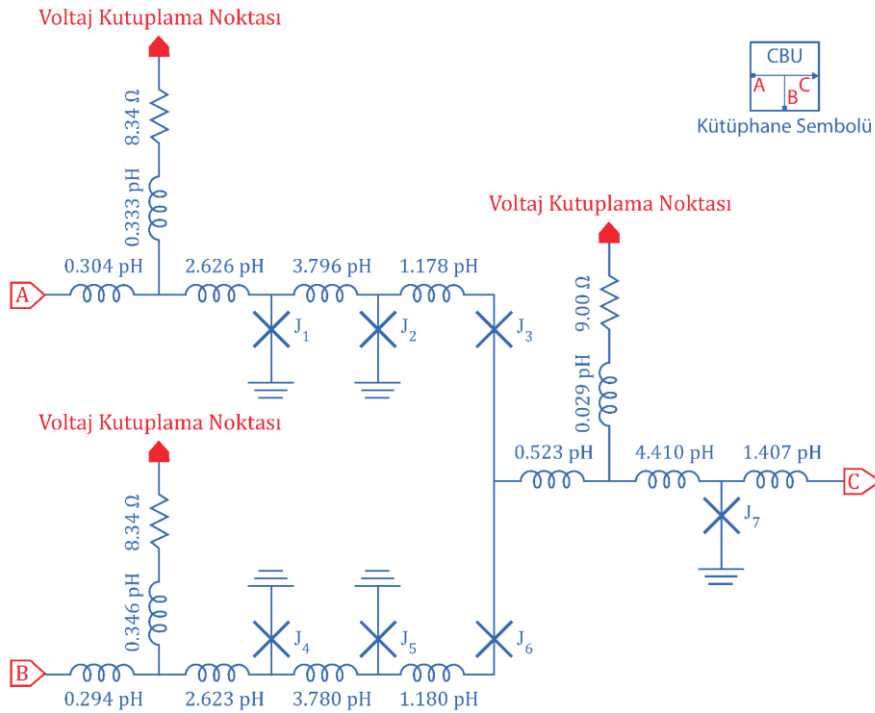
Şekil 1.12 : SPL şematik gösterimi



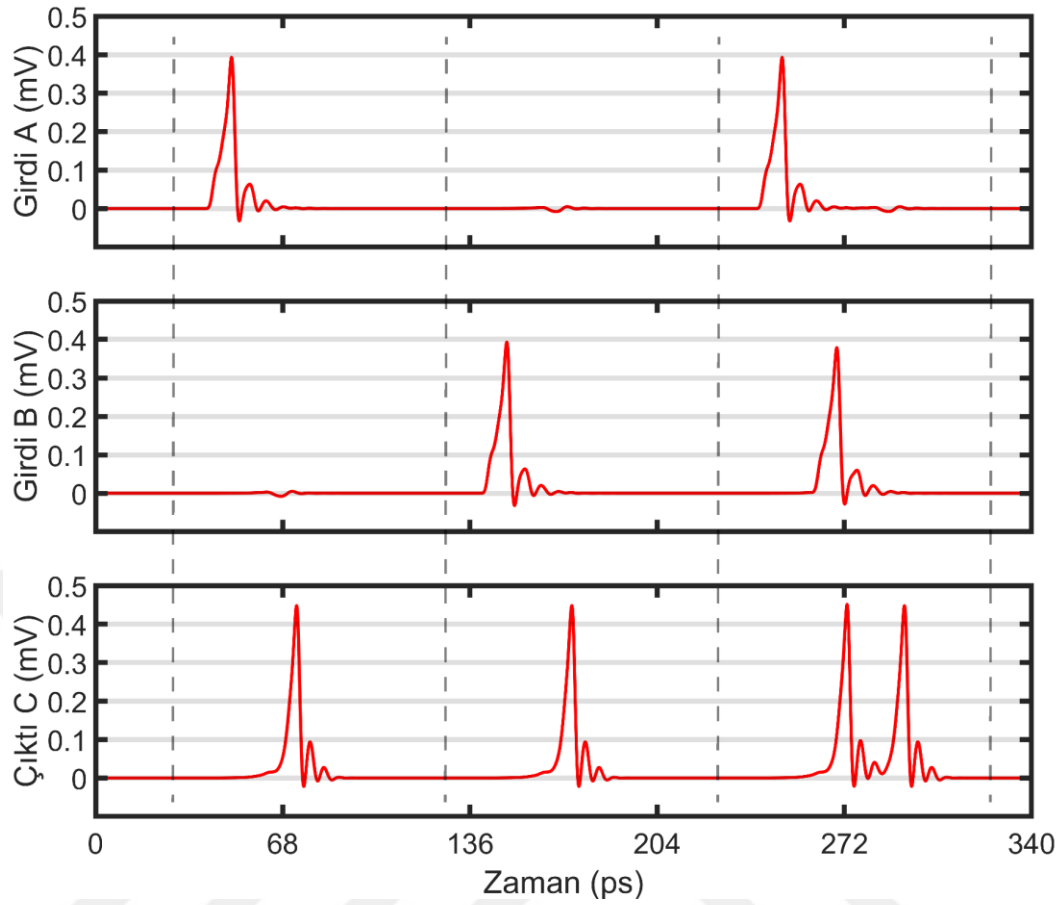
Şekil 1.13 : SPL devresinin simülasyon sonucu

1.1.3. Birleştirici devre (CBU)

Birleştirici devre, ayırıcı devre yapısının tam tersi şeklinde oluşturulmuştur. Şema olarak iki girdili fakat tek çıkışlı bir yapıya sahiptir. A ve B noktalarından gelen SFQ darbeleri, C hattından diğer RSFQ devrelerine iletilmektedir. Bu iletimin C hattı üzerinden gerçekleşmesinin sebebi, A ve B hatlarında indüktanslara seri olarak bulunan Josephson eklemleridir. Bu eklemler, tek yönlü iletimi sağlayan diyot yapısı ile aynı çalışma prensibini oluşturmaktadır. A ve B hatlarında bulunan ve 2π 'lik faz değişimi sonucu SFQ darbelerini üreten Josephson eklemlerinin kritik akımları aynı olacak şekilde ayarlanması gerekmektedir. Ayrıca, girdi olarak gelen SFQ darbelerinin zamanlamalarının da düzgün bir şekilde ayarlanması gerekmektedir. Çünkü SFQ darbelerinin zamanlama olarak birbiriyle örtüşmesi durumlarında sinyal kaybı meydana gelmektedir. RSFQ kütüphanesinde yer alan parametrelere göre A veya B noktasından gelen girdi darbesinden 18.2 ps sonra iletim hattının C noktasında çıktı olarak belirmektedir. İhtiyaca bağlı olarak CBU devresinin girdi tarafında yer alan hatların sayısı artırılabilir. Her oluşturulan hattın kütüphanede yer alan diğer RSFQ devreleri ile olan empedans eşleştirilmesine dikkat edilmesi gerekmektedir. Kütüphanede yer alan ilgili CBU devresinin şema gösterimi Şekil 1.14'te ve simülasyon sonucu Şekil 1.15'te yer almaktadır.



Şekil 1.14 : CBU şematik gösterimi

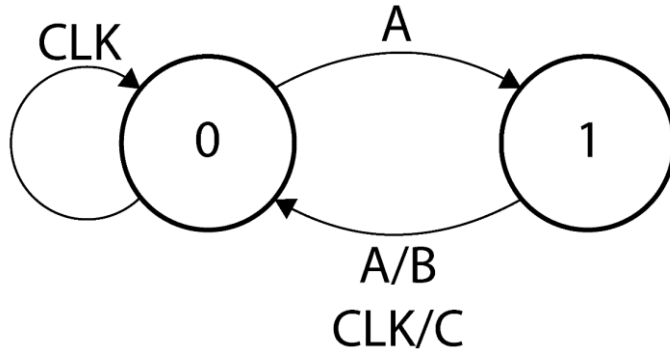


Şekil 1.15 : CBU devresinin simülasyon sonucu

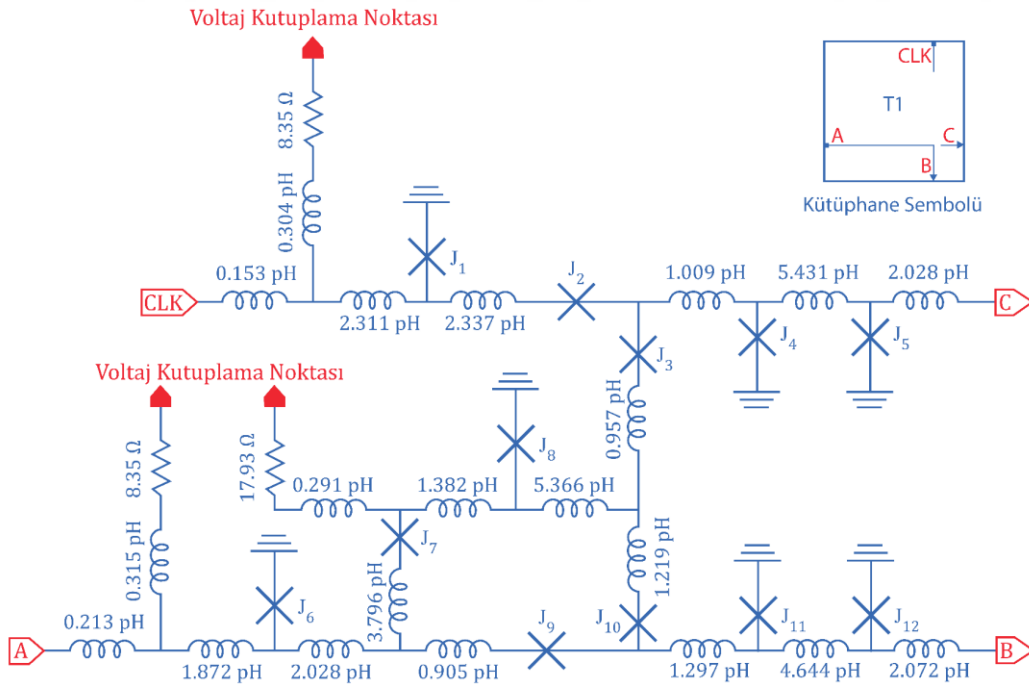
1.1.4. Tam toplayıcı devre (T1)

T1 devresi çalışma prensibi olarak içerisinde, eş zamanlı olmayan çıktı ve bozucu okuma özelliği olan Toggle Flip-Flop devre yapısı bulundurmaktadır. Yapı olarak bir saat sinyali hattı, bir girdi sinyali hattı ve iki adet çıktı sinyali hattı bulundurmaktadır. Mantık '0' ve '1' durumları arasında girdi ve saat darbelerine göre geçiş yaparak farklı noktalardan çıktı oluşturan bir yapıya sahiptir. İlk girdi darbesinden sonra ilk mantık durumu '0' iken '1' olarak değiştirilmektedir. A noktasından bir SFQ darbesi devreye geldikten sonra ve ikinci bir SFQ darbesinin devreye gelmesiyle tam toplayıcı devrelerde olduğu gibi B noktasından bir taşma bit sinyali oluşturulur. Sinyalin oluşturulmasıyla devrenin mantık durumu, ilk durum olan mantık '0' a geri dönmektedir. Bu sinyal, saat darbesinin gelişine bağlı olmadığı için eş zamanlı olmayan bir çıkışın elde edilmesi durumudur. Eğer A noktasından herhangi bir SFQ darbesi geldikten sonra devreye bir saat sinyali gelirse, T1 devresi C noktasından SFQ darbe çıktısı oluşturmaktadır. Sinyalin oluşturulmasıyla devrenin mantık durumu ilk

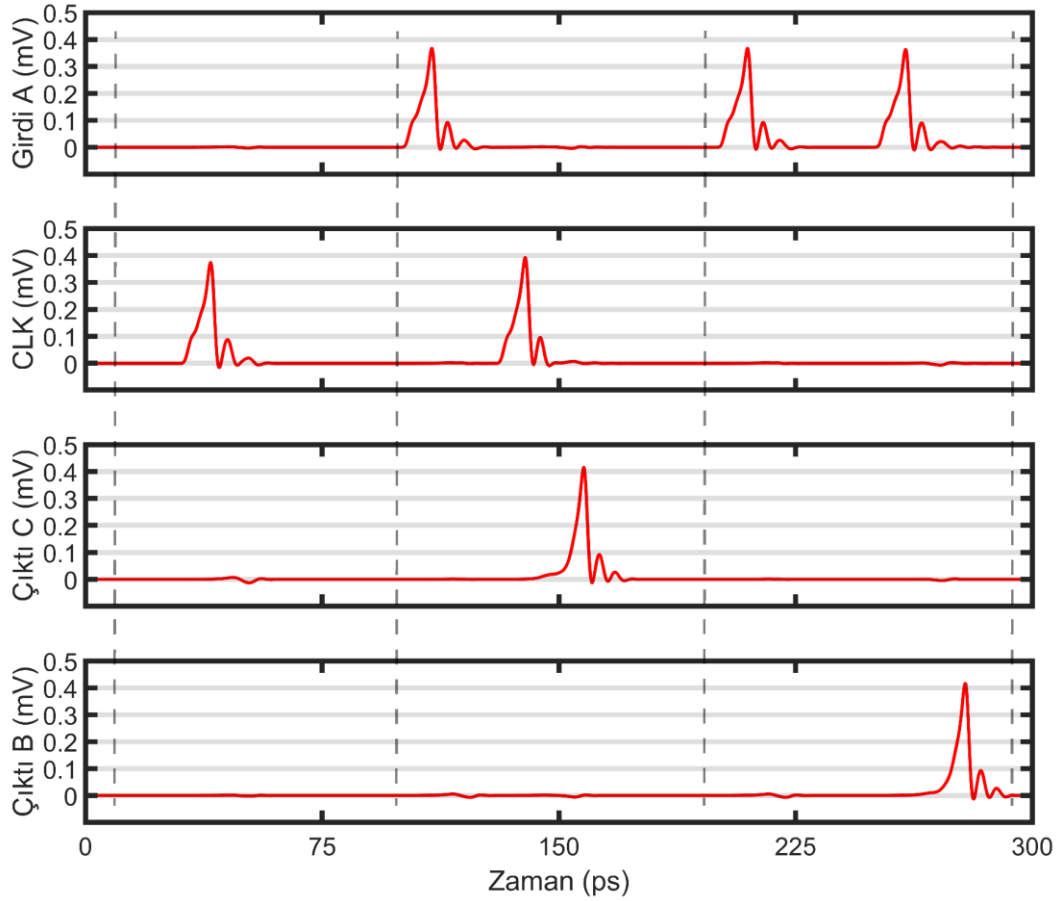
durum olan mantık '0' a geri dönmektedir. Devreye gelen saat sinyallerinin arasındaki gecikme süresi, yaklaşık 13.6 ps olarak ayarlanması gerekmektedir. İlk saat darbesi geldikten sonra çıktının oluşma süresi, yaklaşık 14.5 ps ve iki girdinin üst üste gelmesi durumunda oluşan taşıyıcı bit çıktısının süresi yaklaşık 14.8 ps olmaktadır. Çalışmada kullanılan T1 kapısının Moore diyagramı, şeması ve simülasyon sonucu sırasıyla Şekil 1.16, Şekil 1.17 ve Şekil 1.18'de yer almaktadır. Bu çalışmada T1 devresinin kullanılma amacı, sayaç devresi oluşturmaktır.



Şekil 1.16 : T1 mantık devresinin moore diyagramı [35]



Şekil 1.17 : T1 mantık devresinin şematik gösterimi

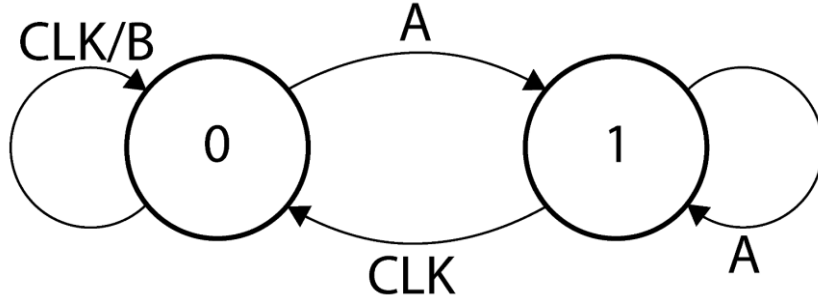


Şekil 1.18 : T1 mantık devresinin simülasyon sonucu

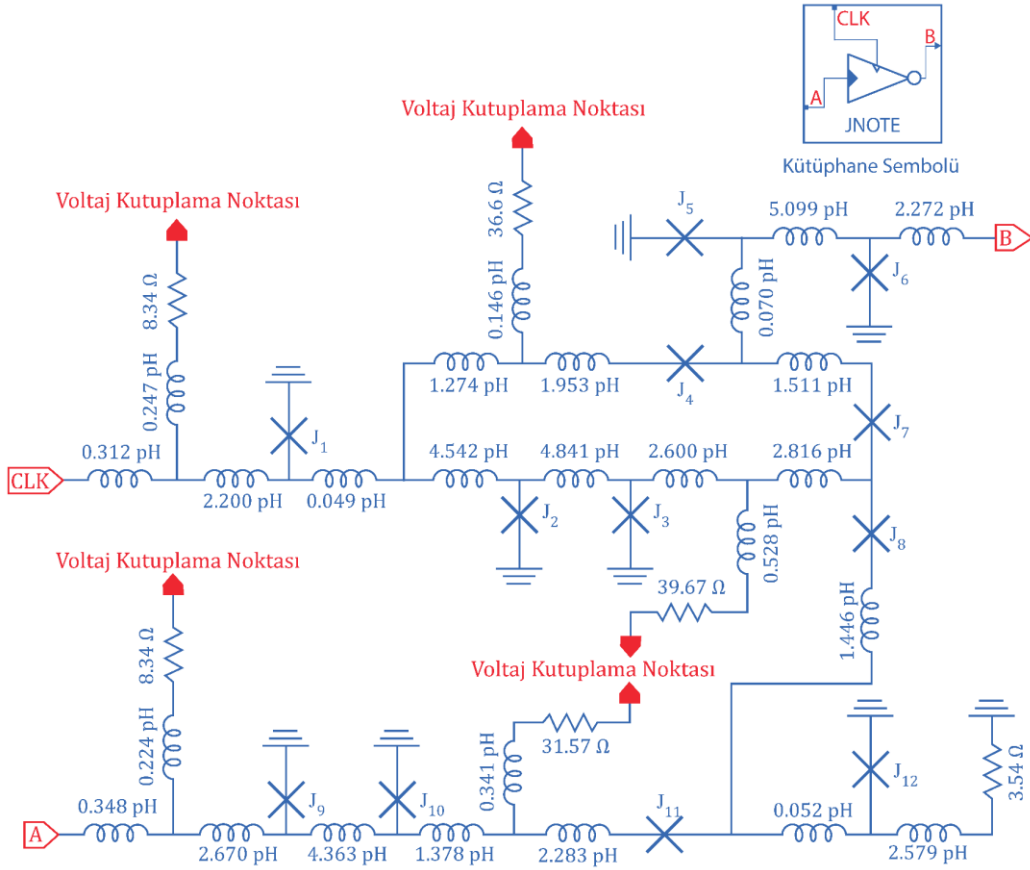
1.1.5. Değil kapısı (NOT)

Değil kapısı, Josephson mantık devrelerinin arasında SFQ bilgi işleminde en önemli mantık kapılarından biridir. Bir saat sinyali ile sonucun oluşturulmasını sağlayan yapısı sayesinde, SFQ darbesinin devreye gelmemesi sonucu bu mantık kapısı, çıktı olarak bir adet SFQ darbesi üretmektedir. Benzer şekilde, devreye bir adet SFQ darbesinin gelmesi sonucunda çıktı oluşmamaktadır. Çalışma prensibi olarak tersleyici mantık yapısını sunan bu devrenin saat sinyali ile eğer SFQ darbesi geliyorsa, sinyallerinin aralarında belirli bir gecikme miktarının olması gerekmektedir. RSFQ kütüphanesinde iki farklı 'DEĞİL' kapısı bulunmaktadır. İlk kapı 'JNOT' olarak ve ikinci kapı 'JNOTE' olarak adlandırılmaktadır. 'JNOT' kapısına bir saat darbesinden önce iki adet girdi gelmesi istenmeyen bir durumken, 'JNOTE' kapısı için bu durum bir problem oluşturmamaktadır. Bu yüzden çalışmada kullanılan 'DEĞİL' kapısı, kütüphanedeki 'JNOTE' olarak seçilmiştir. Devreye gelen saat sinyallerinin arasındaki gecikme süresi yaklaşık 16 ps olarak ayarlanması gerekmektedir. Çalışmada kullanılan

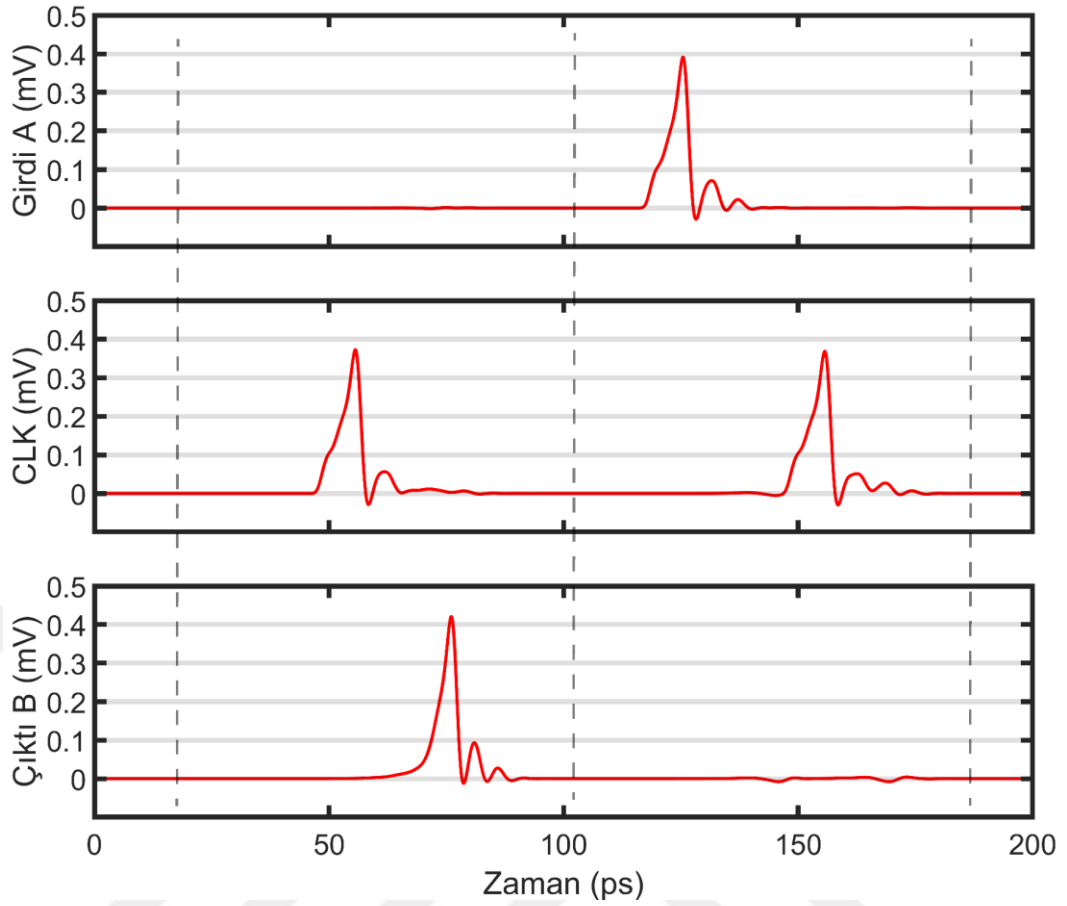
‘DEĞİL’ kapısının Moore diyagramı, şeması ve simülasyon sonucu sırasıyla Şekil 1.19, Şekil 1.20 ve Şekil 1.21’de yer almaktadır.



Şekil 1.19 : DEĞİL mantık devresinin moore diyagramı [35]



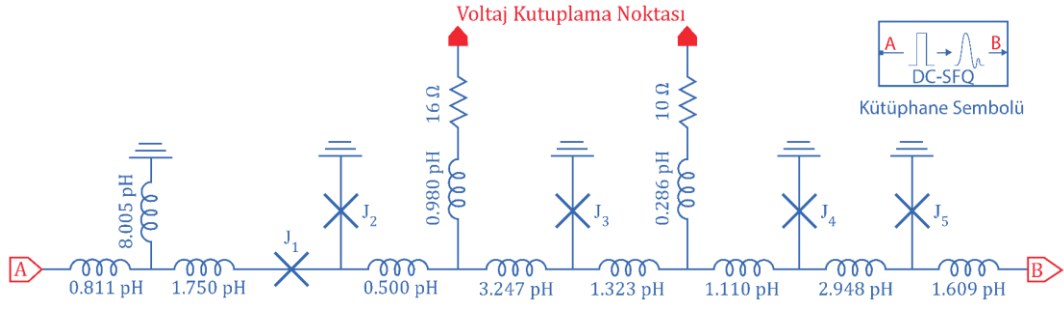
Şekil 1.20 : DEĞİL mantık devresinin şematik gösterimi



Şekil 1.21 : DEĞİL mantık devresinin simülasyon sonucu

1.1.6. DC-SFQ dönüştürücü devre

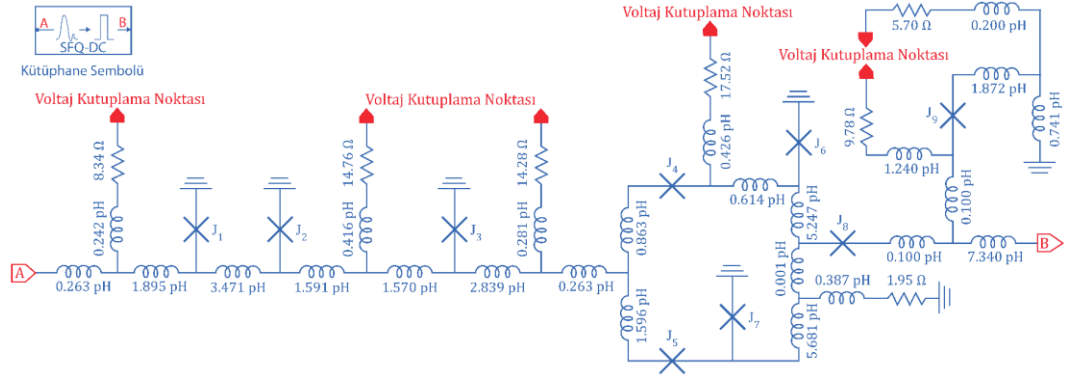
Sistemden gelen girdi ile devre arasındaki iletişimin sağlanabilmesi için DC-SFQ dönüştürücü devresine ihtiyaç duyulmaktadır. Bu devre, süperiletken yongalarının giriş noktalarında kullanılmaktadır. DC-SFQ dönüştürücü devresi, A noktasından girdi olarak gelen DC sinyalinin her yükselen kenarında, devrenin B noktasından bağlı olduğu diğer devreye SFQ darbesi iletmektedir. Girdi sinyalinin her bir yükselen kenarı, devre içerisinde bulunan Josephson eklemi üzerinde 2π kadarlık bir faz kaymasına sebep olmaktadır. Bu sayede süperiletkenlikten durumdan çıkan eklem, bir SFQ darbesi oluşturup pikosaniye mertebelerinde süperiletken durumuna geri dönmektedir. Tez çalışmasında kullanılan ilgili devrenin değerleriyle şematik gösterimi Şekil 1.22’de ve toplamda dört periyotluk bir kare dalga girdisinin devre çıkışında oluşturduğu SFQ darbelerinin simülasyon sonucu gösterimi Şekil 1.24 (a)’da yer almaktadır.



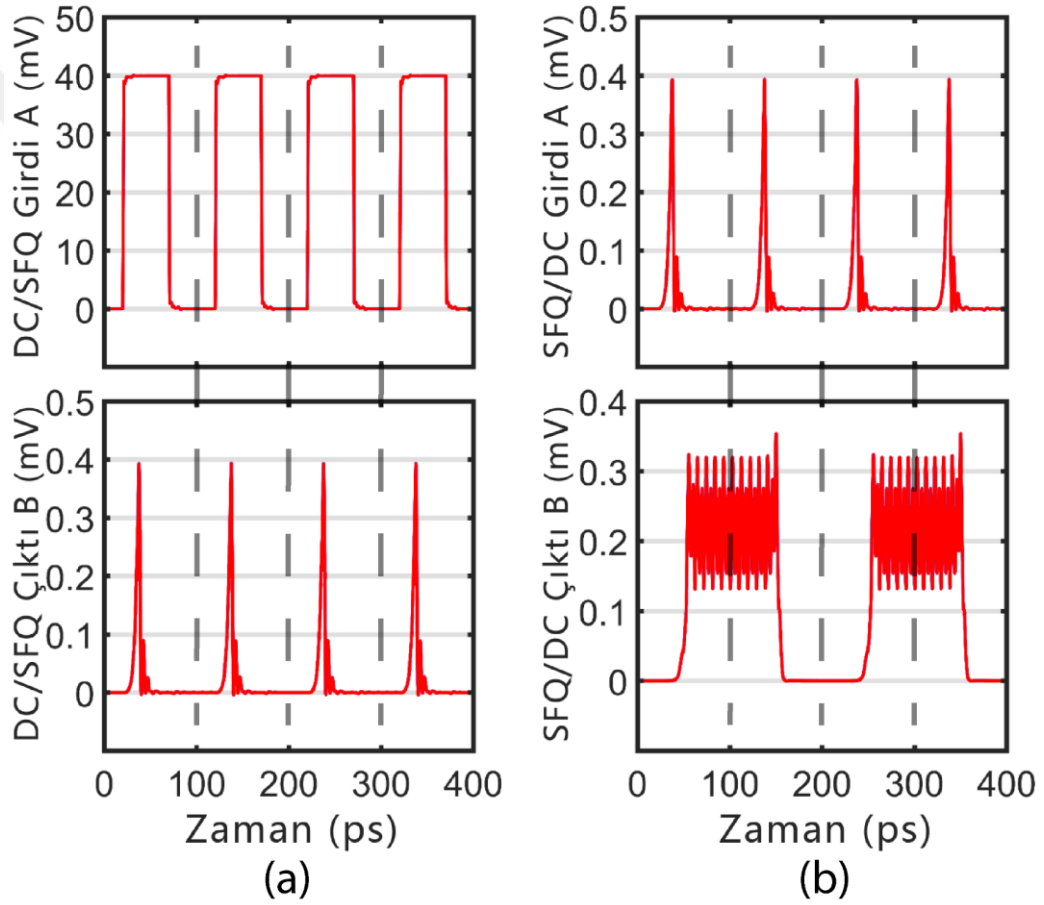
Şekil 1.22 : DC-SFQ dönüştürücü devresinin şematik gösterimi

1.1.7. SFQ-DC dönüştürücü devre

Yonga üzerinde veri işlemleri sonucu elde edilen çıktı darbelerinin yonga dışında kullanılabilmesi için RSFQ devre yapılarının çıktıları, DC sinyaline dönüştürülmesi gerekmektedir. Bu amaca yönelik SFQ-DC dönüştürücü devresi kullanılmaktadır. SFQ-DC devresi, yapı olarak herhangi bir AC güç kaynağına ihtiyaç duymamaktadır. Şekil 1.23'te yer alan SFQ-DC dönüştürücü devresinin şematigi karmaşık gözüküyor olsada devrenin yapısı kolay bir şekilde anlaşılabilir. Devrenin amacı, şema içerisine yerleştirilmiş olan Josephson eklemleriyle devrenin iç durumunun okunması şeklindedir. A noktasından devre içerisine herhangi bir SFQ darbesi ulaşmadıysa Josephson eklemlerinin oluşturmuş olduğu yapı, süperiletken durumunu korumaktadır. Bu yüzden, B noktası üzerinde herhangi bir gerilim değişimi olmamaktadır. Devreye bir SFQ darbesi gelmesi durumunda oluşan akım, yapıyı süperiletkenlikten çıkarıp çıktıda voltaj değişimine sebep olmaktadır ve bu voltaj değişimi, her bir SFQ darbesi için DC voltaj üzerinde düşükten yükseğe veya yüksekte düşüğe olacak şekilde gerçekleşmektedir. Şönt olarak konumlandırılmış Josephson eklemlerinin kullanılması durumunda çıktı değerinde 0.2 mV değerine kadar bir düşüş yaşanmaktadır. Bu durumun gerçekleşmemesi için şönt olarak konumlandırılmayan Josephson eklemleri sayesinde çıktı değeri 2.8 mV değerine kadar yükseltilebilmektedir [36]. Toplamda dört adet SFQ darbe girdilerinin devre çıkışında oluşturduğu voltaj değişimlerinin simülasyon sonucu gösterimi Şekil 1.24 (b)'de yer almaktadır.



Şekil 1.23 : SFQ-DC dönüştürücü devresinin şematik gösterimi



Şekil 1.24 : Dönüştürücü devre simülasyonu sonucu, (a) DC-SFQ, (b) SFQ-DC

1.4. Literatür İncelemesi/Taraması

Farklı teknolojilerin sağlamış olduğu farklı avantajlar, devrelerin kullanılacak olan farklı amaçlarına yönelik seçilmektedir. Yapay nöron yapılarının entegrasyonu için bu çalışmada CMOS ve RSFQ teknolojilerinde gerçekleştirilen nöron yapıları

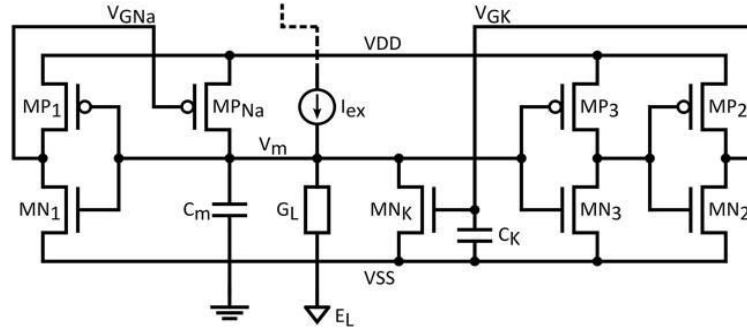
incelenmiştir. CMOS teknolojisinin sağlamış olduğu avantajların yanı sıra RSFQ teknolojisinin yapay nöron uygulamalarına daha uygun olduğu gözlemlenmiştir. Bunun sebebi, biyolojik nöron yapısının sahip olduğu karakteristik özelliklerin RSFQ teknolojisinin özellikleriyle örtüşmesinden kaynaklanmaktadır. Biyolojik nöron [1] ile CMOS IFN model gösterimleri [6,8,9,37] ve süperiletken IFN model özelliklerinin karşılaştırılması, [38]'dan yola çıkılarak Çizelge 1.1'de gösterildiği gibi genişletilmiştir.

RSFQ devrelerinde tek akı kuantumu formunda taşınan bilgiler, süperiletken halkalarda saklanmaktadır. Bu bilgiler, herhangi bir kayıp ve bozulma olmadan yaklaşık ışık hızında yonga üzerinde taşınabilmektedir. Josephson eklemleri sayesinde pikosaniye boyutlarında dalga formu oluşturulabilirken aynı zamanda yüksek hızlı ve düşük enerjili bilgi işleme gerçekleştirilebilmektedir. Empedans uyumunun kolayca sağlanabildiği ve silikon tabanlı CMOS teknolojisine göre üretiminin üç katmanlı Nb eklemleri ile kolayca gerçekleştirilebilmesi, RSFQ teknolojisini yapay zeka uygulamalarında güçlü bir aday haline getirmektedir.

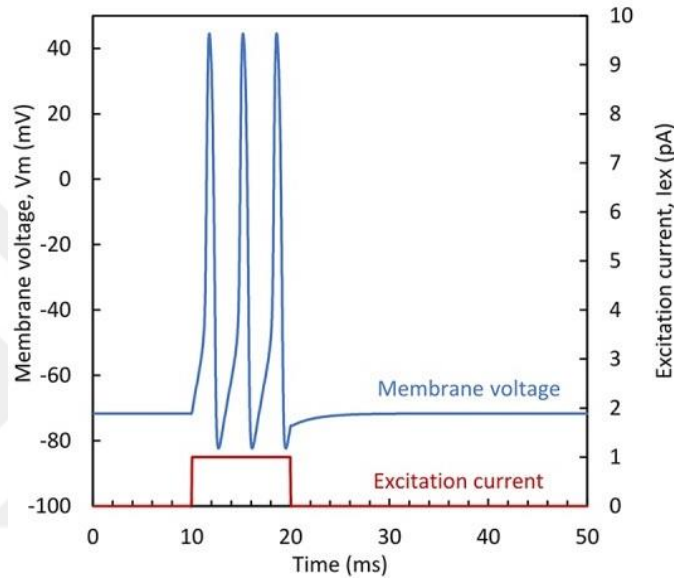
1.2.1. Yarıiletken nöron devreleri

Moore yasasına göre Von Neumann mimarisine dayanan geleneksel bilgisayar teknolojisi, yakın zamanda temel sınırlarıyla karşı karşıya kalacaktır. Bu yüzden uygulamaların sinir ağlarıyla çözülebilirliği nöronların kullanımını motive etmektedir. Çok yüksek ölçekte olan uygulamalar ele alındığında, enerji kullanımını ve dağılımını en aza indirmek, yapay sinir hücrelerinde çıktı oluşum hızını artırma ve alanı küçültme gibi çalışmalarla gelecekte karşılaşılabilecek problemlerin üstesinden gelinmesi amaçlanmaktadır.

İlk olarak incelenen örnek çalışma, standart 65 nm CMOS teknolojisi ile gerçekleştirilen bir yapay CMOS nöron devresini sunmaktadır. Bu devre, 26 kHz darbe atım frekanslı çıktı oluşturabilme özelliğine sahiptir. Boyut olarak 200 μm x 35 μm kadarlık bir alanı kaplamaktadır. Tasarımda, enerji kaybının en aza indirilmesi durumuna odaklanılmaktadır. Enerji kaybını en aza indirmek için nöron yapısına verilen besleme akımının azaltılmasıyla ve ilgili devrede zar kapasitansı adı verilen parametrenin (C_m) düşürülmesiyle elde edilmiştir. C_m parametresi üzerine düşen voltaj miktarı (V_m), çıktı voltajı olarak alınmaktadır. Devre, girdi olarak I_{ex} parametresi hattından akım ile tetiklenmektedir [6]. Tasarlanan yapay nöron devresinin şema gösterimi ve ilgili simülasyonu sırasıyla Şekil 1.25 ve Şekil 1.26'da yer almaktadır.



Şekil 1.25 : Düşük enerjili yapay CMOS nöron devre şeması [6]

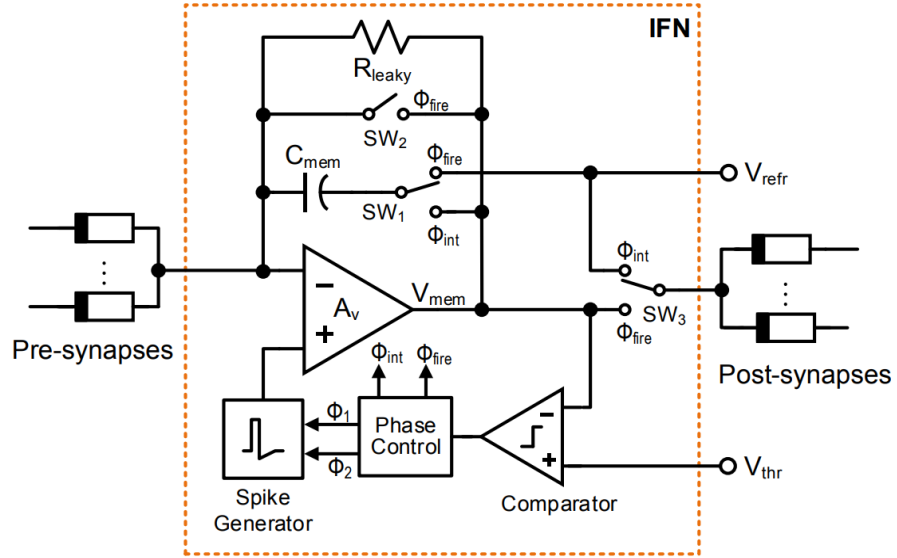


Şekil 1.26 : Düşük enerjili yapay CMOS nöron devre simülasyonu [6]

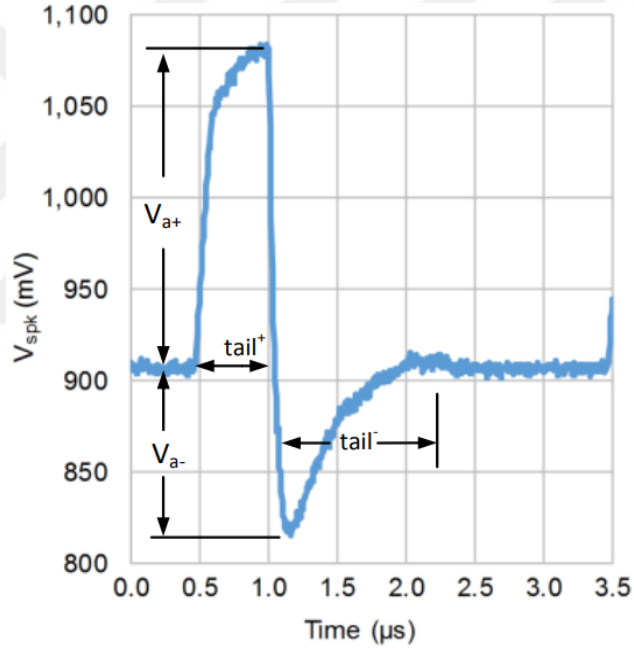
İkinci olarak incelenen örnek çalışma, standart 180 nm CMOS teknolojisi ile gerçekleştirilen sızıntılı IFN modelini uygulayan bir yapay CMOS nöronunu sunmaktadır. Tasarımın üzerinde odaklanılan nokta, ayarlanabilir sinapslar ile YSA devresini olabildiğince biyolojik yapıya uyarlamaktır. Ayarlanabilir sinaps değerleri sayesinde büyük ölçekli YSA tasarımlarını mümkün kılmaktadır. Tasarım olarak her sinaps üzerinde darbe başına 9.3 pJ harcanmaktadır. Dijital şekilde ayarlanabilir kapasitör ve direnç noktaları, kutuplama hatları, üç adet nöron devresi, tüm sinapslar ve bulundurmış olduğu yonga pinleri ile YSA arayüzünü oluşturan yapıların yonga üzerinde kapladığı tüm alan yaklaşık 0.01 mm² olarak sunulmaktadır [8]. Sinapslardan gelen akımlar Op-amp yapısında toplanıp oluşan V_{mem} voltajı, eşik değer olan V_{thr} voltajı ile karşılaştırıldığında eşik değeri geçiyorsa çıktı tarafında bağlı olduğu nöronlara dürtü sinyali göndermektedir. Tasarlanan yapay nöron devresinin şema gösterimi ve ilgili simülasyonu sırasıyla Şekil 1.27 ve Şekil 1.28’de yer almaktadır.

Çizelge 1.1 : SFQ nöronunun biyolojik ve CMOS nöronları ile karşılaştırılması

	Biyolojik Nöron		CMOS Nöron		SFQ Nöron	
Bilgi İletimi	Elektro-Kimyasal Dürtü	[1,39]	Elektriksel Darbe	[6-9]	SFQ Darbesi	[13]
Uzun Mesafe 'Kayıpsız' Veri İletimi	Akson	[1,39]	Aktif ve Pasif Yarıiletken Elemanlar	[7-9]	JTL	[13]
Üç Boyutlu Yapı	Zar, Çekirdek, Mitokondri, Ribozomlar, Endoplazmik Retikulum	[40]	Yarıiletken Metal Katman Yığını	[41]	Süperiletken Metal Katman Yığını	[42]
Eşik Değer Yapısı (Toplama Operasyonu)	Soma	[1,39]	Darbe Toplayıcı Devre	[7-9]	JJ-AN Devresindeki Eşik ve Sönümlenme Döngüleri	Bu Çalışma
Arabağlantı	Sinaps	[1,39]	Sinaps Devresi	[9]	SPL ve CBU	[13]
Hata Toleransı	✓	[40]	✓	[6]	✓	Bu Çalışma
Çalışma Hızı (Darbe Atım Hızı/Saniye)	10^3	[43,44]	10^3	[6,8,45]	10^{10}	Bu Çalışma
Darbe Başına Enerji (J/Darbe) DC Güç Dahil Olarak-Olmadan	N/A- 10^{-12}	[6,46]	10^{-15} - 10^{-15}	[6]	10^{-17} - 10^{-19}	Bu Çalışma, [47]

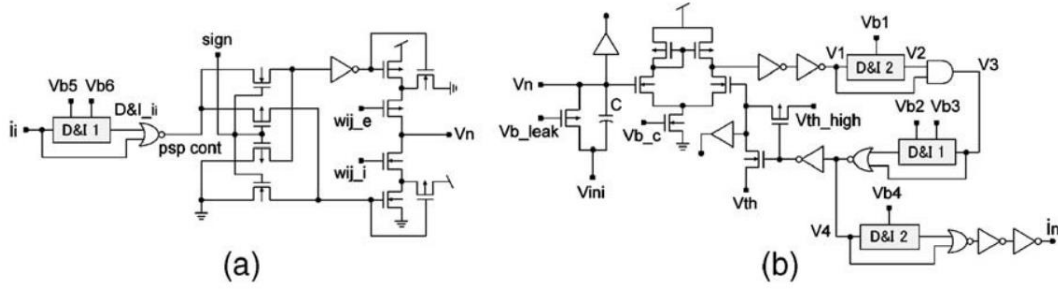


Şekil 1.27 : CMOS sızıntılı IFN modeli devre blok diyagramı [8]

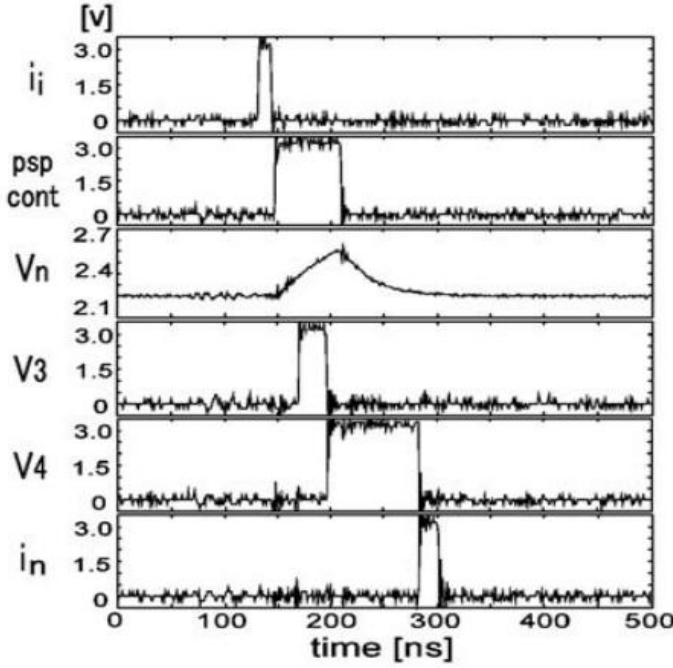


Şekil 1.28 : CMOS sızıntılı IFN modeli devre simülasyonu [8]

Üçüncü olarak incelenen örnek çalışma, MOSIS/IBM 250 nm CMOS teknolojisi ile gerçekleştirilen dürtü üreten analog CMOS nöronunu sunmaktadır. Nöron devresinin sinaps yapısına varan sinyaller (i_i), sinaps değeri ile ayarlandıktan sonra V_n parametresi (Postsynaptic Potential, PSP) olarak nöron yapısına gönderilmektedir. Gelen girdi voltajı, nöron devresinde V_{th} voltajı ile kıyaslanarak girdi değeri V_{th} değerinden büyükse i_n parametre hatından dürtü çıktısı oluşturmaktadır [9]. Tasarlanan yapay nöron devresinin şema gösterimi ve ilgili deneysel sonucu sırasıyla Şekil 1.29 ve Şekil 1.30'da yer almaktadır.



Şekil 1.29 : Dürtü üreten CMOS nöron devre şeması, (a) Sinaps (b) Nöron [9]



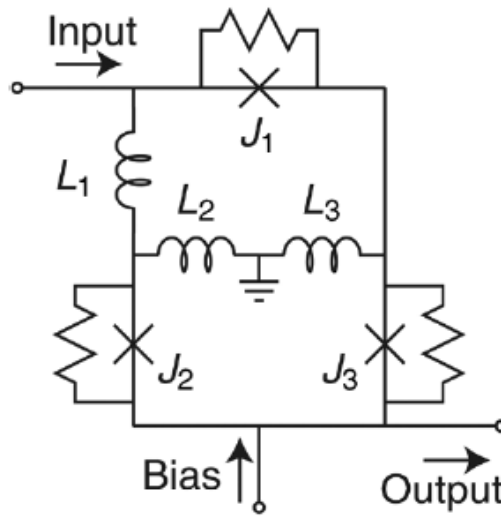
Şekil 1.30 : Dürtü üreten CMOS nöron devresinin deneysel sonuçları [9]

1.2.2. Süperiletken nöron devreleri

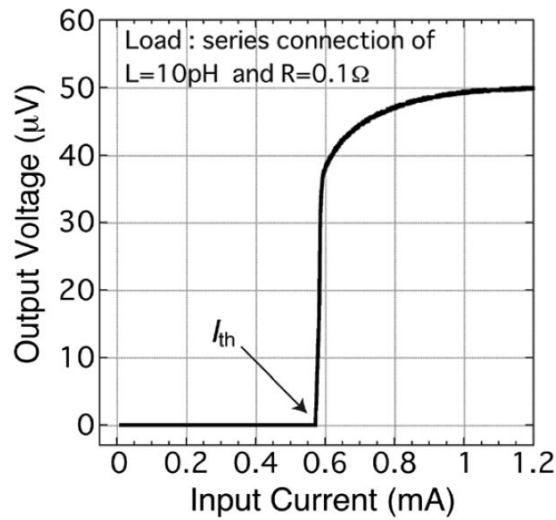
Nöromorfik hesaplama, algı ve karar verme gibi belirli hesaplama görevlerinin verimliliğini büyük ölçüde artırabilme özelliğine sahiptir. YSA yapılarının yazılım ve donanım uygulamalarında birçok başarılar elde etmesine rağmen, hız ve enerji açısından daha iyi sonuçlar elde edebilmek için farklı üretim teknolojilerini motive etmektedir. Biyolojik nöronlar ile RSFQ teknolojisinin karakteristik özelliklerinde yapısal olarak uyumluluğun kolayca sağlanabilmesinden dolayı süperiletken teknoloji nöromorfik uygulamalar için çok güçlü bir adaydır.

Birinci olarak incelenen örnek çalışma, SQUID yapısına dayanan bir süperiletken nöron devresidir. İki Josephson eklemli SQUID ve tek Josephson eklemli SQUID yapılarının birleştirilmesiyle elde edilen nöron yapısının bir giriş ve bir çıkış hattı vardır. Tek Josephson yapısıyla oluşturulmuş olan Josephson eklemine kuantum

durumu, nöronun girdiye göre durumunu belirleyen elemandır. İki eklemli SQUID yapısı ise, tek eklemli SQUID yapısının durumunu okumaktadır. Tek eklemli SQUID yapısının kuantum durumunun geçişi, basamak fonksiyonuna benzemektedir. Bundan dolayı iki eklemli SQUID yapısı çıktı olarak belirlenen değerde hızlıca artış gösteren bir değer oluşturmaktadır. İlgili nöronun diğer nöronlar ile bağlantıları ve sinaps yapıları, indüktans ve direnç gibi pasif devre elemanlarıyla sağlanmaktadır [21]. İlgili devrenin şematik ve simülasyon sonucu gösterimi sırasıyla Şekil 1.31 ve Şekil 1.32’de yer almaktadır.

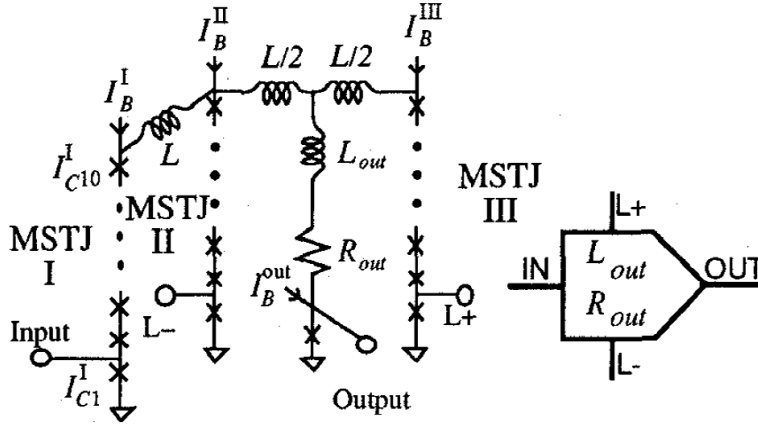


Şekil 1.31 : Üç Josephson eklemli süperiletken nöron şematik gösterimi [21]



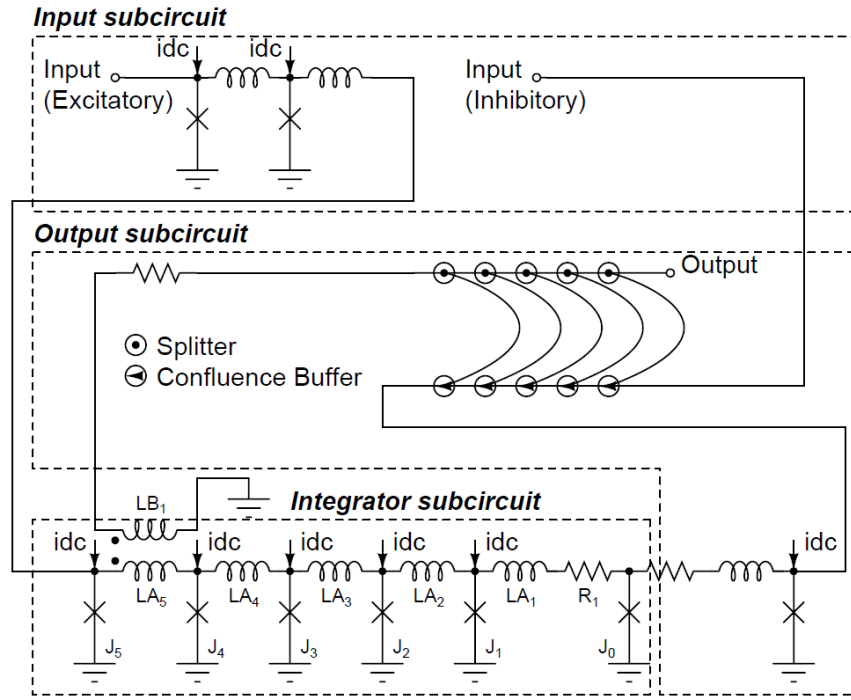
Şekil 1.32 : Üç Josephson eklemli süperiletken nöron devresinin giriş ile çıkış gerilimleri ilişkisi [21]

İkinci olarak incelenen örnek çalışma, çok katmanlı süperiletken eklem yapısıyla oluşturulmuştur. Nöron devresi içerisinde on adet Josephson eklemi bulunmaktadır. On adet Josephson eklemının dokuzu, akım iletimini sağlamaya yönelik kullanılırken, kalan son eklem girdi sinyalini korumaya yönelik ara eklem olarak kullanılmaktadır. Devre içerisinde 'N' adet ağırlık değeri bulunmaktadır ve ağırlık değerleri, giren darbe sayısına göre değişmektedir. 'N' ağırlık sayısı, akım iletiminde kullanılan Josephson eklemeleri ile belirlenmektedir. Bu çalışmadaki 'N' değeri dokuz olarak alınmıştır. Çıktı hattı üzerinde bir adet indüktans ve bir adet direnç bulunmaktadır. Çıkış hattına bağlanan bu elemanların değerlerine göre devrenin transfer fonksiyonu değişmekte ve farklı karakteristik özelliklere sahip çıktı değerleri oluşturmaktadır [19]. İlgili devrenin şematik ve sembol gösterimi Şekil 1.33'te yer almaktadır.

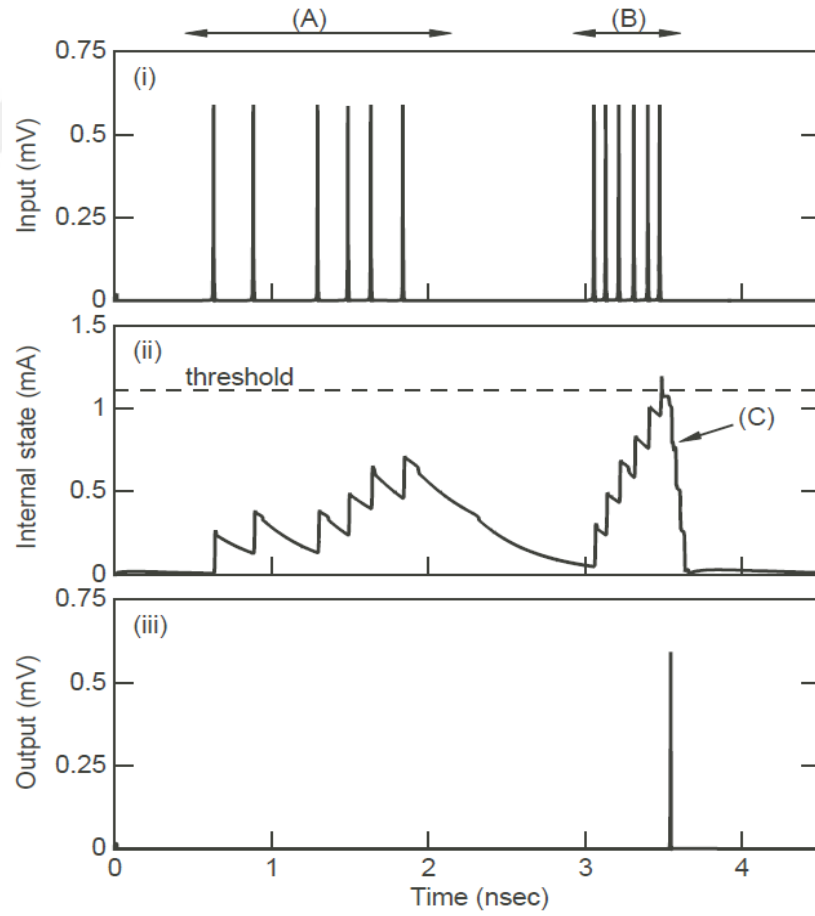


Şekil 1.33 : Çok katmanlı JJ'lerle oluşturulan süperiletken nöronun şematik ve sembol gösterimi [19]

Üçüncü olarak incelenen örnek çalışma, girdi olarak SFQ darbelerini alan devrenin yapı olarak sızdıran IFN modelini sergilemektedir. Gelen SFQ darbeleri, devrede yer alan indüktanslar arasındaki karşılıklı indüklenme sayesinde SPL devrelerine gitmektedir. Bu bağlaşım katsayısı, çıktı tarafına aktarılan sinyallerin büyüklüklerini etkilemektedir. SPL devrelerinden CBU devrelerine aktarılan SFQ darbeleri, toplayıcı devre içerisinde bulunan sinyalleri sönmölemek için devreye geri gönderilmektedir. Toplayıcı devre tarafında bulunan ve Josephson eklemelerinden oluşan döngü sayısına göre SPL ve CBU yapıları ayarlanmaktadır [16]. İlgili örnek çalışmanın model gösterimi ve simülasyonu Şekil 1.34 ve Şekil 1.35'te yer almaktadır.

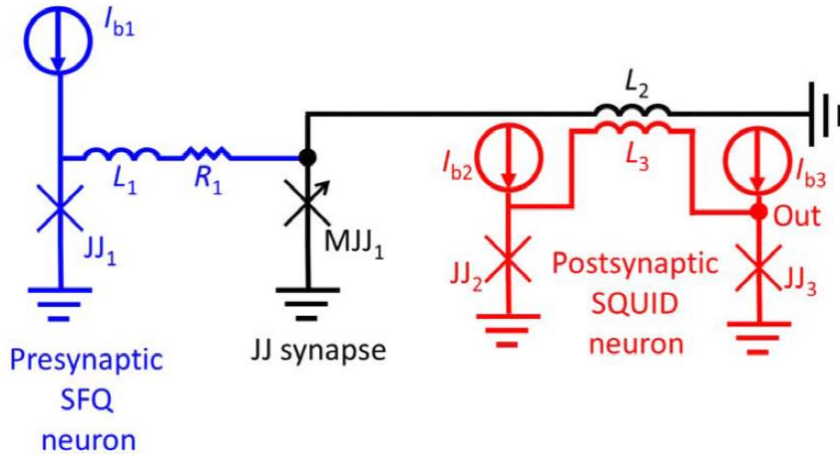


Şekil 1.34 : SFQ IFN modeli [16]

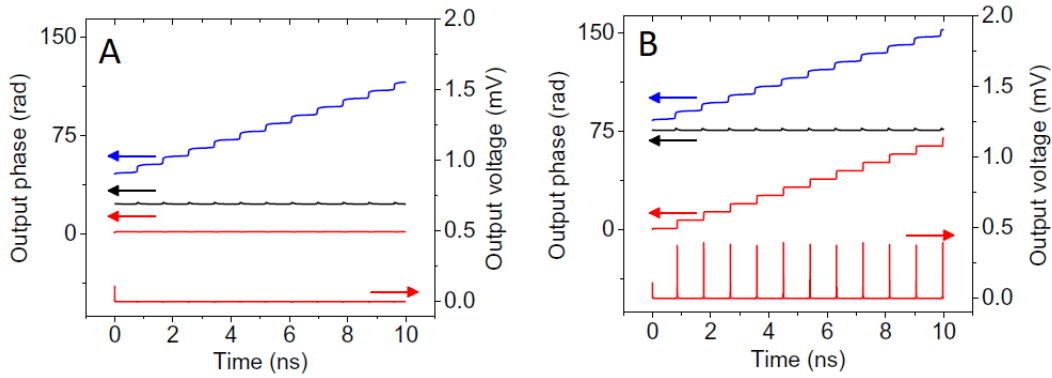


Şekil 1.35 : SFQ IFN model simülasyonu [16]

Dördüncü olarak incelenen örnek çalışma, ağırlıklı olarak tasarlanmış oldukları sinaps devresi hakkındadır ve sinaps etrafına yerleştirmiş oldukları farklı nöron yapıları ile nöron haberleşmesini gerçekleştirmişlerdir. Devrenin eklemleri, $1.5 \mu\text{m} \times 3.0 \mu\text{m}$ boyutlarındaki değerlere göre ayarlanmıştır. Çalışma frekansı 100 GHz değerinin üstüne çıkabilen sinaps yapısının çıktıları, sinapsa bağlı olan SQUID yapısına gitmektedir ve çıktı olarak dürtü sinyalleri oluşturmaktadır. Sinaps yapısından önce gelen ve girdileri gönderen nöron yapısı içerisinde bulunan direncin amacı, DC akım geçişini engellemek ve sinaps ile olan süperiletken halka dolaşımını kırmaktır [18]. İlgili devrenin şematik gösterimi Şekil 1.36'da ve simülasyon çıktıları Şekil 1.37'de yer almaktadır. Simülasyonda yer alan mavi çizgi, siyah çizgi ve üstte yer alan kırmızı çizgi çıkış fazlarını ve altta yer alan kırmızı çizgi, çıkış gerilimini temsil etmektedir. Şekil 1.37'nin A kısmında, I_C değeri $100 \mu\text{A}$ ve B kısmında, I_C değeri $50 \mu\text{A}$ olarak ayarlanmıştır.



Şekil 1.36 : Süperiletken sinaps entegreli nöron şematik gösterimi [18]



Şekil 1.37 : Sinaps entegreli yapının simülasyon sonucunda elde edilen sinyallerinin fazları ve çıktı gerilimi [18]

1.5. Tasarım Araçları

RSFQ devrelerinin şema çizimi, yonga üzerindeki çizimi ve gerekli ince ayarlamaların gerçekleştirilebilmesi için bir takım uygulamalara ihtiyaç duyulmaktadır. Üretimden dolayı oluşan etkileri ve termal gürültü etkisini ele alan PSCAN [48], JSPICE [49] ve JSIM [50] gibi simülatör programları bu çalışmaya uygun olmaktadır. Bu çalışmada yer alan devreler için JSIM simülatörü, devrelerin çalışma ve çıktı kontrolünün gerçekleştirilebilmesi için kullanılmaktadır. Cadence programı, RSFQ devrelerinin tasarımını ve gerekiyorsa kapı seviyesindeki simülasyonlarını Verilog-XL yardımıyla gerçekleştirilebilmektedir. Ayrıca devrelerin yonga üzerinde oluşturulabilmesi için gereken çizimleri, Cadence programında yapılabilmektedir. Yonga çizimlerinde yer alan indüktansların optimal bir şekilde ayarlanması ve simülasyon değerlerine yakın bir değer ile üretilebilmesi için Inductex programı kullanılmıştır.

1.3.1. Cadence devre tasarım ve simülasyon programı

Kullanıcıların üretimde güçlü tasarımlar yapmasına yardımcı olan Cadence Virtuoso analog tasarım programı, gelişmiş bir tasarım ve simülasyon programıdır. Tasarımcıların, devrelerde oluşabilecek parazitik verilerini tahmin etmesine ve karşılaştırmasına olanak sağlamaktadır. Ayrıca, optimizasyon algoritmaları sayesinde tasarımların daha gelişmiş ve duyarlı bir şekilde oluşturmasına yardımcı olmaktadır [51]. Bu tez çalışmasında, devrelerin şematik ile yonga çiziminde ve kurulan devrelerin şematiğini bulduran ‘netlist’ dosyasının oluşturulmasında Cadence programı kullanılmıştır. JJ-AN devresinin en temel pasif devre elemanları seviyesinde çiziminin gerçekleştirilmesinden dolayı analog simülasyon programına ihtiyaç duyulmaktadır ve Cadence programında yer alan Verilog-XL simülasyonu özelliği kullanılmamıştır. Temel devre elemanları ile oluşturulan yapılar, kütüphaneye bir sembol olarak kaydedilebilmektedir. Bu sayede, çizilen elemanın sembol yardımıyla tekrar tekrar kullanımı gerçekleştirilebilmektedir.

1.3.2. JSIM simülatörü

JSIM simülatörü, doğrusal olmayan JJ elemanını bulduran devrelerde simülasyon sırasında zaman adımları başına oluşan hesaplama zorluklarını azaltmaya odaklı olarak oluşturulmuştur. Bu yüzden JSIM, eşdeğer simülasyon programlarına göre daha yaygın bir kullanıma sahiptir ve açık kaynaklı bir devre simülatörüdür. Normal simülatörlerin, RSFQ devrelerinde kullanılamamasının bir diğer faktöründe AC

Josephson etkisidir. JJ elemanları üzerinde gerçekleşen salınımların veri olarak oluşturulabilmesi için simülâtörün zaman aralıklarının küçük olduğu durumlarda bile sonucu elde edebilmesi gerekmektedir [52]. Bu yüzden, tez çalışması doğrultusunda süperiletken devrelerinin simülasyonu için JSIM kullanılmaktadır. Devre şemalarında yer alan ölçülmesi istenen elemanların faz, voltaj ve akım değerleri bir dosyaya aktarılmaktadır. JTL devresi için oluşturulmuş olan şemaya karşılık gelen dosyaya ‘netlist’ adı verilmektedir. Bu ‘netlist’ dosyasının içeriğinin gösterimi Şekil 1.38’de yer almaktadır.

```

*** netlist file ***
**** **** **** **** **** **** **** **** ****+
*** View: schematic
*** Dec 23 18:43:18 2018
**** **** **** **** **** **** **** **** ****

*** jtl
.subckt jtl          1          2          3
***      din      dout
R1          3          4      8.34ohm
LPIN        1          5      0.354pH fcheck
LPR1        4          5      0.278pH fcheck
L2          6          7      4.859pH fcheck
L3          7          2      2.031pH fcheck
L1          5          6      2.517pH fcheck
LP2         8          0      0.096pH fcheck
LP1         9          0      0.086pH fcheck
B2          7          8      jjmod area=2.16
RS2         7          8      1.73ohm *SHUNT=3.73
B1          6          9      jjmod area=2.16
RS1         6          9      1.73ohm *SHUNT=3.73
.ends

*** sink
.subckt sink          1          10
***      din
R1          10         11      8.34ohm
R2          12         0      4.02ohm
LPIN        1          13      0.364pH fcheck
LPR1        11         13      0.265pH fcheck
L3          9          12      5.307pH fcheck
L1          13         9      2.493pH fcheck
LP1         7          0      0.101pH fcheck
B1          9          7      jjmod area=2.16
RS1         9          7      1.73ohm *SHUNT=3.73
.ends

*** top cell: thesis_jtl
V0          14         0      PWL(0ps 0mV 10ps 2.5mV)
V2          15         16      PWL(0ps 0mV 10ps 0mV 150ps 0mV 151ps 1.034mV 152ps 1.034mV 153ps 0mV)
V1          16         0      PWL(0ps 0mV 10ps 0mV 100ps 0mV 101ps 1.034mV 102ps 1.034mV 103ps 0mV)
XI4         jtl        17         18         14
XI2         jtl        19         17         14
XI1         jtl        15         19         14
XI3         sink       18         14

*** netlist file ***

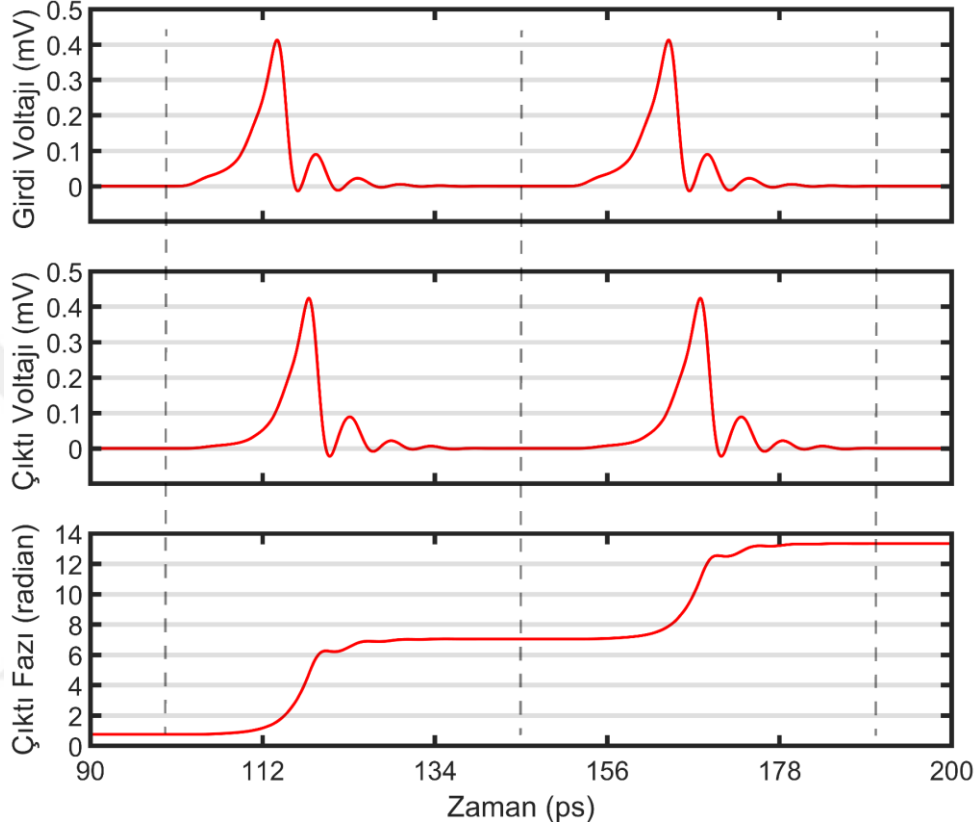
*** jsim input file ***
.tran 0.1ps 0.2ns 0.09ns
.file OUT
.print devv XI2_B1 *2
.print devv XI2_B2 *3
.print phase XI2_B2 *4
*** jsim input file ***

```

Şekil 1.38 : JTL devresinin netlist gösterimi

Oluşturulmuş olan ‘netlist’ dosyası, JSIM simülâtörüne gönderildiğinde bir ‘DAT’ uzantılı çıktı dosyası oluşturulmaktadır ve bu dosyada elde edilen veriler, kolay bir

şekilde grafiğe aktarılabilmektedir. Devre şemasında ilgili JTL devresi, girdi voltajını sağlayan kaynak, kutuplama voltajını sağlayan kaynak ve JTL çıktısının iletimini sağlayan diğer kütüphane elemanları yer almaktadır. JTL devresinin girdideki voltaj değeri ile çıktı tarafına yakın olan Josephson eklemi üzerinde gözlenen voltaj ve faz değişimi Şekil 1.39’da yer almaktadır.



Şekil 1.39 : JTL devresinin JSIM sonucu

1.3.3. InductEx indüktans hesaplama modülü

InductEx (Inductance Extraction) programı, Windows, Linux ve Mac OS X için bir konsol uygulamasıdır. Çok terminalli süperiletken entegre devrelerinde yer alan indüktans elemanlarının üç boyutlu olarak hesaplanmasını sağlamaktadır. Bununla birlikte kapasitans bilgilerini ve dış manyetik alan analizini sunabilen InductEx, bir yada çok çekirdekli olarak işlemleri gerçekleştirebilmektedir. Birden fazla üç boyutlu çözücü motorları (FastHenry ve TetraHenry) kullanmasından (küboid ve dörtyüzlü ağ elemanlarını kullanarak) ve akım dağılımı gibi gerekli olan bilgileri görsel olarak sunmasından dolayı, süperiletken uygulamalarında çok tercih edilen bir programdır [53]. Bu tez çalışmasında, devrelerin yonga çizimlerinin yer aldığı ‘gds’ dosyalarını ve ‘netlist’ adı altında ‘cir’ uzantılı dosyaları kullanarak hassas devre çizimi sağlayan

InductEx programı kullanılmıştır. Program, terminal üzerinden çizim değerleri hakkında bilgileri sunmaktadır. Bu bilgiler, istenilen elemanların çizimde yer alan güncel değerleri ile hedef değerleridir. Basit bir yapıyı oluşturan üç adet indüktans elemanlarının Inductex hesabı ile ilgili bilgileri Şekil 1.40, Şekil 1.41 ve Şekil 1.42’de bulunmaktadır.

```
* spice netlist for InductEx user manual example 3
* Inductors
L1      1  2  1
L2      2  3  1
L3      2  4  1
* Ports
P1      1  0
P2      3  0
P3      4  0
.end
```

Şekil 1.40 : InductEx netlist görünümü [53]

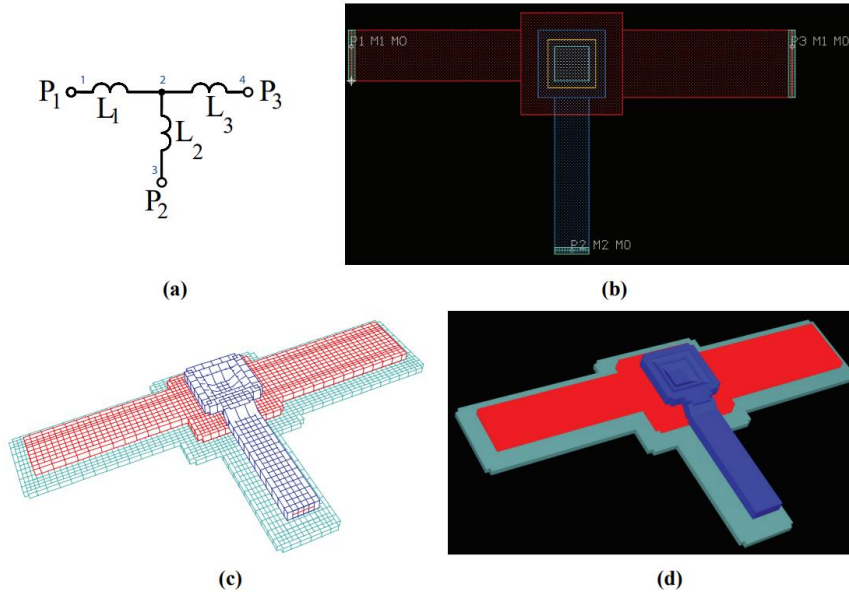
Port	Positive terminal	Negative terminal
P1	M1, line along y;	M0, same as "+" terminal.
P2	M2, line along x;	M0, same as "+" terminal.
P3	M1, line along y;	M0, same as "+" terminal.

Minimum filaments in FastHenry = 1643

Impedance Name	Inductance [pH] Design	Inductance [pH] Extracted	Resistance [Ohm] Design	Resistance [Ohm] Extracted	AbsDiff (L only)	PercDiff (L only)
L1	1.00000	1.65861	--	--	+0.6586	+65.86%
L2	1.00000	3.21219	--	--	+2.2122	+221.22%
L3	1.00000	1.27788	--	--	+0.2778	+27.79%

Deallocating memory.
Cycles found in 0.005 seconds.
SVD solution in 0.078 seconds.
Job finished in 0.797 seconds.

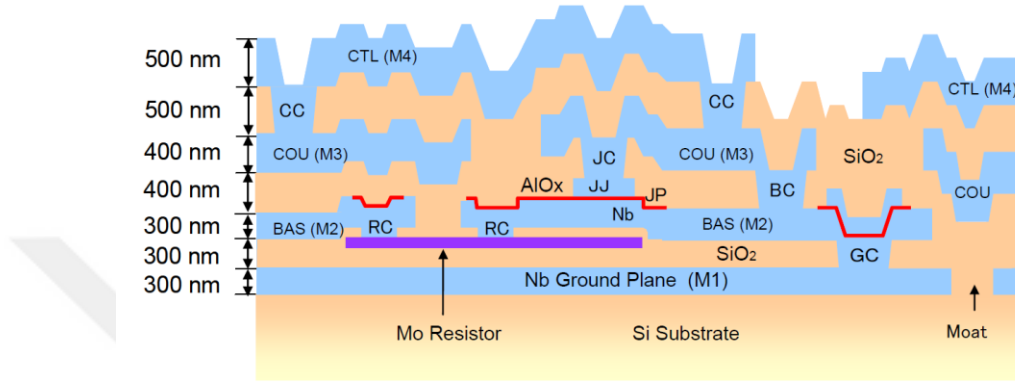
Şekil 1.41 : InductEx sonucunun terminal görünümü [53]



Şekil 1.42 : Devre Görünümleri, (a) Üç İndüktörün Bağlanma Noktalarıyla Birlikte Görünümü, (b) Yapının Yonga Çizimi Görünümü, (c) Üç Boyutlu InductEx Modelinin Kesikler Halinde Gösterimi, (d) Üç Boyutlu InductEx Modelin Tek Parça Gösterimi [53]

1.6. Tezde Kullanılan Üretim Yöntemi ve Tasarım Kuralları

RSFQ teknolojisi ile oluşturulan devrelerin üretimi için bu çalışmada AIST-STP2 seçilmiştir. AIST-STP2 üretim yönteminde yer alan katmanların üst üste gelecek şekilde yan görünümü Şekil 1.43'te yer almaktadır. Şekilde yer alan ve üretim sonucu elde edilen kalınlıkların gösterimine ek olarak, Mo katmanı kalınlığı 80 nm olarak ayarlanmaktadır.



Şekil 1.43 : AIST-STP2 üretimindeki bir kesitin yan görünümü [26]

Katmanların kullanım amaçlarına göre devrelerin farklı yerlerinde kullanılması gerekmektedir. Yılın belli zamanlarında toplu olarak Josephson eklemlerini içeren devrelerin üretiminde kullanılan katman isimleri, görünümleri, fonksiyonları, materyal ve kalınlık verileri Çizelge 1.2'de yer almaktadır.

GP katmanı, toprak katmanı olarak isimlendirilmektedir ve katmanda yer alan delikler sayesinde manyetik akıyı hapsedilmektedir. GC katmanı ise, GP ve BAS katmanları arasındaki temas noktasını ve geçişi oluşturmaktadır. Her GC noktası, JP ile çevrelenmiştir. Direnç çizimlerinin gerçekleştirilebilmesi için RES katmanı kullanılmaktadır. Josephson eklemlerinin alt elektrodu ve alt bağlantı hatlarının oluşturulmasında BAS katmanı kullanılmaktadır. Ayrıca, her JP kullanımıyla birlikte BAS kullanılması gerekmektedir. JJ, GC ve RC katmanlarının korunması ve izole edilmesi için JP katmanı kullanılmaktadır ve her Josephson eklemi yapısında JP kullanılması gerekmektedir. Josephson eklemi alanının belirlemesini sağlayan JJ katmanı, Nb/AIOx/Nb katmanının üst Nb elektrodunun oluşturulmasında kullanılmaktadır. BAS ve COU katmanları arasındaki geçişi ve temas noktasını, BC katmanı oluşturmaktadır. COU katmanı ile üst bağlantı hatları oluşturulabilmektedir ve her BC yapısının kullanılmasında COU yapısı kullanılması gerekmektedir. RES ve

BAS katmanları arasındaki geçişi ve temas noktasını, RC katmanı oluşturmaktadır. JC katmanı, JJ ve COU katmanları arasındaki geçiş ve bağlantı noktasını oluşturmaktadır. CC katmanı ise COU ve CTL katmanları arasındaki geçiş ve bağlantı noktasını oluşturmaktadır. En üst katmanın oluşturulmasında CTL kullanılmaktadır ve her CC yapısının bulunduğu yerlere CTL katmanı yerleştirilmesi gerekmektedir [26].

Çizelge 1.2 : AIST-STP2 katman bilgileri [26]

Katman İsmi		Görünüm	Fonksiyon	Materyal	Kalınlık
Birinci	İkinci				
GP	M1	Net	Toprak katmanı	Nb	300
	I1		Katmanlar arası yalıtkan	SiO2	200
RES	RES	Koyu	Direnç	Mo	80
	I2		Katmanlar arası yalıtkan	SiO2	100
RC	RC	Net	RES ve BAS arasındaki kontak noktası		
GC		Net	GP ve BAS arasındaki kontak noktası		
BAS	M2	Koyu	JJ alt elektrotu ve alt bağlantı hattı	Nb	300
JP	JP	Koyu	JJ için koruma	Al,AIOx	
JJ	JJ	Koyu	Josephson eklemi	Nb	150
	I3		Katmanlar arası yalıtkan	SiO2	400
BC		Net	BAS ve COU arasındaki kontak noktası		
JC		Net	JJ ve COU arasındaki kontak noktası		
COU	M3	Koyu	Üst bağlantı hattı	Nb	400
	I4		Katmanlar arası yalıtkan	SiO2	500
CC		Net	COU ve CTL arasındaki kontak noktası		
CTL	M4	Koyu	Yüzey bağlantı hattı ve kalkan katmanı katmanı	Nb	500

Tasarım parametrelerinin şema üzerine ayarlanmasının yanı sıra, deneysel sonuçlarda daha iyi veriler elde edilebilmesi için yonga çizimlerinin iyi bir şekilde ayarlanması gerekmektedir. Tez çalışmasında dikkat edilen ve AIST-STP2 üretiminde kullanılan tasarım kuralları Çizelge 1.3'te yer almaktadır.

Çizelge 1.3 : AIST-STP2 tasarım kural bilgileri [26]

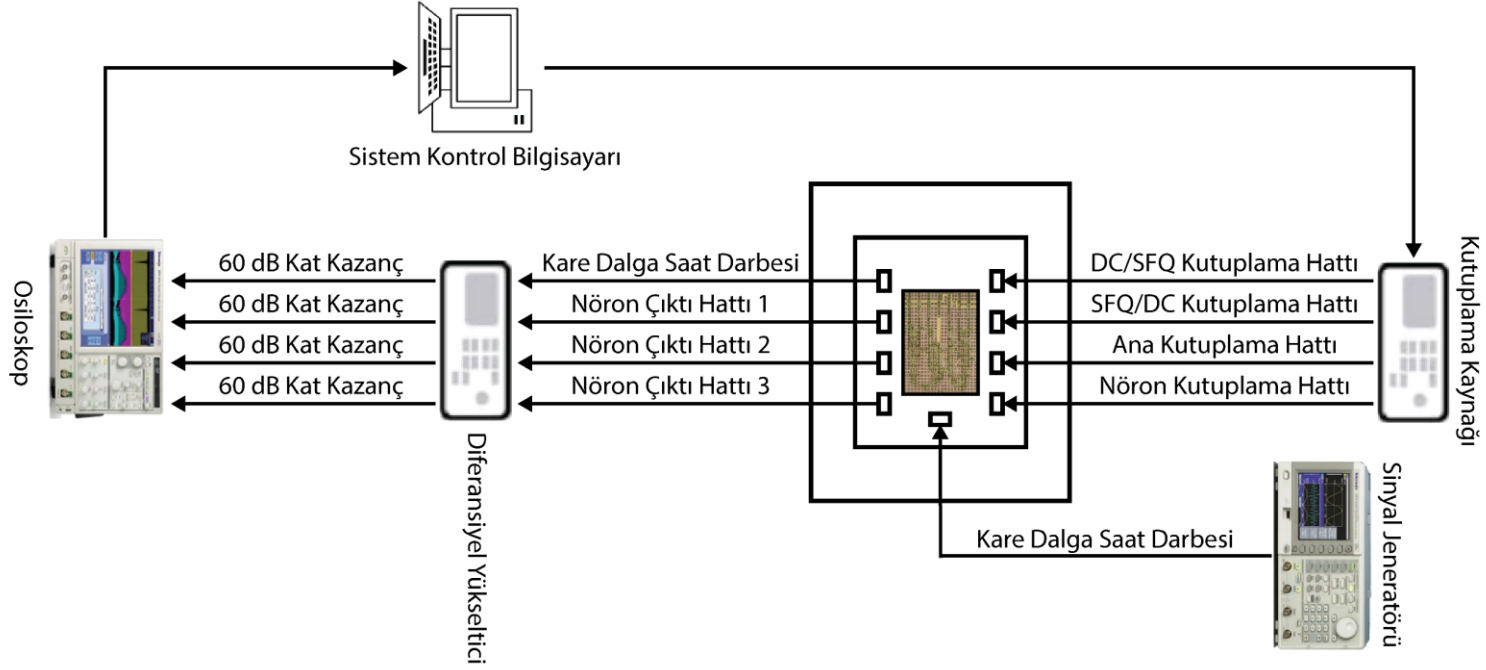
Kural İsmi	Boyut Miktarı
En küçük hat kalınlığı	1.5 μm
Desenler arası en küçük uzaklık	1.0 μm
En küçük JJ boyutu	2.2 μm x 2.2 μm (Gerçek Boyut : 2.0 μm x 2.0 μm)
JJ daralma miktarı	0.2 μm
JJ kritik akım yoğunluğu	2.5 kA x cm ⁻²
Yüzey izalasyon direnci	1.2 Ω
Boyuta göre en küçük temas miktarı	1.0 μm x 1.0 μm
Hizalama boşluğu	0.5 μm
BAS daralma miktarı	0.2 μm
COU ve CTL daralma miktarı	0 μm
RES daralma miktarı	0 μm



2. TEST SİSTEMİ

Tez çalışması doğrultusunda tüm deneyler, yaklaşık 10 mK'lik bir stabiliteye sahip, vakumlu bir ortamda ve 4.2K sıcaklığında yaklaşık 100 mW soğutma gücüne sahip, özel olarak ayarlanmış iki aşamalı bir darbe tüpü kriyosoğutucusu içinde gerçekleştirilmiştir. Kriyosoğutucu içerisinde yonga etrafındaki mekanik titreşimleri azaltmaya yönelik ek olarak her iki aşamada da mekanik sönümleyici bakır örgüler bulunmaktadır. Oda sıcaklığında bulunan elektronik ekipmanlar ile kriyosoğutucu arasındaki giriş ve çıkış sinyal bağlantıları, koaksiyel yüksek frekans kabloları ile gerçekleştirilmektedir. DC kutuplama sinyal hatları olarak, tek iplikli fosfor-bronz telleri bulunmaktadır. Kriyosoğutucu dahil olmak üzere tüm test ekipmanları Faraday kafesi içerisinde yer almaktadır. Akı tuzaklarını önlemek ve Josephson eklemlerinin tasarlandığı şekilde kritik akım değerlerine sahip olmak için yonga etrafında üç katmanlı bir μ -metal manyetik kalkan kullanılmaktadır. Yongalar, kriyosoğutucusu içerisine konulmadan önce sinyal ve kutuplama bağlantılarının yapılması gerekmektedir. Yonga ile yonganın üzerine yapıştırıldığı tutucunun bağlantıları, tel bağlayıcı ile gerçekleştirilmektedir. İlgili test sisteminin blok diyagramı Şekil 2.1'de yer almaktadır ve ayrıntılı detayları [54] numaralı çalışmada sunulmaktadır.

Deneysel için standart oda sıcaklığında sinyal kaynakları, yükselticiler ve osiloskoplar kullanılmaktadır. Çıktı sinyallerinin osiloskop üzerinde düzgün bir şekilde incelenebilmesi için sinyali 1000 kata (60 dB) kadar yükselten diferansiyel yükseltici kullanılmaktadır. Devrelerin testi gerçekleştirilmeden önce, devre ile elektronik ekipmanlar arasındaki iletişimi sağlayan SFQ-DC ve DC-SFQ dönüştürücülerinin kutuplama akımları istenen değere getirilmesi gerekmektedir. Akımların fazla verilmesi durumunda, çıktı sinyal çizgilerinde bir yükselme gözlenmektedir. Yükselmelerin olmaması durumunda, devre ile sistem arasındaki haberleşmenin olmayacağı ve devrenin testinin yapılamayacağı anlaşılmaktadır. Gerekli sinyallerin artışı gözlemlendikten sonra devrenin girdileri sağlanır ve osiloskopta gözlemlenen çıktı sinyallerinin dalga verileri ve ekran görüntüleri kaydedilmektedir.



Şekil 2.1 : Test sistemi blok diyagramı

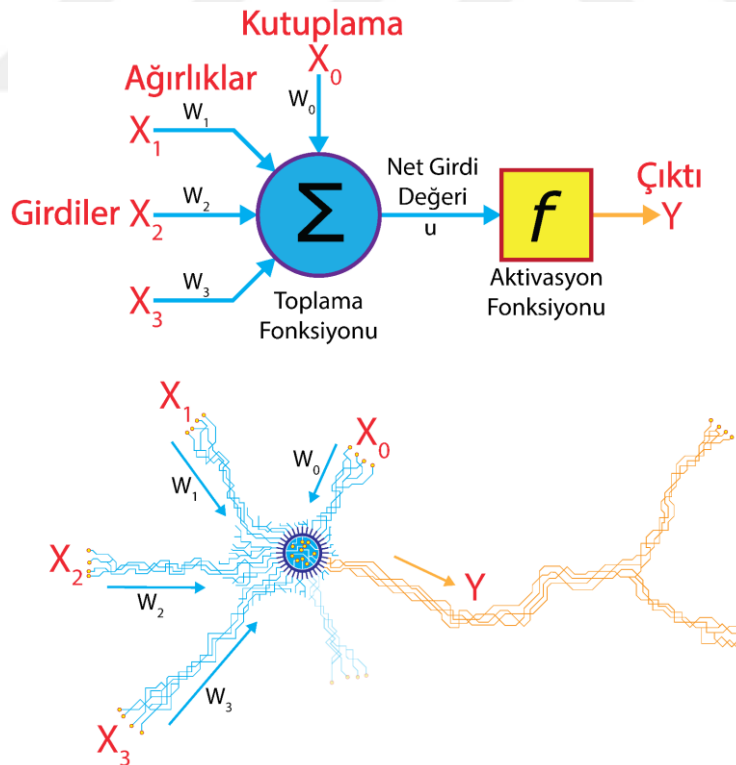
3. JJ-AN ve NÖRON AĞI DEVRESİ TASARIM ve GERÇEKLEMESİ

Tez araştırması doğrultusunda modelleme ve gerçekleştirilmesi yapılan JJ-AN devresine ve nöron ağı devresine ait tasarım bilgileri, simulasyon ve deney sonuç verileri bu bölümde yer almaktadır.

3.1. Tasarımın Amacı ve Biyolojik-Matematiksel Nöronlar ile Uyumu

Sinir ağları için sinaptik bağlantılar, biyolojik sinir ağlarında ağın fonksiyonunu tanımlamaktadır ve sinapslar değişmezse nöron ağı, aynı operasyonu sağlamaktadır. Sinaps değerleri korunduğu durumlarda, ağın biyolojik fonksiyonu korunup bireyin hafıza yapısı sağlanmaktadır [55]. Bir birey bir eylemi tekrar tekrar gerçekleştirirse, ilgili ağın geri çağırılma işlevini gerçekleştirmektedir ve ilgili eylemin etkilediği sinaptik ağırlık değerleri artmaktadır. Nöronun ana gövdesi, soma, toplama işlevini yapabilmek için girdilerin geçici olarak depolanması işlevini gerçekleştirmektedir. Somaya sinapstan yeterli sayıda giriş sinyali gelirse, bir aksonal (çıkış) darbesi tetiklenmektedir ve gerçekleştirilen sürece somatik operasyon denir. Bununla birlikte, eğer giriş sayısı belirlenen bir süre içinde yeterli olmazsa, çıkış darbesi salınmamaktadır. Bu prensipler JJ tabanlı mantıksal devrelerde, yani RSFQ devrelerinde [13,14] uygulanmaktadır. İlgili devrelerdeki '1' ve '0' mantığı, SFQ darbelerine dayanmaktadır. Bu nedenle, bir biyolojik nöronun çalışmasını, JJ'ler ve RSFQ devreleri ile uygulamak mümkün olmaktadır. Yapay nöronun çalışma prensibi, biyolojik nörondaki somatik operasyonunun karakteristik özellikleri ile eşleşmektedir. Benzerlikler JJ-AN'yi yüksek performans ve düşük güçlü sinir ağı uygulamalarında kullanmak için potansiyel bir aday yapmaktadır. Çalışmada sunulan nöron devresi, esas olarak bir toplama fonksiyonu ve aktivasyon fonksiyonundan oluşan ve Şekil 3.1'de gösterilen matematiksel modeli uygulanmaktadır. Modelde, girdi sayısı ve onların bireysel ağırlıkları, hücrenin işlevini belirlemektedir.

Girdi ağırlıkları (W_n) biyolojik nöron sinapslarını temsil etmektedir ve nöron bağlantısının kimyasal iletimini simüle etmektedir. Ağırlığın negatif değerleri engelleyici etkilere sahipken, pozitif değerler ağırlıklar üzerinde yapıcı ve uyarıcı olarak kabul edilmektedir. Yapay nöron modelinin bileşenleri, toplama ve aktivasyon fonksiyonlarıdır. Toplama ve aktivasyon fonksiyonlarının kombinasyonu, tek bir nöronun fonksiyonel hücre gövdesini oluşturur. Operasyon, Denklem (3.1)'de gösterildiği gibi ağırlıkları ile girdilerin bireysel çarpılmasıyla başlamaktadır. Daha sonra, girişlerden gelen tüm değerler, toplama fonksiyonu üzerinde birbirine eklenmektedir. Toplama fonksiyonunda toplanan ve ağırlıklar tarafından değiştirilen tüm girişler (X_n), tek bir çıktı parametresi (u) ile ifade edilmektedir. Toplama fonksiyonunun çıkışı (u), nöron çıkışının (Y) genliğini ayarlayan aktivasyon fonksiyonu olarak adlandırılan kontrol bileşenine gitmektedir. JJ-AN tasarımında aktivasyon fonksiyonu, istenen darbe sayısına göre ayarlanabilmektedir. Denklem (3.2)'de gösterildiği gibi çarpma sonuçlarının toplamı eşik değerini aşarsa, aktivasyon fonksiyonu bir çıktı sağlamaktadır ve sinapslar aracılığıyla bir sonraki nöronlara çıktı sinyalleri iletilmektedir.



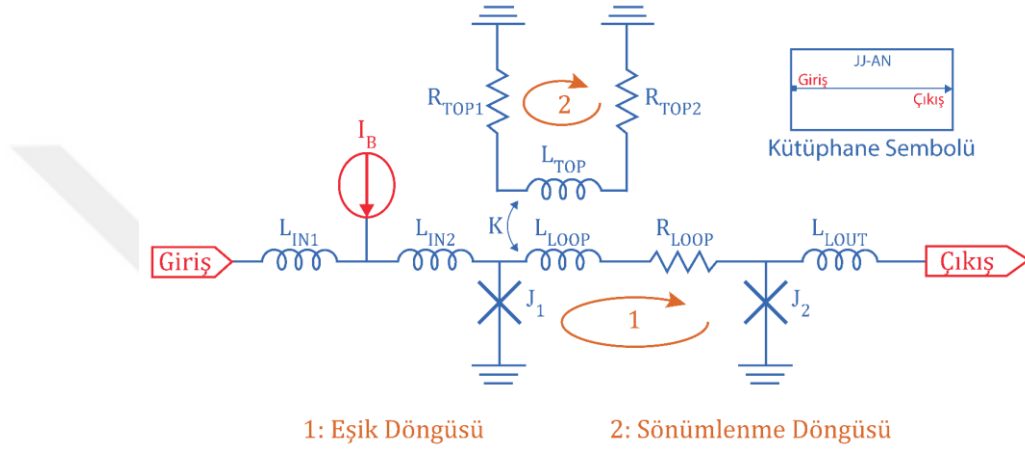
Şekil 3.1 : Yapay nöronun matematiksel modeli ve çizimi

$$X_0.W_0 + X_1.W_1 + X_2.W_2 + X_3.W_3 = u \quad (3.1)$$

$$f(u) = Y \quad (3.2)$$

3.2. Nöron Devresi Tasarım Yapısı

Bu çalışmada gerçekleştirilen JJ-AN devresi, Josephson eklemleri ve pasif elemanları kullanılarak Şekil 3.2'de gösterildiği gibi modellenmesi gerçekleştirilmiştir. Devre, esas olarak bir eşik döngüsü, sönümlenme döngüsü ve eşik ile sönümlenme döngüleri arasındaki karşılıklı indüklenme tarafından oluşmaktadır. Döngülerin her biri, eşik döngüsünde tutulan akımın sönümlenme zamanını (τ) ayarlamaktadır. Parametre değerlerinin çeşitli kombinasyonları, nöron devresinde farklı eşik değerleri ve sönümlenme süreleri oluşturmaktadır.



Şekil 3.2 : Yapay nöron devre şeması

Temel olarak, bir JJ-AN'ın her biri RSFQ temelli mantık devreleriyle uyumlu olan bir giriş ve bir çıkış hattı vardır [13,56,57]. Bir giriş darbesinin gelmesiyle, dolaşımdaki eşik döngü akımı artar ve döngüdeki akım L_3 'te gözlemlenebilmektedir. Döngü akımının eşik sınırına ulaşması durumunda, J_2 eklemi bir çıkış darbesini tetikler ve bir sonraki bağlı olan devreye göndermektedir. JJ-AN devresinin giriş ve çıkış empedansını bir SFQ temelli mantık devresine veya istenen devrelere uydurmak için L_{IN1} , L_{IN2} ve L_{OUT} indüktansları kullanılmaktadır. Bu sayede JJ-AN devresinin çıktısı, RSFQ temelli devrelerde bir girdi sinyali olarak işlenebilmektedir veya RSFQ temelli devrenin çıktısı, JJ-AN devrelerinde bir girdi sinyali olarak işlenebilmektedir. J_1 ve J_2 Josephson eklemleri eşik değeri belirlemektedir ve bu eklemlerin çalışma noktası, kutuplama akımıyla belirlenmektedir. R_{LOOP} direnci, eşik döngüsündeki akımın sönümlenme miktarını ayarlamaktadır. Bu direncin artırılması durumunda akım daha hızlı sönümlenmektedir ve eşik değere ulaşmak için daha fazla giriş darbesi gerekli olmaktadır. L_{LOOP} ve L_{TOP} indüktansları arasındaki karşılıklı indüklenme (K), döngüdeki akımın sönümlenme süresini ayarlayan diğer bir faktördür. Karşılıklı

indüklenme değerinin artırılması durumunda, sönümlenme döngüsüne aktarılan akım miktarı artmaktadır ve eşik döngüsünde yer alan sirkülasyon akımı daha hızlı sönümlenmektedir. Öte yandan, L_{LOOP} değeri artırıldığı durumda, sönümlenme süresi artmaktadır ve eşik döngüde yer alan akım daha uzun bir süre döngüde kalmaktadır. Bu sayede giriş darbeleri arasındaki zaman aralığı daha yüksek olacak şekilde ayarlanabilmektedir. R_{TOP1} ve R_{TOP2} dirençlerinin etkisi, R_{LOOP} parametresinin etkisi ile aynıdır. Ek olarak, nöron devresinin çalışma noktası, DC kutuplama akımı değiştirilerek kolaylıkla ayarlanabilmektedir. SQUID [58] bağlantılarının kritik akım değerlerini ayarlayarak sınır değerini aşan darbelerin sayısı azaltılabilir veya arttırılabilir. Özet olarak, JJ-AN devre parametrelerini ve çalışma noktasını ayarlayarak, nöronun akım tutma süresini ve eşik değerini ayarlamak mümkündür. SFQ darbesinin üretilmesi sırasında Josephson eklemi voltaj durumuna geçer ve tek akı kuantası şeklinde bir kuantum dijital sinyali üretmektedir. İlgili akı kuantası hesaplaması, Denklem (1.3)'te yer almaktadır. Eklem üzerinde anahtarlama sırasında voltaj değişimi ve akı kuantası arasındaki ilişki Denklem (3.3)'te yer almaktadır.

$$\Phi_0 = \int_0^{\tau} V dt \quad (3.3)$$

Her bir tek akı kuantası sırasındaki toplam enerji miktarı Denklem (3.4)'te yer almaktadır. I_C parametresi Josephson eklemelerine ait kritik akım değerini temsil etmektedir.

$$E_{SFQ} = \int_0^{\tau} I_C V dt = I_C \Phi_0 \quad (3.4)$$

Bu çalışmada kullanılan eklemelerin kritik akım değerleri yaklaşık 250 μA olarak ayarlanmıştır. DC güç tüketimini hesaba katmadan ve Denklem (3.4)'ten yola çıkarak E_{SFQ} değeri 5×10^{-19} Joule olarak hesaplanmaktadır.

Yapay nöronların kutuplama voltajları 2.5 mV ve kutuplama hattından geçen akım değerleri 350 μA olarak ayarlanmıştır. Buradan yola çıkarak ve Denklem (3.5) kullanılarak DC güç tüketimi 8.75×10^{-7} W olarak hesaplanmaktadır.

$$P_{DC} = I \cdot V \quad (3.5)$$

50 GHz frekansında bir operasyon ele alınacak olursa DC güç tüketimiyle birlikte tek akı kuantası başına düşen ortalama enerji miktarı Denklem (3.6)'de 1.75×10^{-17} Joule olarak hesaplanmaktadır.

$$E_{SFQ} = \frac{1}{f} \cdot P_{DC} \quad (3.6)$$

Devrelerde kutuplama hattında yer alan dirençleri, Joseph eklemleri ve indüktörler [59] ile değiştirerek sıfır DC güç tüketimi sağlayan e-RSFQ tasarımlarını uygulamak mümkündür.

3.3. Nöron-RSFQ Devreleri Girdi-Çıktı Uyumu

Çizelge 1.1 incelendiğinde, JJ-AN devresinin ve biyolojik nöronun karakteristik özellikleri uyumaktadır. Bu yüzden, JJ-AN devresi ile biyolojik nöronun tüm fonksiyonları uygulamak mümkündür. Ancak, bu durum tek başına pratik uygulamalar için yeterli olmamaktadır. Karmaşık bir yapay sinir ağı kurmak için, bu devrelerin parametrelerinin ayarlanan değerlerine göre üretilmesi gerekmektedir ve nöronların geleneksel mantık devreleri yanı sıra diğer nöronlar ile olan arayüzü, giriş ve çıkış sinyallerinin uyumu, uygun bir şekilde gerçekleştirilmesi gerekmektedir. Konvansiyonel mantık ara yüzü olarak, RSFQ tabanlı mantık devreleri ile yapay nöronları eşleştirilmesi amaçlanmıştır. Çünkü RSFQ temelli mantık teknolojisi oldukça karmaşık ve yüksek hızlı mantık devreleri için geliştirilmiş bir teknolojidir [60–67]. Ayrıca, RSFQ temelli devreler ile çalışmada yer alan yapay nöronlar, aynı yonga üzerinde aynı döküm işlemi kullanılarak üretilmektedir. Dolayısıyla, imalatın maliyeti ile güvenilirliği ve mevcut tasarım araçlarının kullanılabilirliği, yapay sinir ağlarının çalışmada yer alan yapay nöronlar ile uygun şekilde ölçeklenmesini sağlanabilmektedir.

Bölüm 3.2’de bahsedildiği üzere, JJ-AN devresinde yer alan L_{IN1} ve L_{IN2} giriş empedansını önceki devrelere eşleştirmede ve L_{OUT} ise çıkış empedansını sonraki devrelere eşleştirmede kullanılmaktadır. Böylece diğer devrelerden gelen sinyaller, JJ-AN devresinde ve aynı şekilde JJ-AN devresinden çıkan sinyaller, bağlı olan sonraki devrelerde işlenebilmektedir.

3.4. Nöron Devre Optimizasyonu ve Fabrikasyonu

İstenen nöron özelliklerine ulaşmanın birçok çözüm yolu bulunmaktadır. Simülasyon, değer değişiminde tolerans olmadan ve termal gürültü olmadan mükemmel parametre değerlerini kabul etmektedir. Devreler imal edilirken, JJ kritik akımlarının, indüktansların ve dirençlerin değerlerinde üretim toleransına bağlı olarak değişiklikler meydana gelmektedir. Ayrıca, ölçümler sırasında termal gürültü, karşılaştırmacı tabanlı devrelere ait gri bölgeyi artırmaktadır [68,69]. Bu yüzden, YSA özellikleri sağlayan

birçok çözüm arasından, en iyi parametre setinin seçilmesi, her devre için çalışma aralığının hesaplanmasına dayanmaktadır.

Nöron devresinin optimizasyonu, nöron devresinin imalatından sonra daha iyi sonuçların elde edilmesine yardımcı olan önemli bir süreçtir. Nöron devresinin optimizasyonu için, doğrusal olmayan optimizasyon yöntemlerinden biri olduğundan ve algoritmasının parçacıkların modellenmesine bağlı olduğundan PSO seçilmiştir. Belirli bir arama alanında en iyi nokta için arama yapan her parçacık, uygulamanın hedef işlevine dayanan değerleri belirlemektedir. Daha fazla bilgi, RSFQ temelli mantık devrelerini [13,56,57] ve VTM devresini [60] geliştirmek için kullanılan yapı [60,70] 'de bulunmaktadır.

Optimizasyon programı, SFQ sinyallerinin art arda gelerek oluşturmuş olduğu ardışık girdi sinyallerini referans olarak kullanmaktadır. Eşik değerini geçilmesi durumlarına bakarak devreye giren referans sinyalleri ile devreden çıkan sinyalleri karşılaştırmaktadır. Art arda gelen ardışık girdi sinyalleri, bağlı olan önceki dijital devreden veya nöron devresinden gelmektedir. Nöron devresi bağlı olduğu diğer devreler ile birlikte optimize edilmektedir. Çünkü devre empedansının RSFQ dijital kütüphanesi ile eşleşmesini amaçlanmaktadır. İstenen referans girdi ve çıktı sinyallerini sağlayan modelin oluşturulması ve ayarlamaları şematik üzerinde gerçekleştirilmiştir. Çıktılar, ticari olarak mevcut sayısal hesaplama ortamında gözlemlenmektedir. Nöron devresi modelini ve ona bağlı olan diğer devrelerin analog giriş ve çıkış sinyallerine bakarak modellerinin beraber optimizasyonunu gerçekleştirmek için yeni bir fonksiyon geliştirilmiştir. Bu fonksiyon, giriş ve çıkış hatlarından gelen sinyallerin tepe noktalarını kontrol etmektedir ve giriş ile çıkış ilişkisini oluşturmak için bulunan tepe noktalarını karşılaştırmaktadır. Optimizasyon programında her bir parametrenin değeri, arayüzde belirlenen sınır değerleri arasında ve önceden tanımlanmış olan adım büyüklüğüne göre program tarafından değiştirilmektedir. Bu çalışma için, parametre değerlerinin değiştirilmesinde kullanılan adım büyüklüğü, parametrelerin tasarım değerlerinin % 1'i olarak ayarlanmıştır.

Nöron devresini tetiklemek ve bir çıkış vermesini sağlamak için, eşik döngüsünde yeterli akım sağlayan darbelerin sayısı, hassasiyet parametreleri tarafından ayarlanan limiti geçmelidir. Bu çalışmada, ilk optimize edilmiş devrenin iki SFQ darbe eşiği vardır ve ikincisinin üç SFQ darbe eşiği vardır. İlk tasarım için, tek bir giriş darbesi

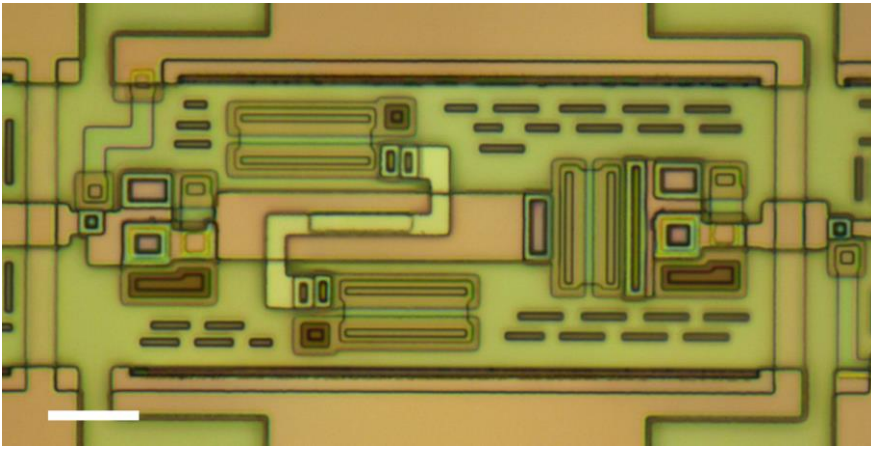
alındıktan sonra, ikinci darbe en geç 65 ps sonra ulaşmalıdır. 65 ps'den sonra gelirse, depolanmış olan akımın sönümlenmesi nedeniyle eşik döngüsünde yeterli akım olmayacaktır. İki darbe eşikli nöron için, her iki girdi darbesinden sonra, nöron devresi bir çıkış olarak tek bir atım sağlar. Devre, çıkış atımını serbest bıraktıktan sonra bir sonraki atımı elde etmeye hazırdır. Üç SFQ darbesi eşikli nöron, üç atımı elde ettikten sonra bir çıkış sağlar. Atımlar arasındaki gecikme maksimum 20 ps'ye ayarlanmalıdır. Nöronların parametrelerinin çalışma aralıkları, Şekil 3.3'te gösterilmektedir.



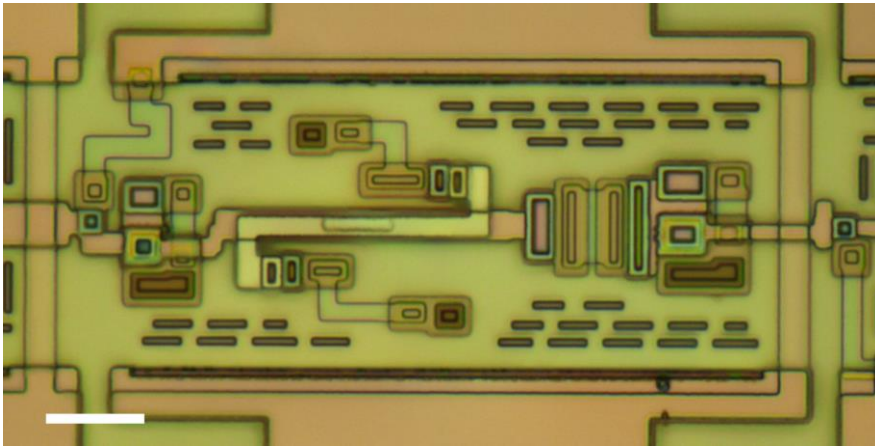
Şekil 3.3 : Yapay nöron parametrelerinin çalışma aralıkları

Şekil 3.3'te yer alan parametreler içerisindeki I_b değeri, V_b ve R_b değerlerinin oranıyla elde edilmiştir. Bu yüzden, I_b değerinin çalışma aralığı yerine V_b ve R_b değerlerinin çalışma aralıkları figürde yer almaktadır. Modifiye edilmiş olan PSO programı iki devre için çalıştırılmıştır ve bu devreler STP2 üretim teknolojisiyle [25] üretilmiştir. Her bir devre için program, 6 çekirdekli Intel i7 3930K CPU @3.20GHz bilgisayarda 5 parçacıkla 48 saat boyunca çalıştırılmıştır. Adım aralığı 1% olarak ayarlandığından sonuçlar, %1'lik bir hassasiyete sahiptir. İki SFQ darbe limitli nöron devresinde ± 23 çalışma aralığı ve üç SFQ darbe limitli nöron devresinde ± 7 'lik bir çalışma aralığı sonucu elde edilmiştir.

Yongaların üretimi için, AIST’te ticari olarak temin edilebilen CRAVITY’de STP2 işlemi kullanılmaktadır. STP2 işlemi, bir toprak düzleminden ve üç adet Nb bağlantılardan oluşmaktadır. Kutuplama hattı ve şönt direçlerinde Mo direnç katmanı kullanılmıştır. JJ için ise, Nb/Al–AlO_x/Nb tünelleme bağlantıları kullanılmıştır. Minimum JJ boyu 2µm×2µm’dir. JJ için amaçlanan J_c değeri 2.5 kA/cm’dir [25]. Fabrikasyon sonucu elde edilen yongalarda bulunan iki SFQ darbesi limitli nöron devresinin gösterimi Şekil 3.4’te ve üç SFQ darbesi limitli nöron devresinin gösterimi Şekil 3.5’te yer almaktadır. Şekil 3.4 ve Şekil 3.5’te yer alan JJ-AN devrelerinin içerisinde bulunan beyaz ölçü çizgisinin boyu 5 µm’dir.



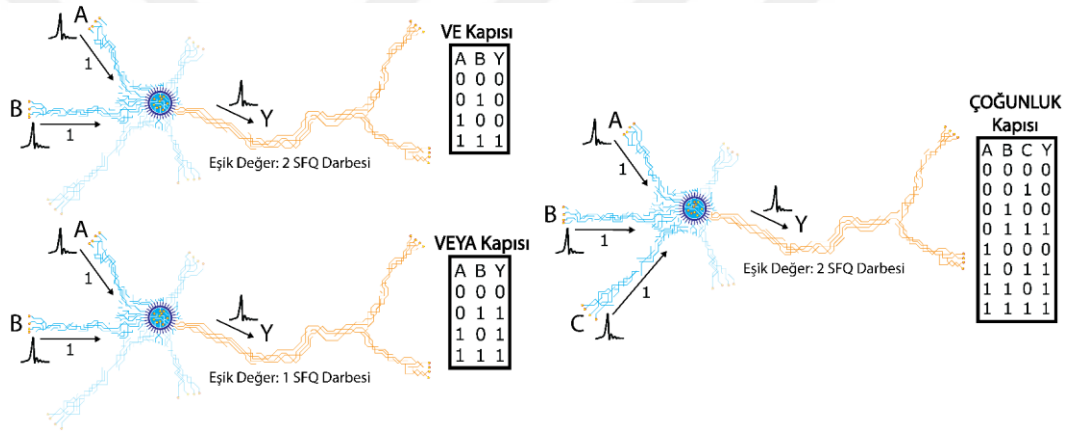
Şekil 3.4 : İki SFQ darbesi eşikli JJ-AN devresinin yonga üzerindeki görünümü



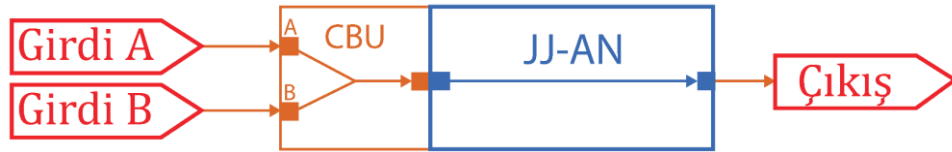
Şekil 3.5 : Üç SFQ darbesi eşikli JJ-AN devresinin yonga üzerindeki görünümü

3.5. JJ-AN Tabanlı Mantık Kapıları ve İkilik Taban Çarpma Devresinde Taşma Bitinin Entegrasyonu

Nöron devresi aslında bir eşik devresi olarak kabul edilmektedir. Bu devre, eş zamanlı olmayan ‘VE’ mantık kapısının, ‘VEYA’ mantık kapısının veya ‘ÇOĞUNLUK’ mantık kapısının operasyonunu yalnızca kendi başına uygulayabilmektedir. Josephson tabanlı CBU devresi, paralel SFQ sinyallerini seri SFQ sinyallerine dönüştürmektedir. Bu şekilde seri gelen sinyaller, nöron devresine gönderildiğinde eşik döngüsünde toplanmaktadır. Farklı parametre setleri, farklı mantık işlemlerini gerçekleştirmektedir ve giriş sinyalleri arasındaki zaman aralığı da işlemin doğru gerçekleşmesinde ana rolü oynamaktadır. İlgili mantık kapılarının gösterimi Şekil 3.6’da yer almaktadır. ‘VE’ ve ‘VEYA’ işlemlerinin JJ-AN ile gösterimi Şekil 3.7’te ve ‘ÇOĞUNLUK’ işleminin JJ-AN ile gösterimi Şekil 3.8’de yer almaktadır.



Şekil 3.6 : ‘VE’, ‘VEYA’ ve ‘ÇOĞUNLUK’ mantık operasyonlarının nöronsal gösterimleri ve doğruluk tabloları



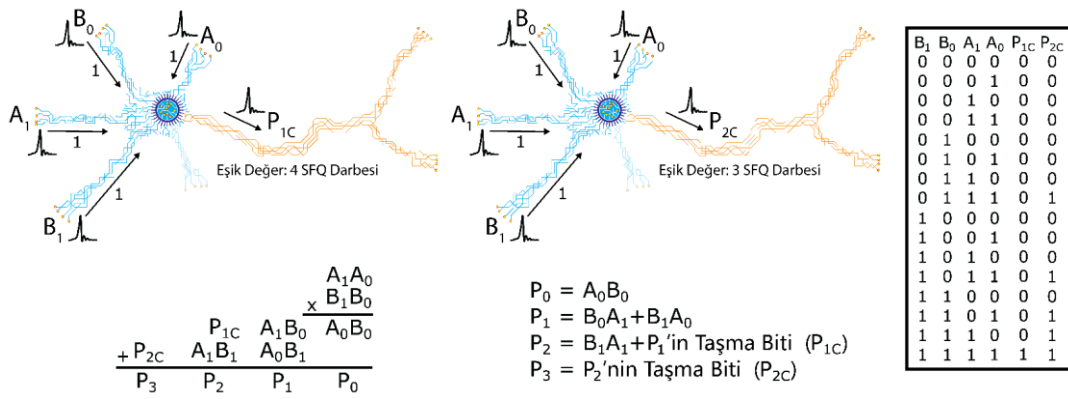
Şekil 3.7 : ‘VE’ ve ‘VEYA’ operasyonunu gerçekleştiren JJ-AN devre şeması



Şekil 3.8 : ‘ÇOĞUNLUK’ operasyonunu gerçekleştiren JJ-AN devre şeması

Çarpma devrelerinin pratik uygulaması göz önünde bulundurulduğunda her taşma biti, önceki taşma bitleri tarafından oluşturulur ve devrenin gecikme süresi, çoğunlukla tüm

taşıma bitlerinin hesaplamaları ile şekillenmektedir. Sinyallerin yayılım gecikmesi, çıktılarının doğru bir şekilde çıkması için beklenen oluşum sürelerini uzatmaktadır. İlgili hesaplama ve nöron gösterimlerinin yer aldığı Şekil 3.9’da gösterildiği gibi, taşıma biti olan P_{1C} ’nin son değerine gelmemesi durumunda, P_{2C} taşıma biti henüz mevcut olmamaktadır. Bu işlemin etkisi, doğru çıktı hesaplamaları için gereken zaman gecikmesi olmaktadır. Bu hesaplamaların yanı sıra, nöronları taşıma bitlerinin hesaplarında kullanılması, daha iyi ve hızlı bir yöntem olduğu gözlemlenmiştir. P_{1C} ’nin oluşturulması için tüm girdilerin mantık değerlerinin ‘1’ olması gerekmektedir. Fakat, P_{2C} ’nin oluşturulması için en azından üç adet girdinin mantık değerlerinin ‘1’ olması yeterli olmaktadır. Bu çarpma işleminde yer alan her bir taşıma biti için sadece birer adet nöronun kullanılması yeterli olmaktadır. Nöronların sadece eşik değerlerinin ayarlanmasıyla farklı taşıma bitlerinin operasyonları elde edilmektedir. P_{1C} hesaplama nöronu için eşik değeri dört iken P_{2C} hesaplama nöronu için eşik değeri üç olarak ayarlanmaktadır. Doğru çarpma sonucuna ulaşmak için taşıma bitlerinin yanı sıra geri kalan hesaplamalar, her iki girdi bitlerinin ‘VE’ mantık operasyonundan geçmesi ve ara hesaplama sonuçlarının ‘ÖZELVEYA’ mantık kapısından geçmesi şeklindedir.



Şekil 3.9 : İki bitlik çarpma devresinin taşıma bitlerinin JJ-AN devresiyle hesaplanması ve ilgili doğruluk tablosu

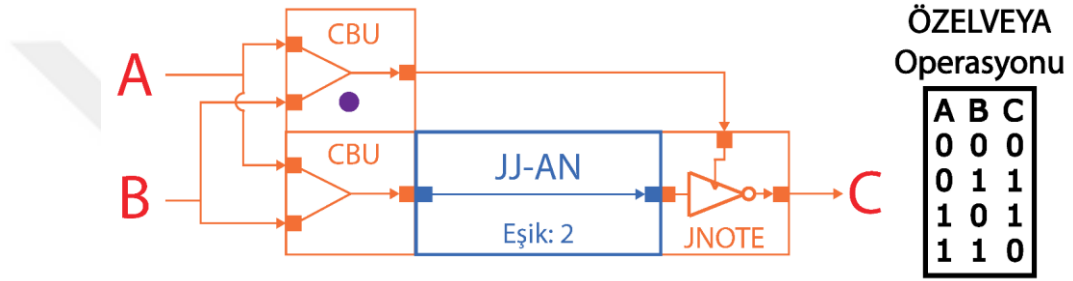
3.6. JJ-AN ve JNOTE ile Aritmetik Devre Tasarımı ve Ağ Gerçeklemesi

İkili tabanda çarpma işlemi yapan bir devrenin taşıma bitlerinin hesabının nöronlarla yapılabilirliği ile farklı mantık kapılarının nöronlarla uygulamaları bir önceki bölümlerde gösterilmiştir. Bunların yanı sıra, çarpma ve toplama gibi farklı operasyonların nöronlar ile gerçekleştirilebilirliği mümkün olmaktadır. Tasarımlarda

bulunan yapılara tersleyici mantıklar, JNOTE kapıları ile sağlanmaktadır. JNOTE kapısının saat darbesi ayarlamasında CBU devresinin istenmeyen durumu olan, sinyallerin yaklaşık olarak aynı anda varması ayarlanmıştır. Bu durumu gerçekleştiren CBU yapıları mor ile işaretlenmiştir.

3.6.1. ÖZELVEYA devre tasarımı

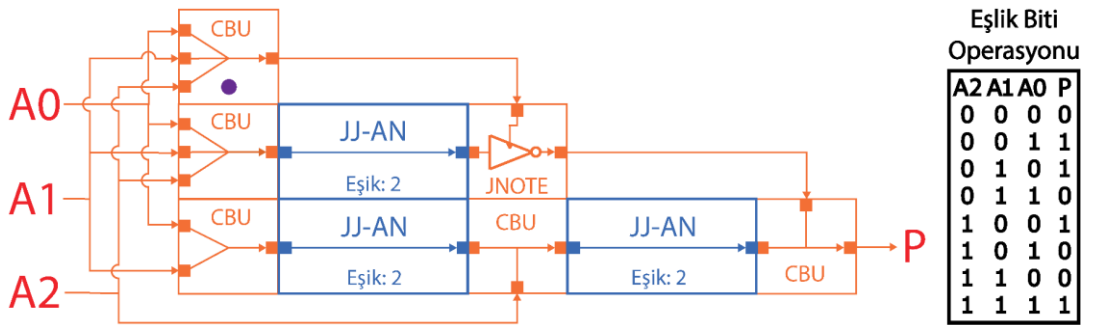
İki adet girdiye göre ayarlanmış olan JJ-AN devresiyle birlikte JNOTE kapısı kullanıldığında ‘ÖZELVEYA’ operasyonu elde edilebilmektedir. ‘ÖZELVEYA’ operasyonu, girdilerin birbirinden farklı olduğu durumlarda çıktı olarak mantık ‘1’ ve girdilerin birbiriyle aynı olduğu durumlarda çıktı olarak mantık ‘0’ vermektedir. Tasarlanan ‘ÖZELVEYA’ yapısının gösterimi Şekil 3.10’da yer almaktadır.



Şekil 3.10 : ÖZELVEYA devresi ve doğruluk tablosu

3.6.2. Eşlik biti hesaplayıcı devre tasarımı

JJ-AN devresinin yeterliliğini ve kabiliyetini göstermek için, üç bit girişi olan ve eşlik biti hesaplayan basit bir yapay nöron ağı tasarlanmıştır. Eşlik biti, tek sayıda mantık ‘1’ girdisi olduğunda mantık ‘1’ olmaktadır ve toplam mantık ‘1’ sayısı çift sayıda olduğunda, mantık ‘0’ olmaktadır. Gerçeklenen eşlik biti hesaplama operasyonunu gösteren devre şeması Şekil 3.11’de yer almaktadır.

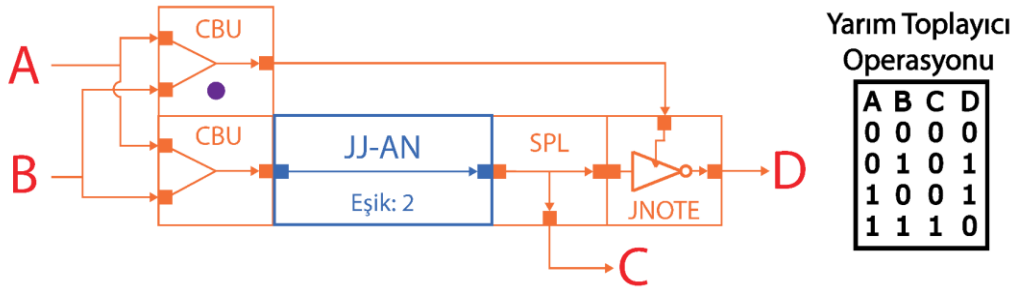


Şekil 3.11 : Eşlik biti hesaplayıcı devre ve doğruluk tablosu

Şekil 3.11’de yer alan doğruluk tablosundaki ilk yedi durumları hesaplamak için üç girişli ve iki SFQ darbe eşiğine sahip bir JJ-AN ile bir ‘DEĞİL’ mantık kapısı birleştirilmektedir. Doğruluk tablosunda yer alan son durum, üç SFQ darbe eşiğine sahip başka bir JJ-AN tarafından hesaplanan üç bitlik bir ‘VE’ operasyonu ile elde edilmektedir. Üç adet SFQ darbe eşiğine sahip nöron işlevini gerçekleştirmek için son durumun hesaplanmasında, çok katmanlı bir devre yapısı özelliği gösteren iki SFQ darbe eşiğine sahip ardışık yapıda iki JJ-AN devresi kullanılmıştır. Eşlik bitinin çıktısının tüm durumlarını tek bir bitte elde edebilmek için çıktılar, CBU devresi ile birleştirilmiştir. Sonuç olarak, gerçekleştirilen işlemler aslında ‘TERSLENMİŞ ÇOĞUNLUK’ ve ‘VE’ mantık operasyonlarının bir araya getirilmesidir.

3.6.3. Yarım toplayıcı devre tasarımı

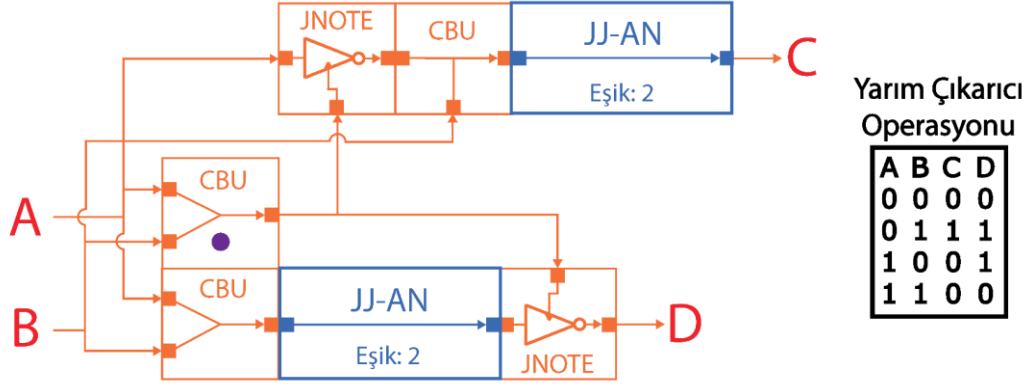
JJ-AN ile oluşturulan yarım toplayıcı devrenin tasarımında, JJ-AN ile oluşturulan ‘ÖZELVEYA’ yapısı kullanılmaktadır. Taşma bitinin hesabı için, yapı içerisinde yer alan JJ-AN çıktısı SPL ile ikiye ayrılmıştır. SPL çıktılarında birisi taşma biti iken, diğer çıktı terslenmek üzere JNOTE kapısına gönderilmektedir. İki bitlik girdiye sahip tasarlanan ikilik tabanda yarım toplayıcı devrenin gösterimi Şekil 3.12’de yer almaktadır.



Şekil 3.12 : Yarım toplayıcı devre ve doğruluk tablosu

3.6.4. Yarım çıkarıcı devre tasarımı

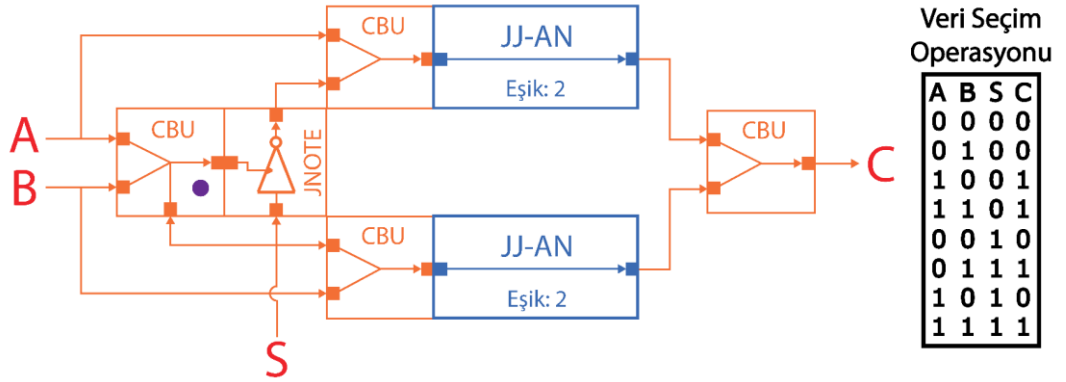
Yarım çıkarıcı devrenin tasarımında, JJ-AN ile oluşturulan ‘ÖZELVEYA’ yapısı sonuç bitini ve A girdisinin terslenerek işleme alındığı ‘VE’ mantık operasyonunu gerçekleştiren başka bir JJ-AN devresi, ödünç bitinin hesabını gerçekleştirmektedir. Çıkarma devresi, A değerinden B değerini çıkarmaktadır ve A değeri, B değerinden büyük veya eşit ise ödünç biti mantık ‘0’ olmaktadır. Bir bitlik iki adet girdiye sahip olan ikilik tabanda yarım çıkarıcı devrenin gösterimi Şekil 3.13’te yer almaktadır.



Şekil 3.13 : Yarım çıkarıcı devre ve doğruluk tablosu

3.6.5. Veri seçim devre tasarımı

Veri seçiminin JJ-AN devreleriyle gerçekleştirilebilmesi için, S parametresinin 'DEĞİL' operasyonundan geçmesi gerekmektedir. Bunun sebebi, S girdisinin değeri ile A ve B girdilerinin ayrı JJ-AN devrelerine gönderilip 'VE' operasyonunun gerçekleştirilmesidir. S değeri mantık '0' olduğu durumda seçim sonucu A girdisinin değeri olurken, S değerinin mantık '1' olması durumunda seçim sonucu B girdisinin değeri olmaktadır. Bir bitlik iki adet girdiye sahip olan ikilik tabanda veri seçimi yapan devrenin tasarımı Şekil 3.14'te yer almaktadır.

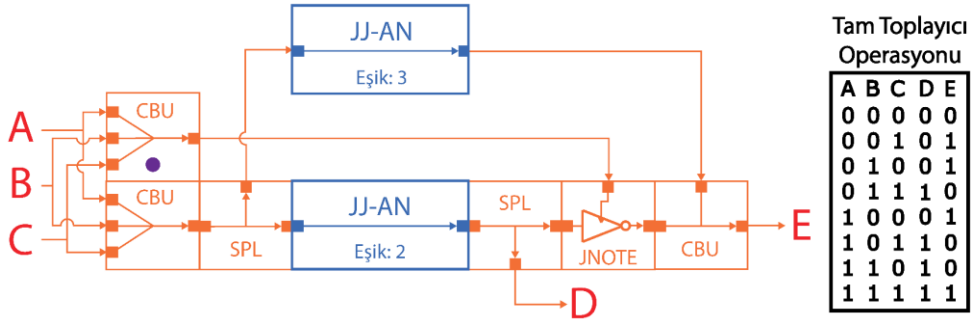


Şekil 3.14 : Veri seçim devresi ve doğruluk tablosu

3.6.6. Tam toplayıcı devre tasarımı

Tam toplayıcı devrenin tasarımında, yarım toplayıcı devreye ek olarak bir adet taşma biti girdi olarak alınmaktadır. Yarım toplayıcı devre yapısından gelen sonuç ile eşik değeri üç adet SFQ darbesi olarak ayarlanmış olan JJ-AN devresinin sonucu birleştirildiğinde sonuç bitinin değeri tam toplayıcı devre için ayarlanmış olmaktadır. Gelen girdilerde toplam mantık '1' sayısı tek ise, E parametresinde çıktı

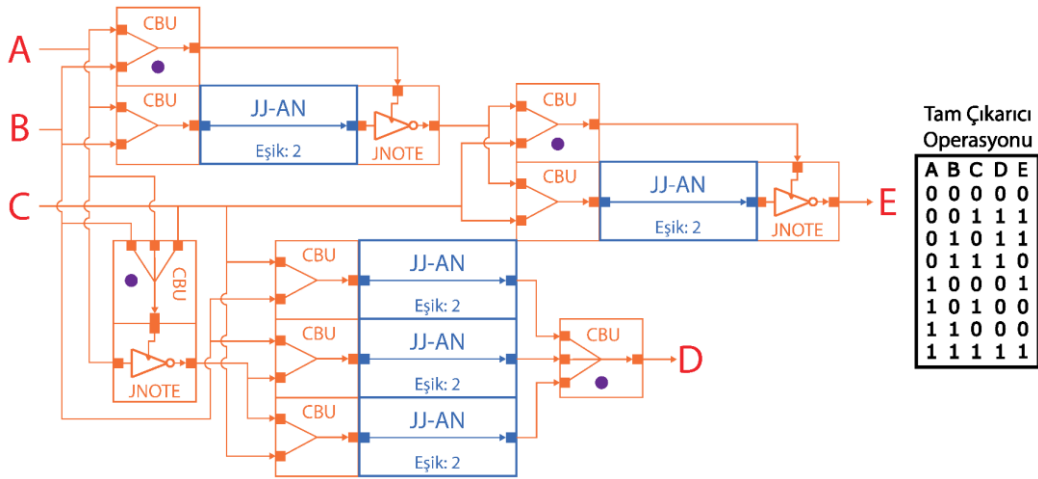
görülmektedir. Taşma bitinin değeri, eşiği iki SFQ darbesi olarak ayarlanmış olan JJ-AN devresinden gelmektedir. Bir bitlik üç adet girdiye sahip olan ikilik tabanda toplama işlemi yapan devrenin tasarımı Şekil 3.15'te yer almaktadır.



Şekil 3.15 : Tam toplayıcı devre ve doğruluk tablosu

3.6.7. Tam çıkarıcı devre tasarımı

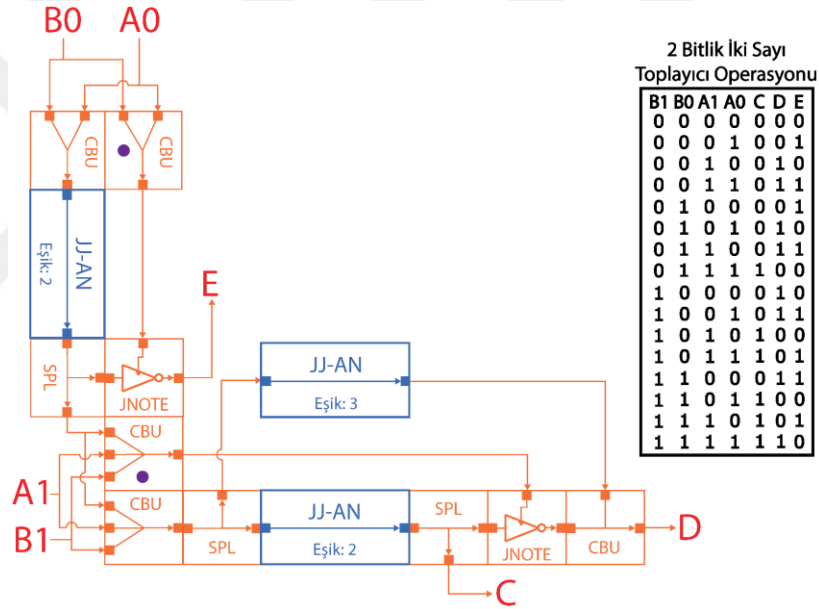
Tam çıkarıcı devrenin tasarımı, iki kısımda incelenebilmektedir. İlk kısımda üç adet girdinin birbiriyle 'ÖZELVEYA' kapısından geçmesi gerçekleştirilmektedir. İkinci kısımda ise ilk olarak A girdisinin 'DEĞİL' operasyonu alınmaktadır. Bu operasyonun çıktısı ile B ve C girdileri, ikişerli olarak eşik değeri iki SFQ darbesi olan JJ-AN devrelerine gitmektedir. Bu işlem ise girdilerin ikişerli olarak 'VE' mantık kapısından geçirilmesi operasyonudur. JJ-AN devrelerinin çıktıları, CBU devresi ile birleştirilerek ödünç bitini oluşturmaktadır. Tam çıkarıcı devresinde gerçekleştirilen işlem, A değerinden B ve C değerlerini çıkarmaktadır. Bir bitlik üç adet girdiye sahip olan ikilik tabanda çıkarma işlemi yapan devrenin tasarımı Şekil 3.16'da yer almaktadır.



Şekil 3.16 : Tam çıkarıcı devre ve doğruluk tablosu

3.6.8. İki bit toplayıcı devre tasarımı

İki bitlik iki sayının toplamının gerçekleştirilmesinde, bir adet yarım toplayıcı ve bir adet tam toplayıcı devre kullanılmaktadır. Yarım toplayıcı sonucu, en az öneme sahip olan bit değerini vermektedir. Yarım toplayıcı devrenin taşma biti, tam toplayıcı devreye bağlanmaktadır ve böylece iki bitlik iki sayının toplamı gerçekleştirilebilmektedir. Tam toplayıcı işleminin düzgün bir şekilde gerçekleştirilebilmesi için, yarım toplayıcıdan gelen taşma bitinin hazır olması gerekmektedir. İki eşikli JJ-AN devrelerinde, girdiler arasında oluşan gecikme zamanı için belirli tolerans değeri vardır. Bu değerın aşılması durumunda, iki eşikli JJ-AN devresi, eşik değerinden daha fazla SFQ darbesine ihtiyaç duymaktadır. İki bitlik iki adet girdiye sahip olan ikilik tabanda toplama işlemi yapan devrenin tasarımı Şekil 3.17'de yer almaktadır.

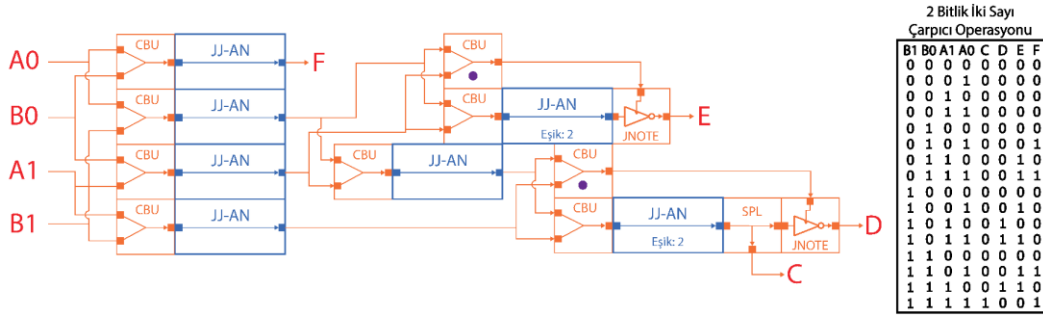


Şekil 3.17 : İki bit toplayıcı devre ve doğruluk tablosu

3.6.9. İki bit çarpıcı devre tasarımı

Çarpma işleminin gerçekleştirilebilmesi için, ilgili girdilerin birbiriyle 'VE' mantık kapısına girmesi gerekmektedir. Bu işlem için dört adet JJ-AN devresi kullanılmaktadır. İki sayının en anlamsız bitlerinin JJ-AN devresinden geçmesiyle çarpma işleminin en anlamsız biti hesaplanabilmektedir. Diğer JJ-AN devrelerinden gelen çıktılar, 'ÖZELVEYA' operasyonuna girilmektedir. Ara basamakta oluşabilecek taşma biti için JJ-AN devresi kullanılmaktadır. Hesaplamanın iki eşikli JJ-AN yerine dört eşikli bir JJ-AN ile gerçekleştirilmesi mümkündür fakat optimize

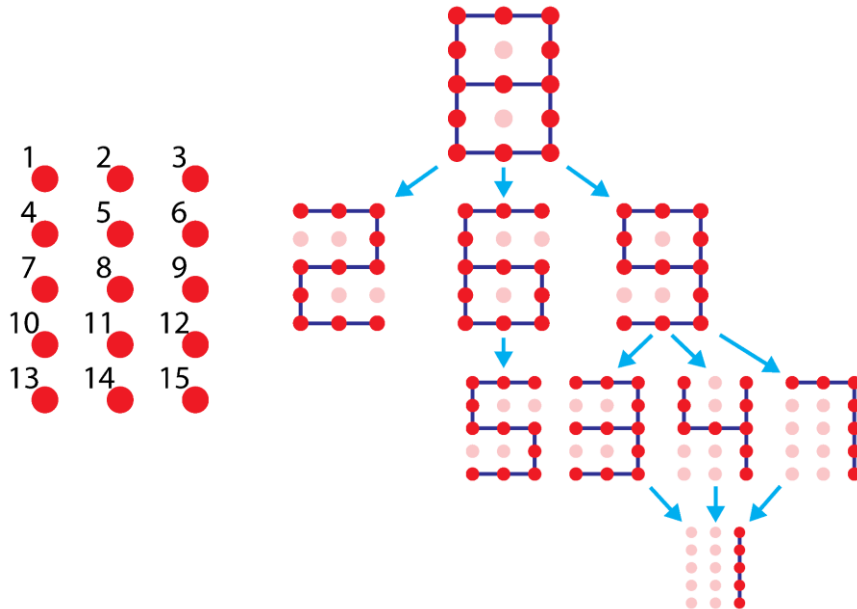
edilmiş parametre değerlerine sahip olan iki eşikli JJ-AN devresi, bu işlemler için tercih edilmektedir. İki bitlik iki adet girdiye sahip olan ikilik tabanda çarpma işlemi yapan devrenin tasarımı Şekil 3.18'de yer almaktadır.



Şekil 3.18 : İki bit çarpıcı devre ve doğruluk tablosu

3.6.10. Dijital sayı algılama devresi tasarımı

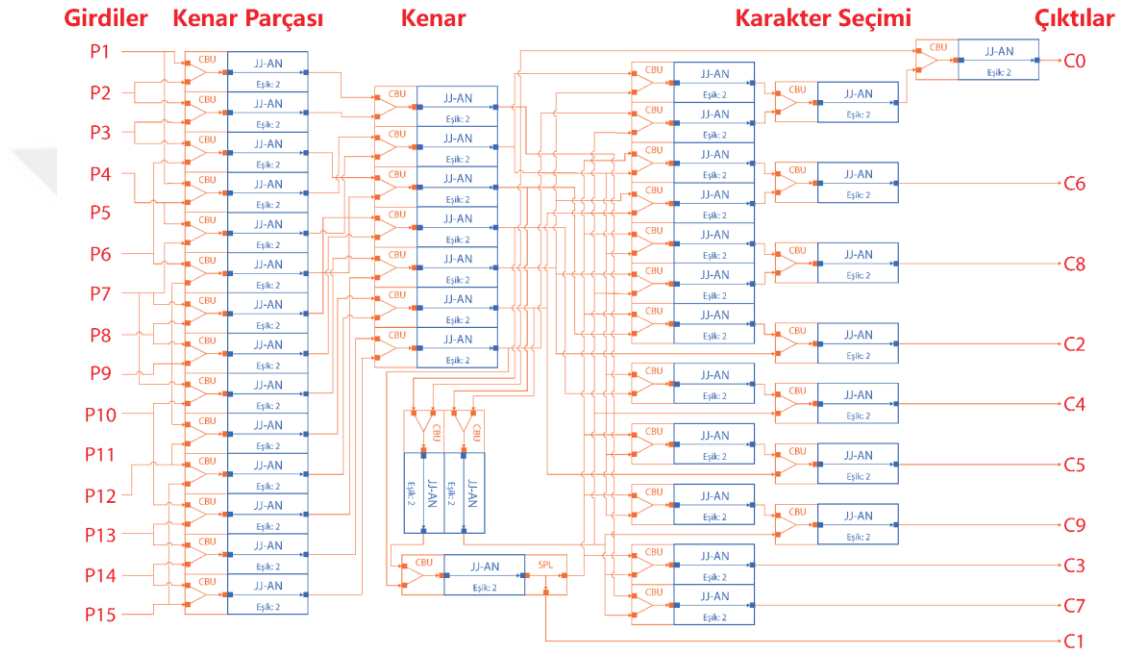
Dijital sayıların gösterimi için bu problemde 15 adet nokta ele alınmaktadır. Her noktanın komsusuyla oluşturmuş olduğu hatlar sayesinde, dijital sayıların kenarları elde edilebilmektedir. JJ-AN devreleriyle bu işlemlerin gerçekleştirilebilmesi için 'DEĞİL' mantık operasyonuna ihtiyaç duyulmaktadır. Bu tez çalışması doğrultusunda, bu problem için JNOTE kapısının kullanılmamasından dolayı birden fazla karakterin aynı anda algılanması gerçekleşebilmektedir. İlgili örnek çıktılar Şekil 3.19'da yer almaktadır.



Şekil 3.19 : JJ-AN'lar ile dijital sayıların algılanma sırası

Şekil 3.19 incelendiğinde dijital olarak tasarlanan '8' rakamı, diğer tüm dijital rakamları kapsamaktadır. Bu yüzden, işlem sırasında '8' rakamı algılanması

durumunda, JJ-AN devreleri ile oluşturulan model sonucunda tüm sayılardan çıktı gözlemlenebilmektedir. Benzer şekilde, '6' rakamı modelinden dolayı '5' rakamını kapsamaktadır ve geri kalan rakamlar, '9' rakamı altında oluşturulabilmektedir. Rakam algılanmasının gerçekleşmesinde, JJ-AN devreleri ilk olarak kenar parçalarını oluşturmaktadır. Kenar parçalarının birleştirilmesiyle kenarlar oluşturulmaktadır ve kenarların ilgili JJ-AN devreleri ile seçimi sonrasında rakam algılanmasının sonuçları, çıktı katmanında gözlemlenebilmektedir. İlgili devre modeli Şekil 3.20'de yer almaktadır.



Şekil 3.20 : Dijital sayı algılama devresi ve doğruluk tablosu

3.7. Yonga Entegrasyonunda Girdi Deseninin Gerçekleşmesi

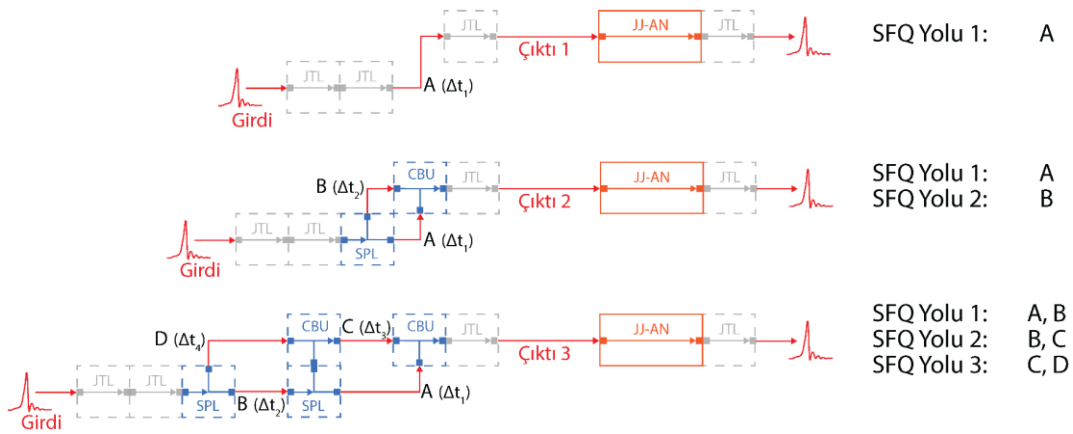
Gerçekleştirilen çalışmanın bu bölümünde, JJ-AN ile oluşturulan devre yapılarının test devrelerinin oluşturulmasından bahsedilmektedir. Test devreleri, RSFQ kütüphanesinde yer alan hazır devre elemanlarıyla oluşturulmuştur.

3.7.1. Nöron girdi deseni tasarımı

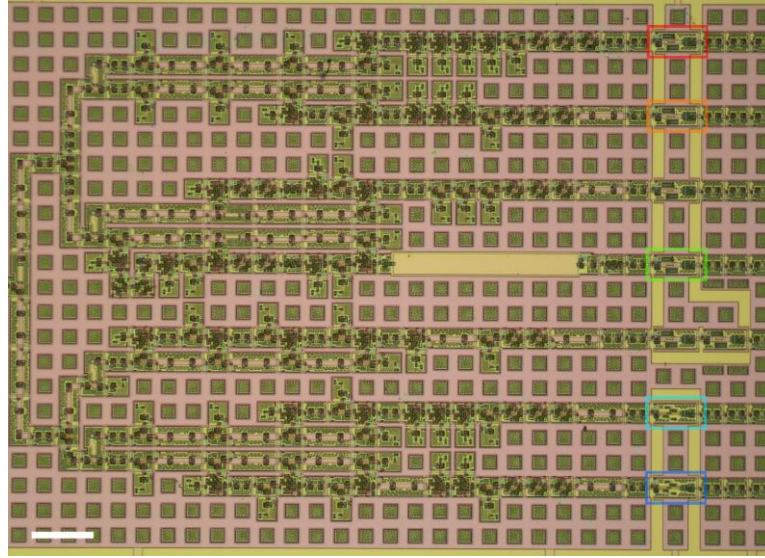
Tasarlanan yapay nöronların girdileri yaklaşık 20 ps'lik darbe aralıkları gerektirdiği için, yonga üzerinde bir sinyal test devre modeli tasarlanmıştır. Bu test devre modelinde kullanılan yapıların gösterimi Şekil 3.21'de yer almaktadır. Şekilde yer alan toplam SFQ sinyali yollarının adeti hesaplanırken, kullanılan SPL ve CBU adetlerine bakılmaktadır. 'N' adet CBU ve 'N' adet SPL devreleri kullanılarak 'N+1'

adet sinyal yolu birleşip JJ-AN devresine bağlanmaktadır. Tek sinyal yolu için sadece JTL devreleri kullanılırken, iki adet sinyal yolu için ek olarak bir SPL devresi ve bir CBU devresi kullanılmaktadır. Kullanılan SPL, CBU ve JTL devrelerinin adetlerine göre SFQ darbeleri arasındaki zaman farkları istenilen değere göre ayarlanabilmektedir.

Şekil 3.21'den yola çıkarak iki ve üç SFQ darbesi eşik değerlerine sahip olan JJ-AN devrelerinin testleri için farklı girdi özellikleri sağlayan test devreleri oluşturulmuştur. Şekil 3.22'de yer alan kırmızı, turuncu ve yeşil renkli alanlarda iki SFQ darbe girdisi eşliğine sahip JJ-AN devreleri yer almaktadır. Aynı şekilde, açık mavi ve lacivert kutularda yer alan JJ-AN devreleri, üç SFQ darbe girdisi eşliğine sahiptir. Kırmızı JJ-AN için sadece bir SFQ darbesi oluşturulmaktadır. Turuncu JJ-AN için aralarında 20 ps gecikmeye sahip iki adet SFQ darbesi oluşturulmaktadır ve yeşil JJ-AN için aralarında 65 ps gecikmeye sahip üç adet SFQ darbesi oluşturulmaktadır. Kırmızı, turuncu ve yeşil renklerle işaretlenmiş olan JJ-AN devrelerinin eşik değeri iki SFQ darbesi olduğu için sadece turuncu ve yeşil renkli JJ-AN devrelerinden çıktı gözlemlenebilmektedir. Açık mavi JJ-AN devresi için aralarında 20 ps gecikmeye sahip iki adet SFQ darbesi oluşturulmaktadır ve lacivert JJ-AN için aralarında 20 ps gecikmeye sahip üç adet SFQ darbesi oluşturulmaktadır. Açık mavi ve lacivert renklerle işaretlenmiş olan JJ-AN devrelerinin eşik değeri üç SFQ darbesi olduğu için sadece lacivert renkli JJ-AN devresinden çıktı gözlemlenebilmektedir. Şekil 3.22'de yer alan beyaz ölçü çizgisinin boyu 100 μm 'dir.



Şekil 3.21 : JJ-AN devrelerinin bireysel test girdilerinin oluşturulması



Şekil 3.22 : JJ-AN ve bireysel girdilerini üreten devrelerin yonga gösterimi

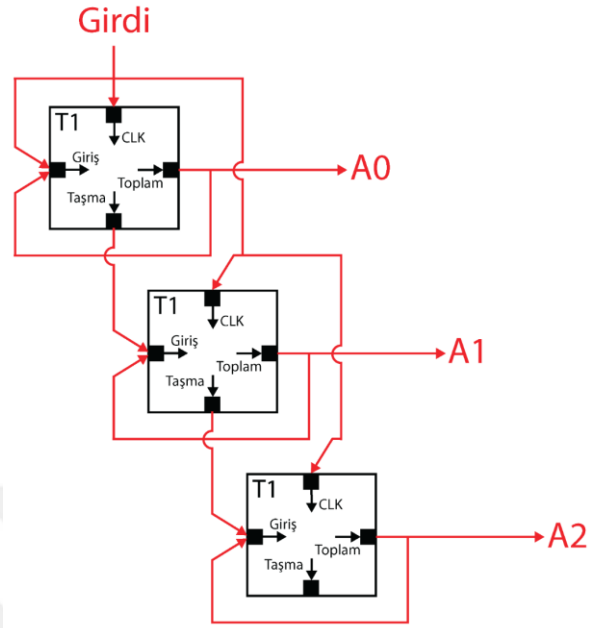
3.7.2. Eşlik biti devresinin girdi deseni tasarımı

Eşlik biti devresinin test edilebilmesi için yonga üzerine yüksek hızlı girdi oluşturan test devresi tasarlanmıştır. Bu test devresi A0, A1 ve A2 girdilerini sağlayan üç bitlik sayaç devresidir. Sayaç devresinin gösterimi Şekil 3.23'te yer almaktadır.

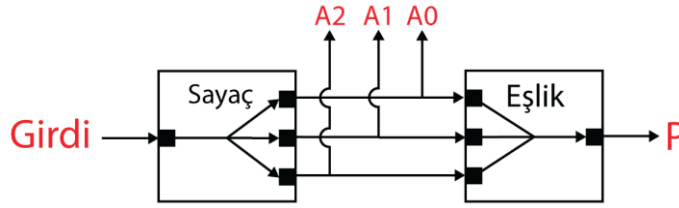
Yüksek hızlı SFQ sinyallerinin oluşturulması ve bu darbelerin aralarındaki gecikmenin istenen değere göre ayarlanmasını sağlayan eşlik bitinin test devresi RSFQ kütüphanesinde yer alan hazır devreler ile oluşturulmuştur. Eşlik bitini test edebilmek için oluşturulan üç bitlik sayaç devresi ikilik tabanda 000'dan 111'e kadar saymaktadır. T1 devresi, 1 bitlik tam toplayıcı devre özelliğine sahiptir ve çıktı olarak bir taşma biti ve bir toplam biti bulunmaktadır. "Giriş" pininden bir SFQ darbesinin gelmesiyle, her bir T1 hücresi bir sonraki duruma geçmektedir. Giriş sinyali 1 kHz veya 10 GHz'e kadar hızlı bir frekansa sahip olabilme özelliği taşımaktadır. Çıktı bitleri, en az anlamlı bit olan A0, ortada yer alan A1, ve en çok anlamlı bit olan A2 şeklinde isimlendirilmektedir.

Eşlik bitinin hesabının doğru bir şekilde gerçekleştiğini onaylayabilmek için sayacın tüm durumlarının (A2A1A0) eşlik bitiyle (P) aynı anda gözlemlenmesi gerçekleştirilmiştir. Eşlik bitinin testi için sadece tek bir tetikleyici girdi sinyali yeterli olmaktadır. İlgili sayaç devresi ve eşlik bitinin birleştirilmiş hali ile girdi ve çıktılar Şekil 3.24'te yer almaktadır. Bunların yanı sıra test devresinin yonga üzerinde tasarımınının olması, JJ-AN devresinin karmaşık bir yapıya sahip olan T1 devresi ile çalışabilirliğini ispatlamaktadır. İki devrenin birleştirilmiş hallerinin yonga üzerinde

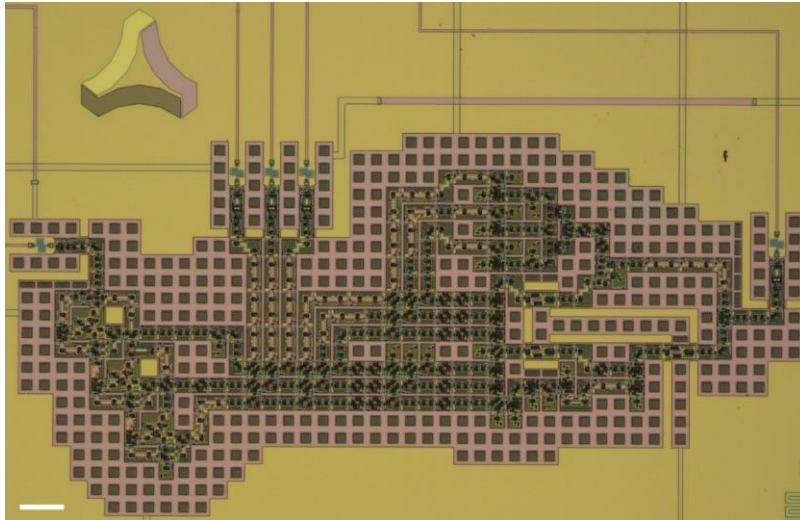
gösterimi Şekil 3.25'te yer almaktadır ve şekilde yer alan beyaz ölçü çizgisinin boyu 100 μm 'dir.



Şekil 3.23 : Üç bitlik sayaç devresinin modeli



Şekil 3.24 : Sayaç devresi ile eşlik biti devresinin birleştirilmiş modeli



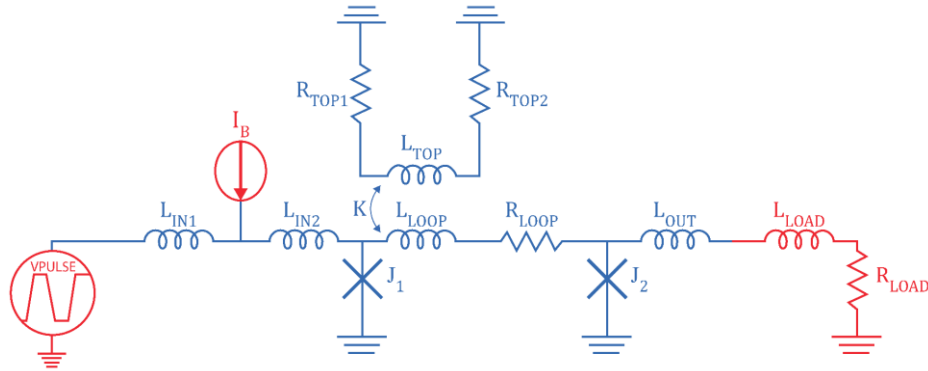
Şekil 3.25 : Sayaç devresi ile eşlik biti devresinin birleştirilmiş modelinin yonga üzerinde gösterimi

3.8. Simülasyon Sonuçları

Bu çalışmada yer alan tüm devrelerin sağlanan tüm simülasyonları JSIM [50] kullanılarak gerçekleştirilmiştir. JSIM ile elde edilen sonuç grafiklerinde yer alan voltaj değerlerinin birimi mV ve akım değerlerinin birimi mA olarak seçilmiştir. Şekillerde bulunan her kesikli çizgi arası bir periyoda karşılık gelmektedir. Simülasyonlarda bulunan JJ-AN devre parametreleri EK 1’de yer almaktadır.

3.8.1. JJ-AN devresinin simülasyonu

JJ-AN devresine gelen her SFQ darbesi, eşik döngüsünde tutulmaktadır ve toplanan akım miktarı L_{LOOP} parametresinde gözlemlenebilmektedir. Eşik döngüsü, soma adı verilen insan beyin hücresinin bir kısmını taklit etmektedir. SFQ darbeleri, isteğe bağlı zamanlarda devreye ulaştırılabilir ve eşik döngüsündeki akım değeri artırılabilir. Bu süreç sırasında, devrede yer alan eşik döngünün içerisindeki akım, birim zamanda belirlenen miktarda sürekli bir şekilde azalmaktadır ve bu azalmanın sebebi, akımın ısı yoluyla kaybolmasıdır. JJ-AN devresinin bireysel testinin gerçekleştirilebilmesi için simülasyona ait şematikte JJ-AN çıktı kısmına seri olacak şekilde bir adet indüktans (L_{LOAD}) ve direnç (R_{LOAD}) eklenmiştir. İlgili şematik gösterimi Şekil 3.26’da yer almaktadır.

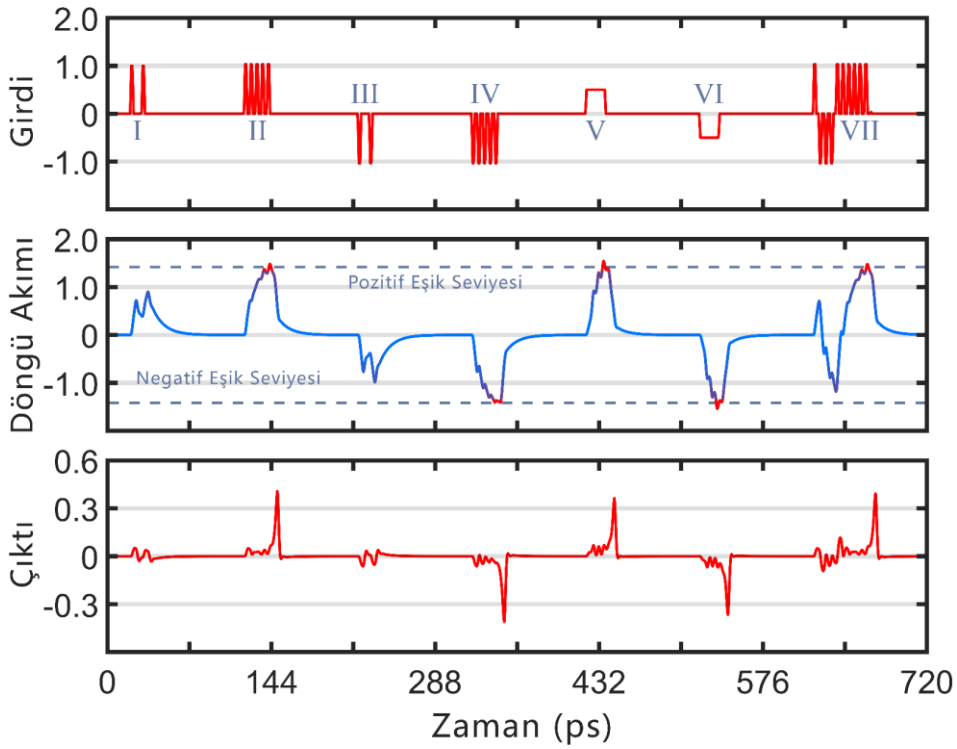


Şekil 3.26 : JJ-AN devresinin JSIM test şeması

Bireysel JJ-AN testinde girdi olarak farklı genliklere, gecikmelere ve etki sürelerine sahip olan farklı sinyaller uygulanmıştır. Negatif genliklere sahip olan sinyallerin JJ-AN devresine gelmesi durumlarında bile JJ-AN devresi fonksiyonelliğini korumaktadır. İlgili simülasyon sonuçları Şekil 3.27’de yer almaktadır.

JJ-AN devresine ilk olarak 1 mV genliğine sahip iki adet dürtü sinyalleri (Durum I) gelmektedir. Dürtü sinyallerinin yetersiz sayıda gelmesinden ve sinyaller arası

gecikmelerin büyük olmasından dolayı JJ-AN çıktı verememektedir. Dürtü sinyallerinin sayısı artırıldığında ve sinyaller arasındaki gecikmeler düşürüldüğünde (Durum II), eşik döngüde yer alan akım değerinin limite ulaşması durumunda çıktı oluşmaktadır. Dürtü sinyallerinin dışında, süreklilik gösteren bir sinyal (Durum V) uygulanması durumunda JJ-AN devresindeki akım limite ulaştığında çıktı gözlemlenmektedir. Nöron devresi, Durum I, II ve V girdilerinin negatif genliklere sahip olan halleriyle tekrar test edilmesi durumlarında (Durum II, IV ve VI) da benzer karakteristik özellikler gözlemlenmiştir. JJ-AN devresinin karakteristik geçiş özelliklerini gözleme amacıyla karma girdi modelleri (Durum VII) uygulanmıştır. Girdi ve çıktı voltajları V_{PULSE} ve J_2 parametreleri üzerinden gözlemlenmiştir.



Şekil 3.27 : JJ-AN devresinin JSIM sonuçları

3.8.2. JJ-AN devresinin RSFQ devreleriyle uyumluluk simülasyonu

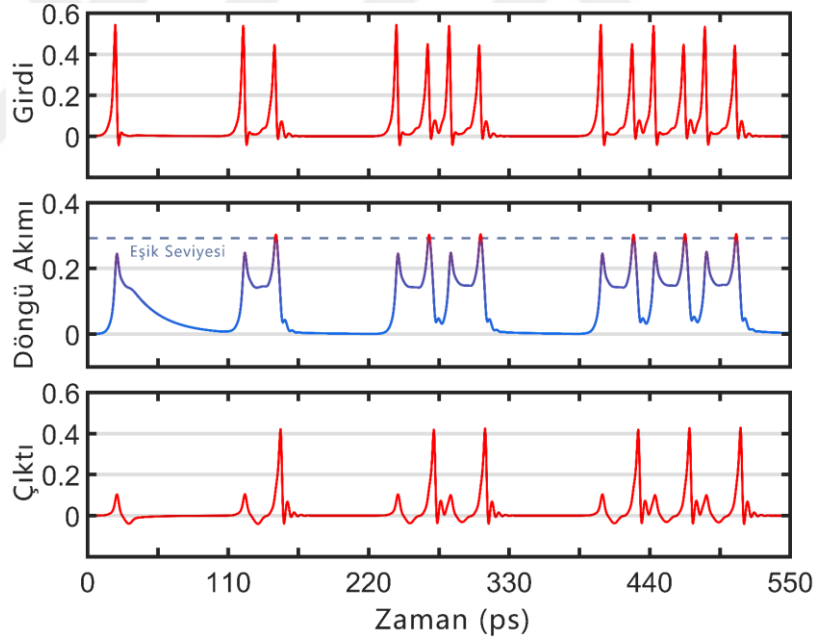
JJ-AN devresinin kütüphane yer alan hazır RSFQ devreleriyle uyumluluğunu test etmek için JJ-AN devresinin girdi ve çıktı taraflarına çalışılabilirliği ispatlanmış olan JTL devresi eklenmiştir. Her girdi sonrasında gelen akım, eşik döngüsünde tutulmaktadır ve L_{LOOP} üzerinden gözlemlenebilmektedir. Eğer L_{LOOP} 'ta gözlemlenen akım, JJ-AN devresini tetiklemeye yetiyorsa J_2 eklemi bir çıktı sinyali oluşturmaktadır ve bir sonraki JTL devresine göndermektedir. Bu sayede, JJ-AN devresinin RSFQ

kütüphanesinde yer alan JTL devresiyle haberleşmesi gerçekleştirilmiş olmaktadır ve uyumluluk doğrulanmaktadır. İlgili devre kurulumu Şekil 3.28’de yer almaktadır.



Şekil 3.28 : JJ-AN ile JTL devrelerinin uyumluluk testi şeması

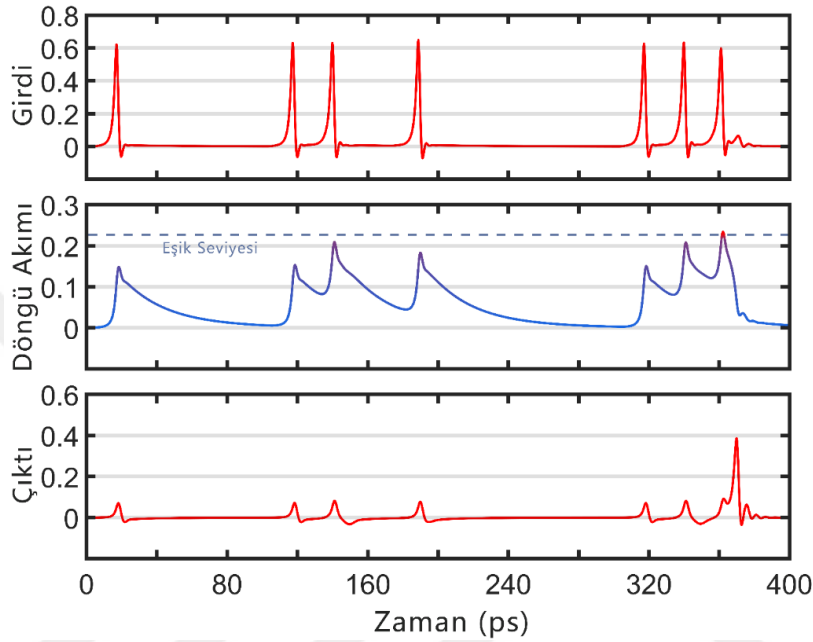
İki SFQ darbe eşliğine sahip olan JJ-AN devresi dört farklı girdi durumlarıyla test edilmektedir. İlk durumda tek bir SFQ darbesi verilmektedir ve yeterli akım toplanmadığı için çıktı oluşmamaktadır. JTL devresinden gelen girdilerin sayısı iki ve ikinin katı olması durumunda, her iki adet SFQ darbesi için bir adet SFQ çıktısı gözlemlenmektedir. Bu testte gerçekleştirilen diğer üç durumlarda sırasıyla iki, dört ve altı adet SFQ darbeleri devreye gönderilmiştir. Beklenildiği gibi çıktı sayıları sırasıyla bir, iki ve üç olmaktadır. İlgili simülasyon sonuçları Şekil 3.29’da yer almaktadır.



Şekil 3.29 : Birleştirilen iki SFQ sinyali eşikli JJ-AN ile JTL devrelerinin JSIM sonucu

Üç SFQ darbe eşliğine olan JJ-AN devresi üç farklı girdi durumlarıyla test edilmektedir. İlk durumda tek bir SFQ darbesi verilmektedir ve yeterli akım toplanmadığı için çıktı oluşmamaktadır. İkinci durumda ise üç adet SFQ darbesi JJ-AN devresine gelmektedir. Üç adet darbe gelmesine rağmen darbeler arası gecikmenin fazla olmasından dolayı gelen darbelerin oluşturmuş olduğu akım değeri, eşik değerine

ulaşmadan ısı yoluyla direnç üzerinden azalmaktadır. Bu yüzden ikinci durumda çıktı gözlemlenememektedir. Üçüncü ve son durumda ise 20 ps aralıklarla üç adet SFQ darbesi JJ-AN devresine gelmektedir. Beklenildiği gibi eşik döngüsünde toplanan akım yeterli olup, J_2 eklemi üzerinden çıktı oluşturulmaktadır. İlgili simülasyon sonuçları Şekil 3.30’da yer almaktadır.



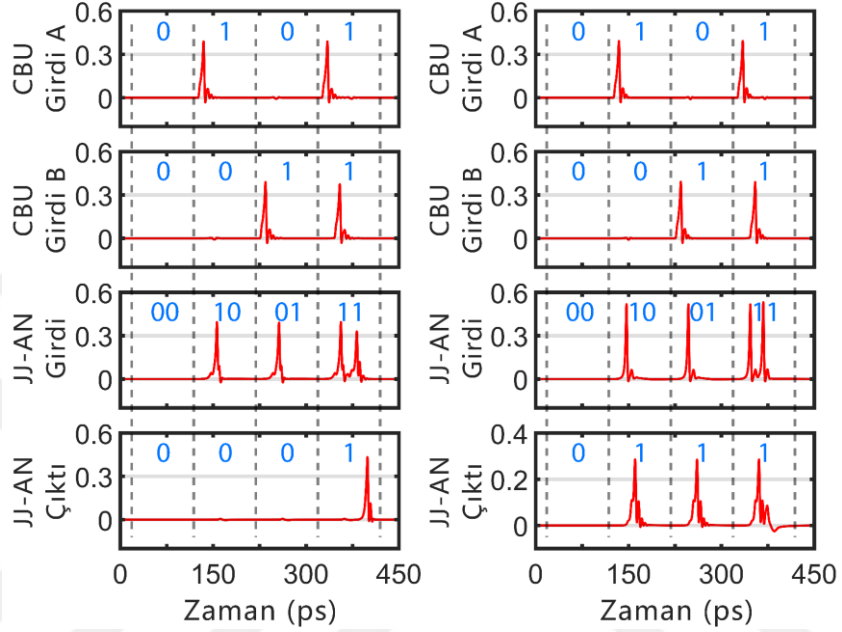
Şekil 3.30 : Birleştirilen üç SFQ sinyali eşikli JJ-AN ile JTL devrelerinin JSIM sonucu

3.8.3. JJ-AN ile mantık ve aritmetik operasyonlarının simülasyonu

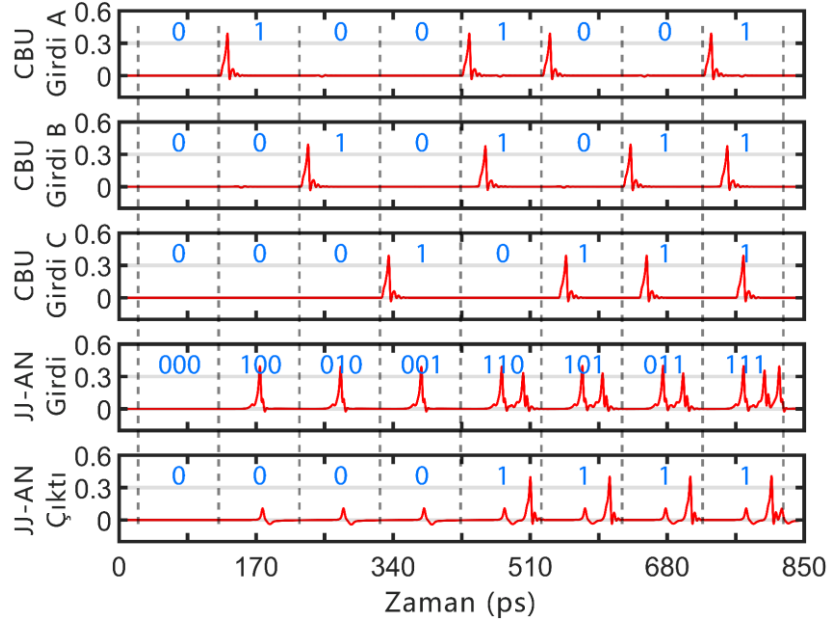
‘VE’, ‘VEYA’ ve ‘ÇOĞUNLUK’ mantık operasyonlarının nöronsal gösterimi Şekil 3.6’da yer alan yapılarda yer almaktadır. Bir JJ-AN devresinin eşik değeri iki adet SFQ darbesi olarak ayarlanırsa, o yapı iki girdili bir ‘VE’ mantık kapısı gibi davranmaktadır veya aynı şekilde iki SFQ darbesi eşik değerine sahip olan bir nörona üç adet girdi hattı sağlanması durumunda, ‘ÇOĞUNLUK’ mantık operasyonu gerçekleştirilmektedir. JJ-AN devresinde eşik değerinin ikiden bire düşürülmesi durumunda iki girdili bir JJ-AN devresi ‘VEYA’ mantık operasyonunu gerçekleştirmektedir.

‘VE’ mantık işleminin gerçekleştirilmesinde çıktı sinyali gözlemlenebilmesi için (çıktının mantık ‘1’ olma durumu) tüm girdilerin (A ve B) mantık ‘1’ olması yani tüm girdilerden belirli bir zaman aralığında birer SFQ darbesi gelmesi gerekmektedir. ‘VEYA’ mantık işleminde ise çıktı alınabilmesi için girdilerin (A ve B) en az birinden

bir SFQ darbesi gelmesi gerekmektedir. Bunların dışında, ‘ÇOĞUNLUK’ işlemi sırasında A, B ve C girdilerinin en az iki tanesinden birer SFQ darbesi gelmesi durumunda çıktıda SFQ sinyali gözlemlenmektedir. Şekil 3.7 ve Şekil 3.8’de bulunan JJ-AN devrelerinin kurulmasıyla simülasyon işlemi gerçekleştirilmiştir. ‘VE’ ve ‘VEYA’ işlemlerinin simülasyon çıktıları Şekil 3.31’de ve ‘ÇOĞUNLUK’ işleminin simülasyon çıktısı Şekil 3.32’de yer almaktadır.

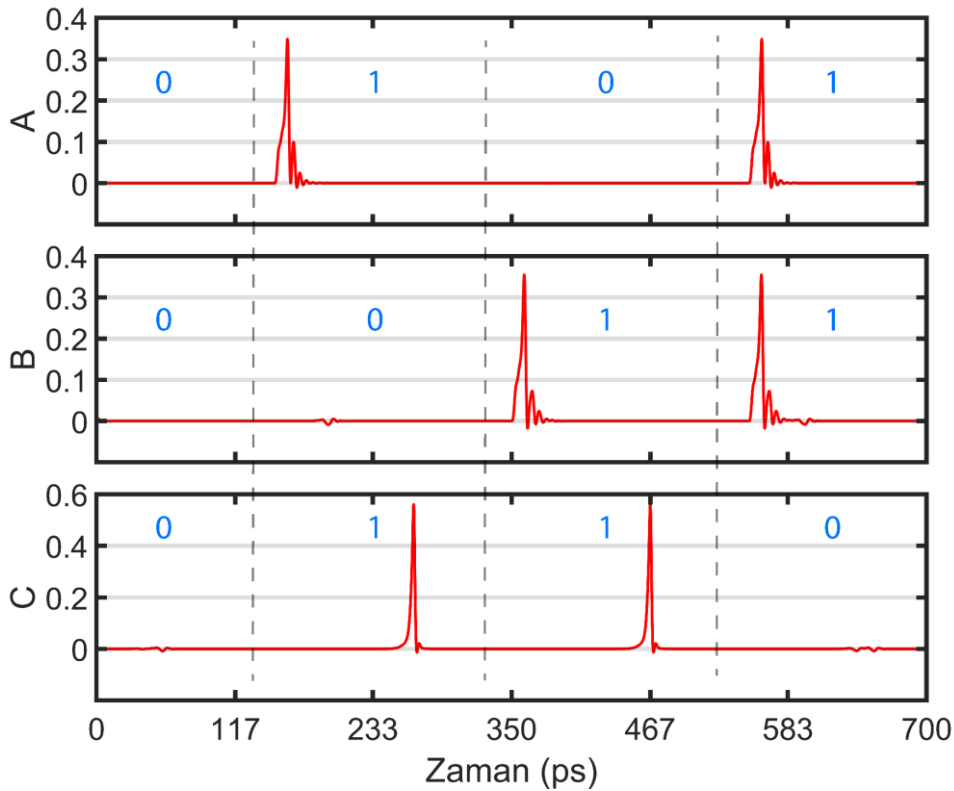


Şekil 3.31 : ‘VE’ ve ‘VEYA’ operasyonlarının JSIM sonucu



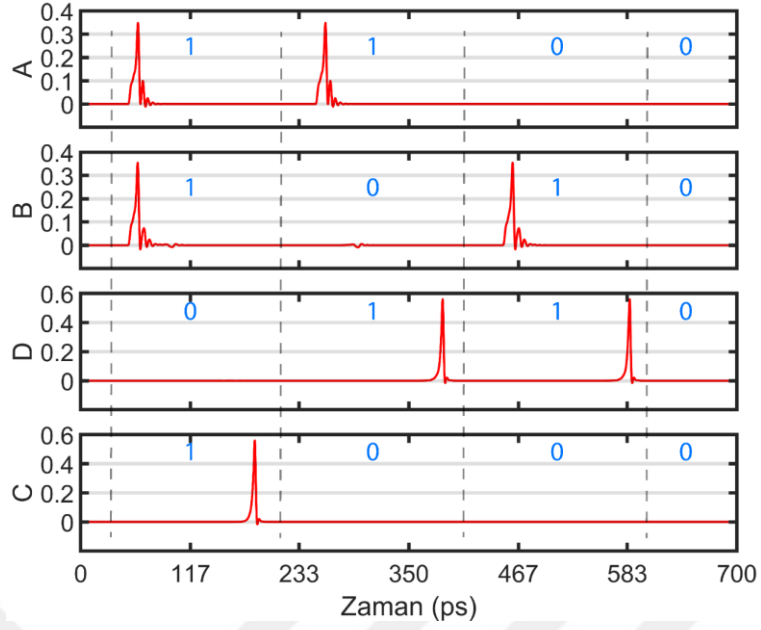
Şekil 3.32 : ‘ÇOĞUNLUK’ operasyonunun JSIM sonucu

‘ÖZELVEYA’ mantık operasyonunun nöronsal gösterimi Şekil 3.10’da bulunan yapıda yer almaktadır. Bir JJ-AN devresinin eşik değeri iki adet SFQ darbesi olarak ayarlanırsa, o yapı iki girdili bir ‘VE’ mantık kapısı gibi davranmaktadır ve JJ-AN yapısının ardına bir adet JNOTE yapısı koyulmasıyla birer bitlik iki girdili ‘ÖZELVEYA’ operasyonu elde edilmektedir. ‘ÖZELVEYA’ mantık işleminin gerçekleştirilmesinde çıktı sinyali gözlemlenebilmesi için girdilerin (A ve B) en az birinden bir SFQ darbesi gelmesi gerekmektedir. ‘ÖZELVEYA’ işleminin simülasyon çıktısı Şekil 3.33’te yer almaktadır.



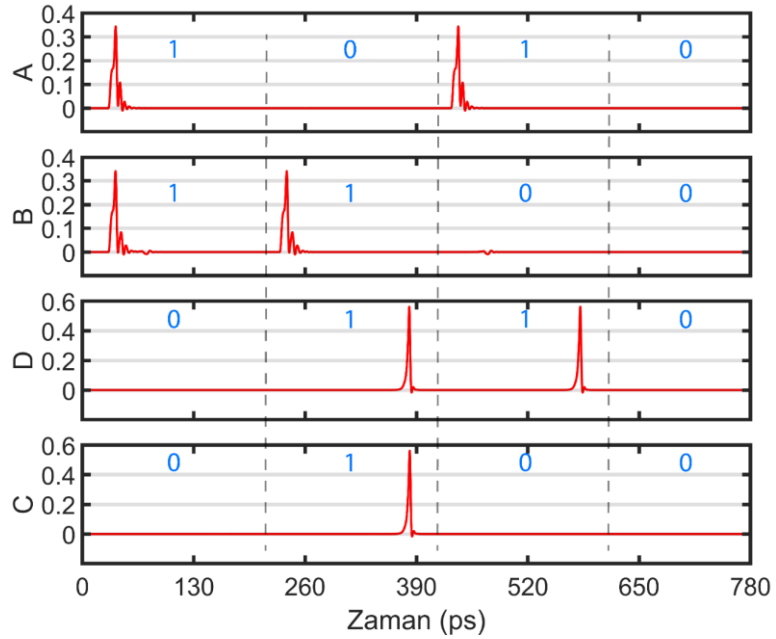
Şekil 3.33 : ‘ÖZELVEYA’ operasyonunun JSIM sonucu

Yarım toplama operasyonunun nöronsal gösterimi Şekil 3.12’deki yapıda yer almaktadır. Yapıya yarı toplama denmesinin sebebi, daha önce gerçekleştirilen hesaplama işlemlerinden gelen taşma bitini hesaba katmamasıdır. Toplamda birer bitlik iki girdisi olan yarı toplayıcı devre, bir adet JJ-AN ve JNOTE elemanlarından oluşmaktadır. Devre tipi olarak ‘ÖZELVEYA’ devresiyle neredeyse aynı özellikleri taşıyan bu yapı içerisinde bir adet SPL sayesinde, taşma bitinin sonucu dışarı verilebilmektedir. Yarım toplayıcı devresinin simülasyon çıktısı Şekil 3.34’te yer almaktadır.



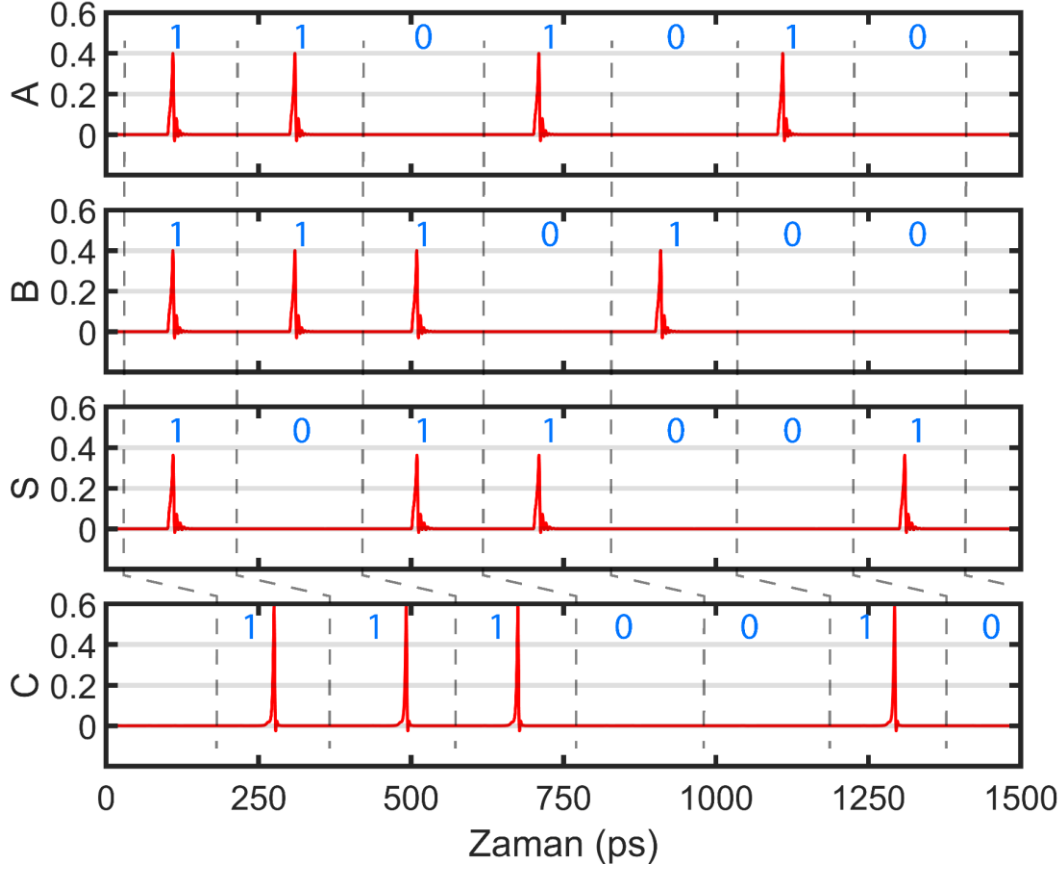
Şekil 3.34 : Yarı toplayıcı devrenin JSIM sonucu

Yarı çıkarma operasyonunun nöronsal gösterimi Şekil 3.13'teki yapıda yer almaktadır. Yapıya yarı çıkarma denmesinin sebebi, daha önce gerçekleştirilen hesaplama işlemlerinden gelen ödünç bitini hesaba katmamasıdır. Toplamda birer bitlik iki girdisi olan yarı çıkarıcı devre, ikişer adet JJ-AN ve JNOTE elemanlarından oluşmaktadır. İçerisinde 'ÖZELVEYA' devresi ve girdilerin birisinin terslenmiş halinin diğer girdi ile 'VE' işlemine giririldiği devre yapısı bulunmaktadır. Yarı çıkarıcı devresinin simülasyon çıktısı Şekil 3.35'te yer almaktadır.



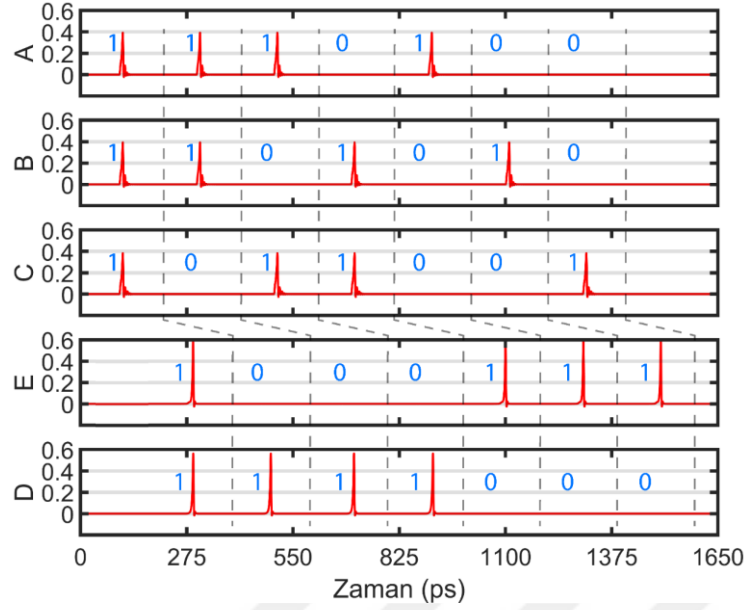
Şekil 3.35 : Yarı çıkarıcı devrenin JSIM sonucu

Veri seçim operasyonunun nöronsal gösterimi Şekil 3.14'teki yapıda yer almaktadır. Yapıya veri seçimi denmesinin sebebi, S girdisinin değerine bağlı olarak çıktı değerinin A veya B olarak seçilmesidir. Toplamda birer bitlik iki girdisi olan veri seçim devresi, iki adet JJ-AN ve bir adet JNOTE elemanlarından oluşmaktadır. JJ-AN devreleri ile 'VE' işlemi gerçekleştirilmektedir. Veri seçim devresinin simülasyon çıktısı Şekil 3.36'da yer almaktadır.



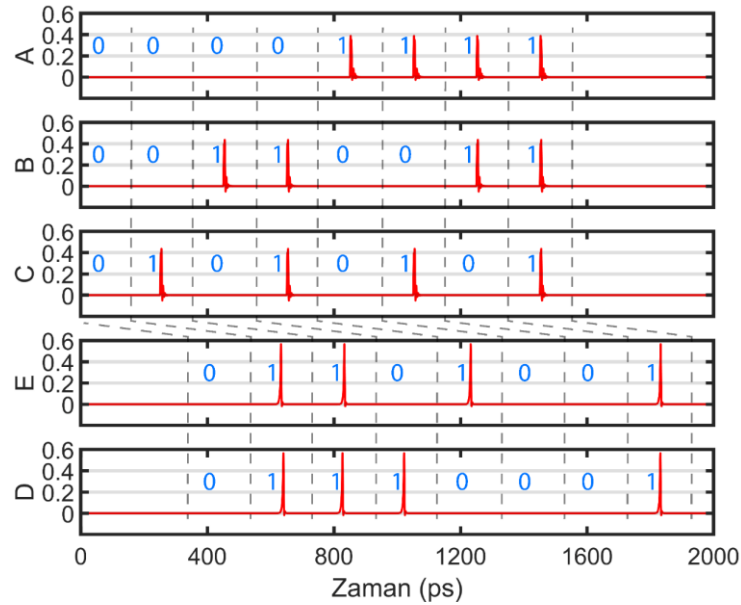
Şekil 3.36 : Veri seçim devresinin JSIM sonucu

Tam toplama operasyonunun nöronsal gösterimi Şekil 3.15'teki yapıda yer almaktadır. Yapıya tam toplama denmesinin sebebi, daha önce gerçekleştirilen hesaplama işlemlerinden gelen taşma bitini hesaba katmasıdır. Toplamda birer bitlik üç adet girdisi olan tam toplayıcı devre, yarım toplayıcı devreye ek olarak bir adet JJ-AN elemanı bulundurmaktadır. Tam toplama devresi, en az iki adet girdi hattından birer SFQ darbesi gelmesi sonucunda taşma biti hattından çıktı oluşturmaktadır. Tam toplayıcı devresinin simülasyon çıktısı Şekil 3.37'de yer almaktadır.



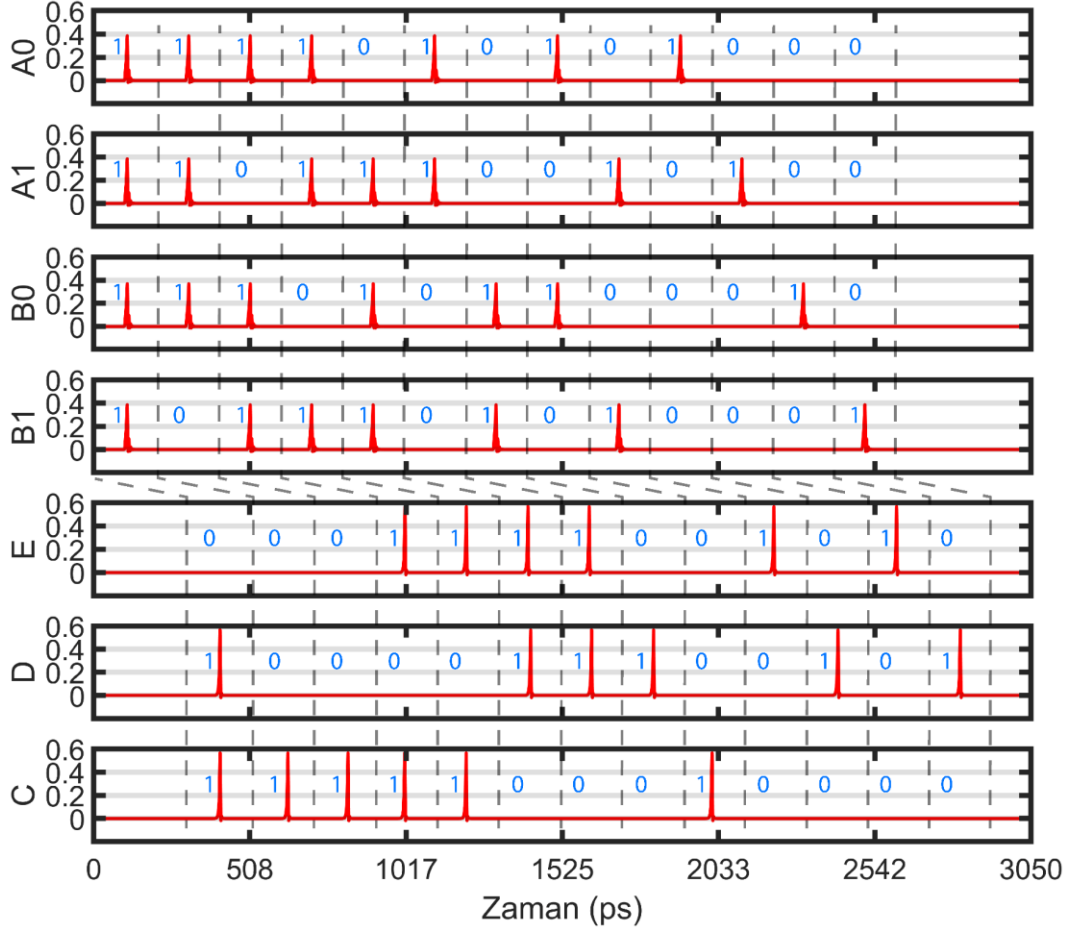
Şekil 3.37 : Tam toplayıcı devrenin JSIM sonucu

Tam çıkarma operasyonunun nöronsal gösterimi Şekil 3.16'daki yapıda yer almaktadır. Yapıya tam çıkarma denmesinin sebebi, daha önce gerçekleştirilen hesaplama işlemlerinden gelen ödünç bitini hesaba katmasıdır. Toplamda birer bitlik üç adet girdisi olan tam çıkarıcı devre, beş adet JJ-AN ve üç adet JNOTE elemanlarını bulundurmaktadır. Tam çıkarma devresinde ödünç bitinden çıktı alınabilmesi için, B ve C girdilerinden gelen SFQ darbelerinin toplam sayısının A girdisinden gelen SFQ darbe sayısından fazla olması gerekmektedir. Tam çıkarıcı devresinin simülasyon çıktısı Şekil 3.38'de yer almaktadır.



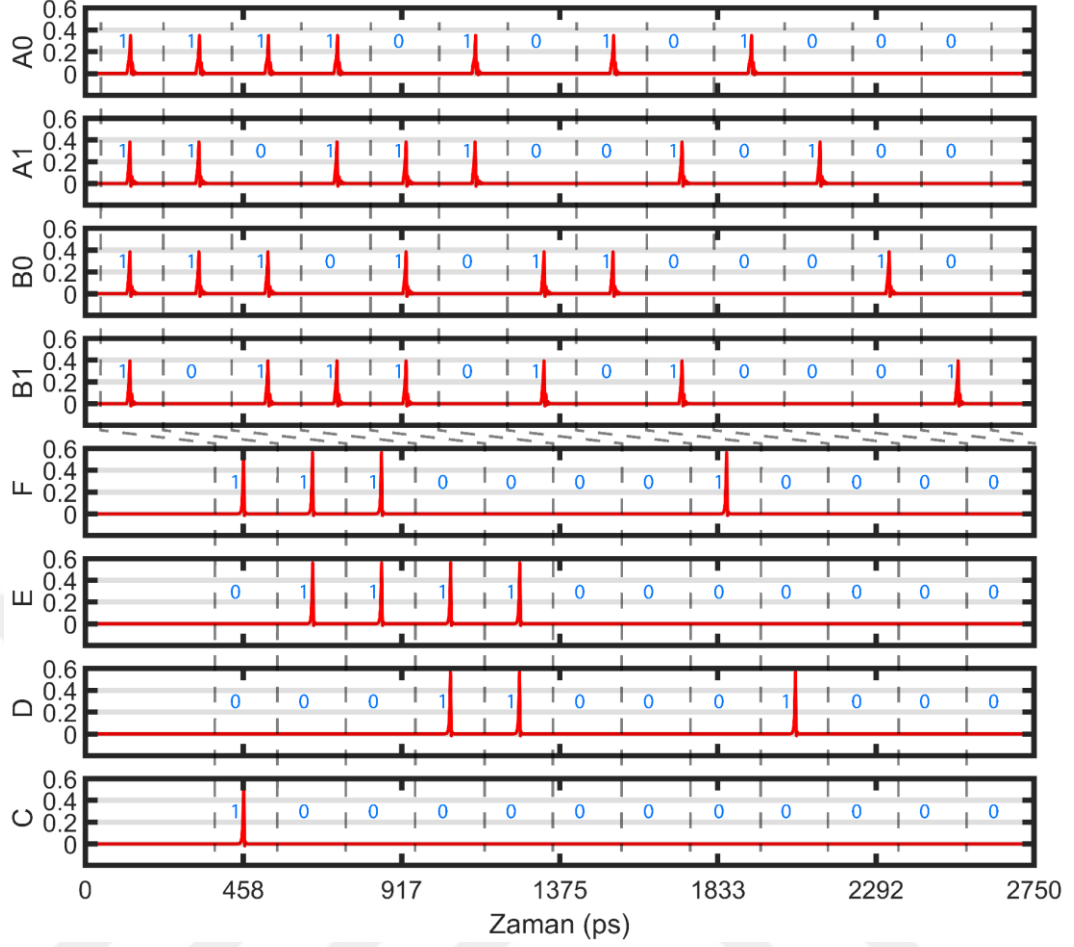
Şekil 3.38 : Tam çıkarıcı devrenin JSIM sonucu

İki bit toplama operasyonunun nöronsal gösterimi Şekil 3.17'deki yapıda yer almaktadır. İki bit toplama devresi, bir adet yarım toplayıcı ve bir adet tam toplayıcı devre yapılarının birleştirilmesi ile elde edilmektedir. Yarım toplayıcıda oluşan taşma biti, tam toplayıcıya girdi olarak sağlanarak iki bitlik iki sayının (A1A0, B1B0) toplamı gerçekleştirilebilmektedir. Toplamda dört adet girdisi olan devrenin üç adet çıktı hattı bulunmaktadır. Devrenin en anlamlı çıktı biti, C ve en az öneme sahip olan çıktısı ise E bitidir. İki bit toplayıcı devrenin simülasyon çıktısı Şekil 3.39'da yer almaktadır.



Şekil 3.39 : İki bit toplayıcı devrenin JSIM sonucu

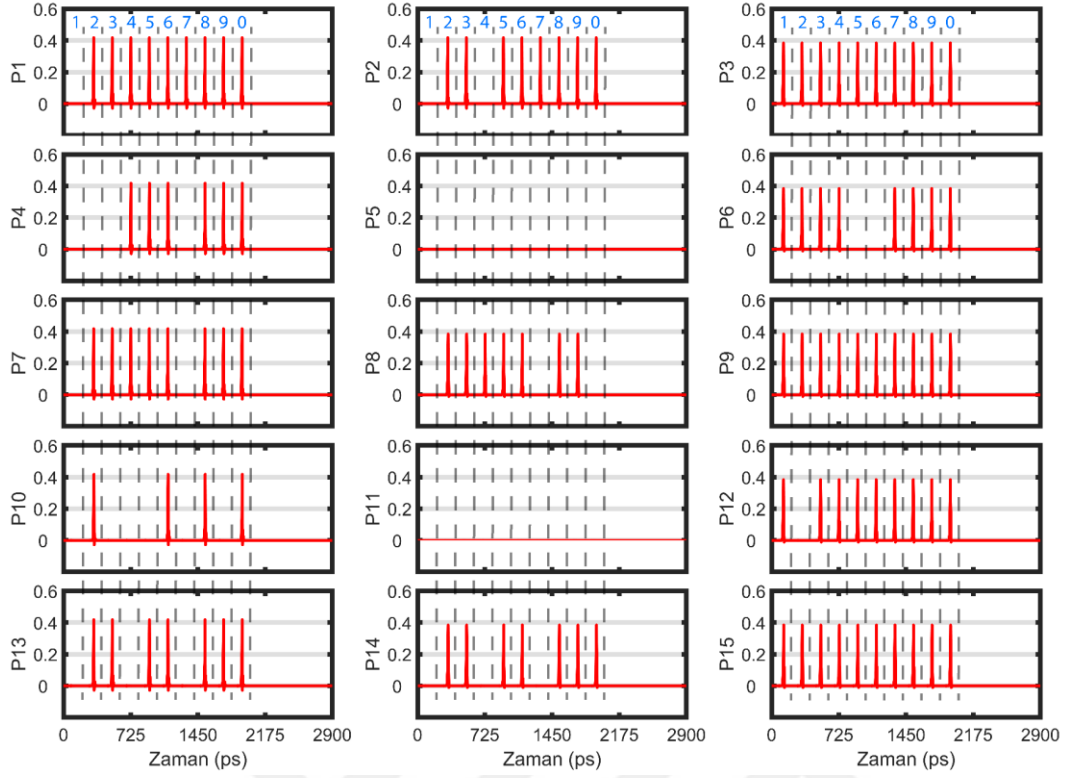
İki bit çarpma operasyonunun nöronsal gösterimi Şekil 3.18'deki yapıda yer almaktadır. İki bit çarpma devresi içerisinde taşma bitinin hesabı için kullanılan JJ-AN devresi sayesinde doğru sonucun hesabı için gereken süre azaltılabilmektedir. Toplamda dört adet girdi ve dört adet çıktısı olan bu devre yapısında, çıktıların hesabı için JJ-AN devrelerinden oluşturulmuş olan 'ÖZELVEYA' yapıları kullanılmaktadır. Devrenin en anlamlı çıktı biti, C ve en az öneme sahip olan çıktısı ise F bitidir. İki bit çarpıcı devrenin simülasyon çıktısı Şekil 3.40'ta yer almaktadır.



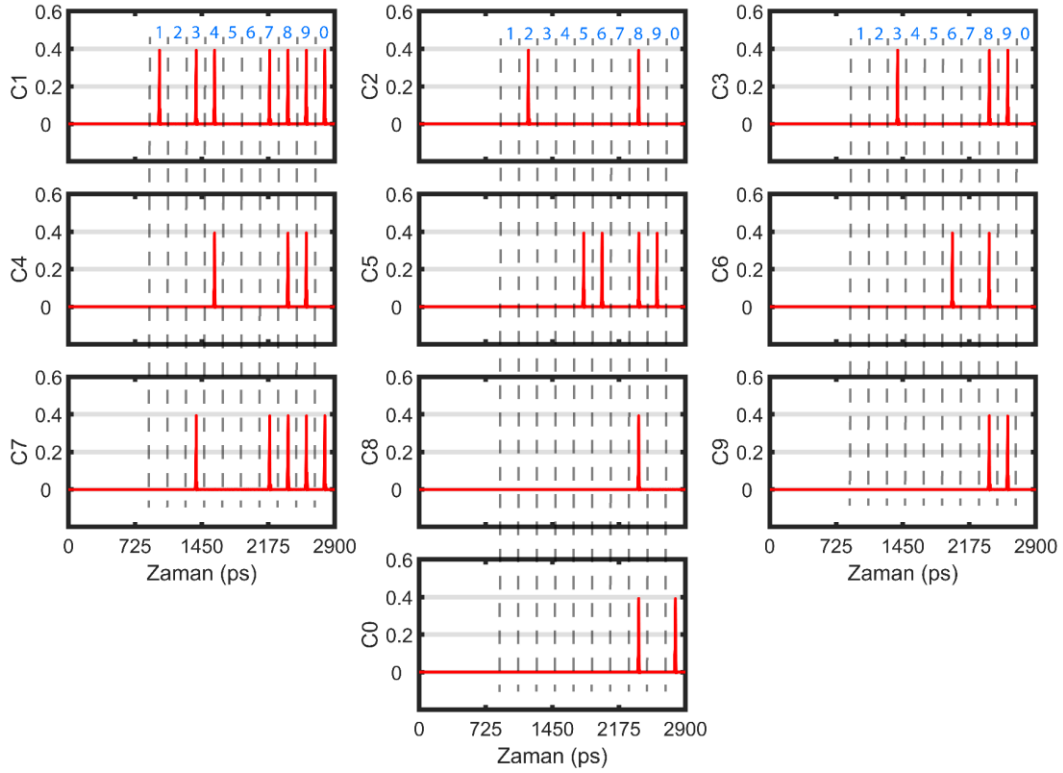
Şekil 3.40 : İki bit çarpıcı devrenin JSIM sonucu

3.8.4. JJ-AN ile dijital sayı algılama simülasyonu

Dijital sayı algılama operasyonunun nöronsal gösterimi Şekil 3.20'deki yapıda yer almaktadır. Devreye sırayla girdi olarak '1' rakamından '9' rakamına kadar ve en son olarak '0' rakamı gönderilmektedir. Şekil 3.19'da yer alan sayıların algılanma sırasına göre incelendiğinde, tüm girdi ve çıktılar birbiriyle uyumaktadır. Her bir karakterin algılanması 1 ns kadar süre alsada, doğru cevap beklenmeden ikinci girdi deseni devreye gönderilmiştir. Bu örnekte test girdileri arası gecikme 200 ps olarak ayarlanmıştır. Devre her ne kadar 5 GHz frekans değerine sahip olan girdilerde test edilmiş olsada bu değer, bu çalışmada 40 GHz değerine kadar yükseltilebilmektedir. Bunun sebebi, her algılama katmanının aynı anda işlem gerçekleştirilmesi ve girdilerin aynı anda işleme sokulmasıdır. İlgili sayı algılama simülasyon girdileri ve çıktıları sırasıyla Şekil 3.41 ve Şekil 3.42'de yer almaktadır.



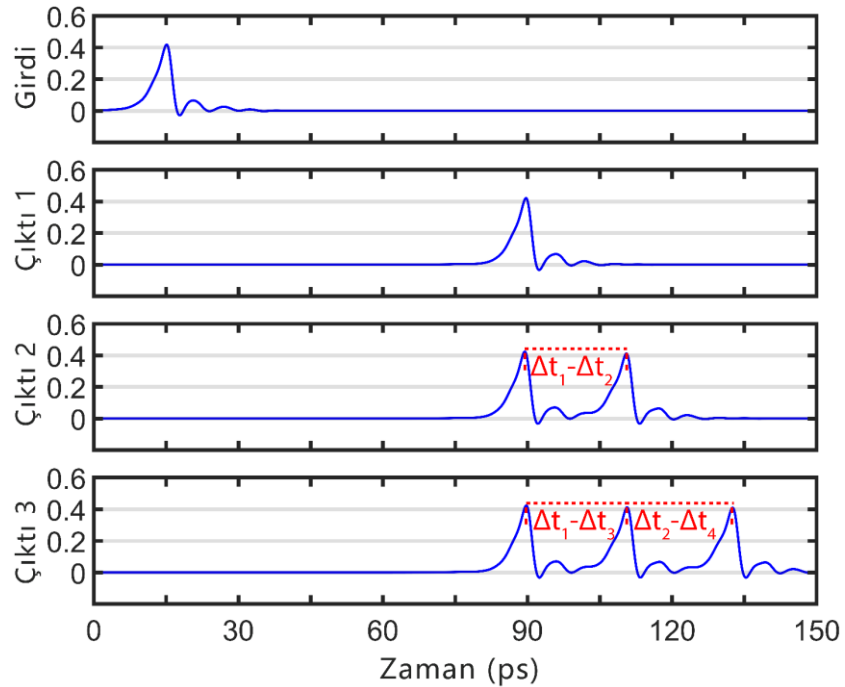
Şekil 3.41 : Dijital sayı algılama devresinin girdileri



Şekil 3.42 : Dijital sayı algılama devresinin çıktıları

3.8.5. JJ-AN girdileri için kurulan test devre simülasyonu

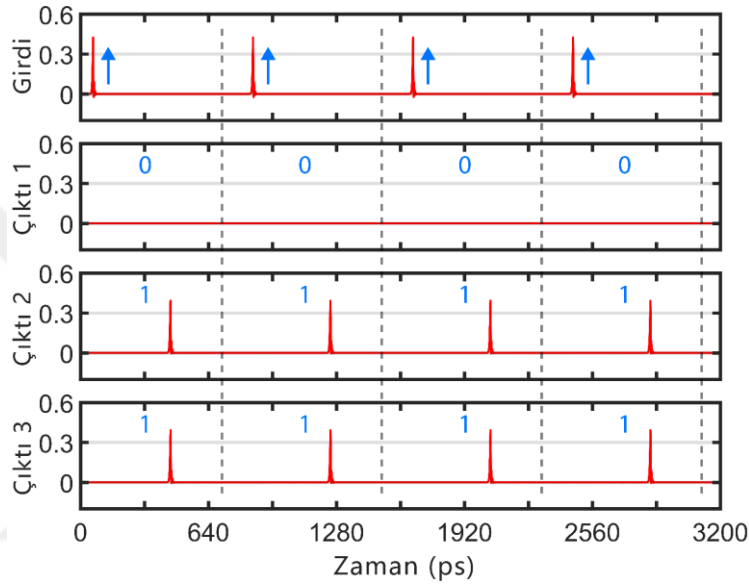
Bireysel olarak yapay nöronları test edebilmek için, kütüphanede bulunan RSFQ devreleri ile yonga üzerinde sinyal üreten devreler oluşturulmuştur. Bu devrelerin tasarımları, Şekil 3.21’de gösterildiği gibi CBU ve SPL yapılarının kullanılmasıyla kurularak nöronların testi mümkün hale getirilmiştir. Şekilde yer alan üç farklı sinyal yolunun zaman farklarının örnek simülasyon sonuçları Şekil 3.43’te yer almaktadır. Her nöron için yukarıdan aşağıya sırasıyla bir, iki ve üç adet SFQ darbeleri üreten ve sadece bir adet tetikleyici sinyale ihtiyaç duyan yapı oluşturulmuştur. Sinyal yollarının (A, B, C ve D) ayarlanmasıyla JJ-AN devreleri için aralarında istenilen gecikmelere sahip SFQ darbeleri üretilebilmektedir. CBU ve SPL devrelerinin adetlerine bağlı olarak toplam üretilen sinyallerin adetleri belirlenmektedir. SPL devresi ilk olarak SFQ sinyalini, eş zamanlı iki adet sinyale dönüştürmektedir ve bu sinyaller arasında gecikmeler oluşturularak CBU devresinde aynı sinyal hattına gönderilmek üzere tekrar birleştirilmektedir. ‘N’ adet SPL ve ‘N’ adet CBU devrelerinin kullanılmasıyla ‘N+1’ adet sinyal yolu üretilmektedir. Sinyal yollarında meydana gelen gecikmeler, JTL devresi ve eğer ihtiyaç duyuluyorsa RSFQ kütüphanesinde yer alan diğer devreler yardımıyla oluşturulmaktadır. Δt_k parametresi, ‘k.’ sinyal yolunda meydana gelen gecikmeye karşılık gelmektedir.



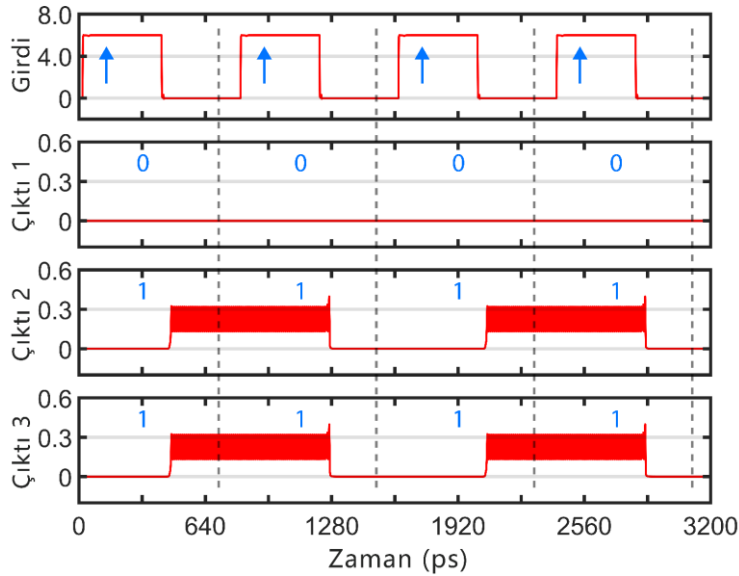
Şekil 3.43 : Bireysel JJ-AN devrelerinin test girdilerini oluşturan devrelerin JSIM sonucu

3.8.6. Farklı test girdilerine sahip JJ-AN devrelerinin simülasyonu

Şekil 3.22’de yer alan kırmızı, turuncu ve yeşil renkleri ile işaretlenmiş olan JJ-AN devrelerinin simülasyon çıktılarında karşılık gelen çıktı isimleri sırasıyla Çıktı 1, Çıktı 2 ve Çıktı 3’tür. Beklenildiği üzere, her bir SFQ darbesine karşılık olarak sadece Çıktı 2 ve Çıktı 3 hatlarından bir çıkış sinyali gözlemlenmektedir. İlgili devrelerin JSIM sonuçlarının SFQ gösterimi Şekil 3.44’te yer almaktadır ve her SFQ darbesi, SFQ-DC devresinden dolayı çıktıda DC voltajı değişimine sebep olup Şekil 3.45’te çıkışlarda gerçekleşen DC voltaj değişimi yer almaktadır.

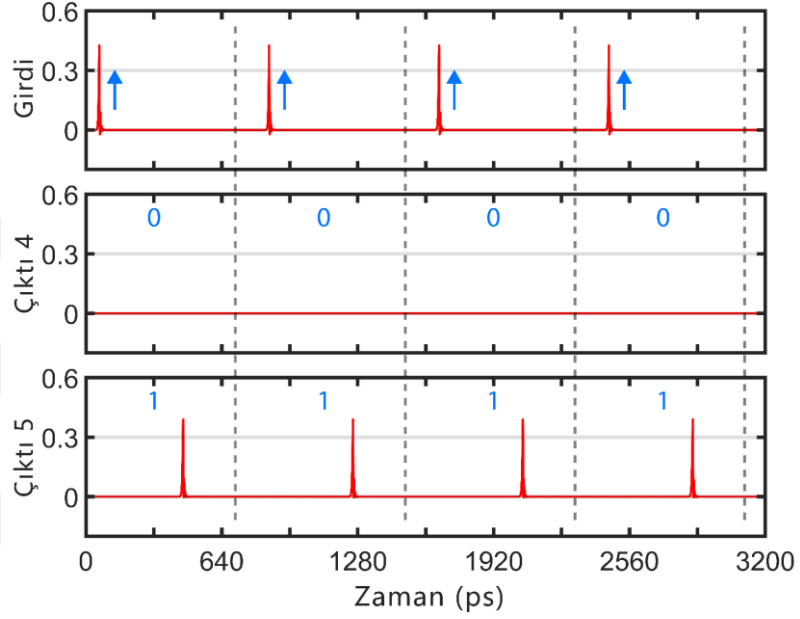


Şekil 3.44 : İki SFQ eşikli JJ-AN devrelerinin JSIM sonuçlarının SFQ sinyali gösterimi

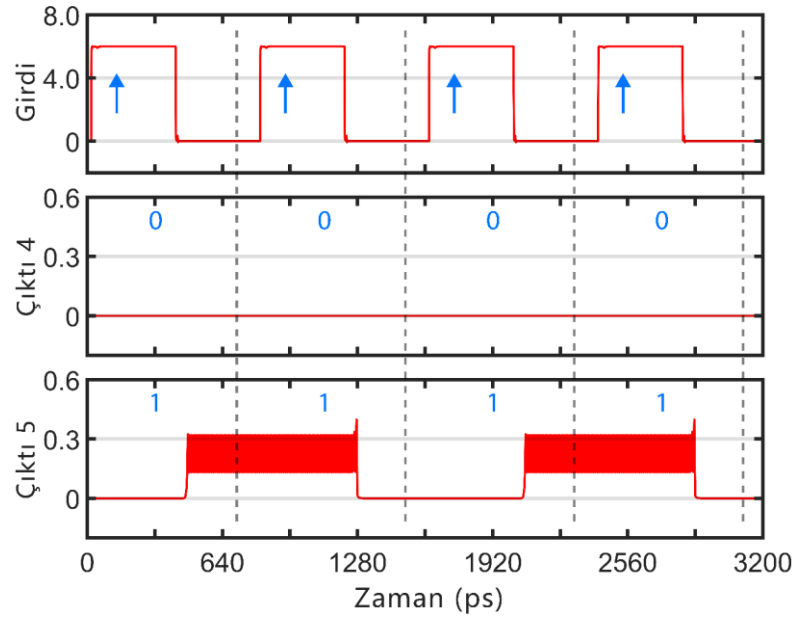


Şekil 3.45 : İki SFQ eşikli JJ-AN devrelerinin JSIM sonuçlarının DC sinyali gösterimi

Şekil 3.22’de yer alan açık mavı ve lacivert renkleri ile işaretlenmiş olan JJ-AN devrelerinin simülasyon çıktılarında karşılık gelen çıktı isimleri sırasıyla Çıktı 4 ve Çıktı 5’tir. Beklenildiği üzere, her bir SFQ girdi darbesine karşılık olarak sadece Çıktı 5 hattında bir SFQ sinyali gözlemlenmektedir. İlgili devrelerin JSIM sonuçlarının SFQ gösterimi Şekil 3.46’da yer almaktadır ve her SFQ darbesi, SFQ-DC devresinden dolayı çıktıda DC voltajı değişimine sebep olup Şekil 3.47’de çıkışlarda gerçekleşen DC voltaj değişimi yer almaktadır.



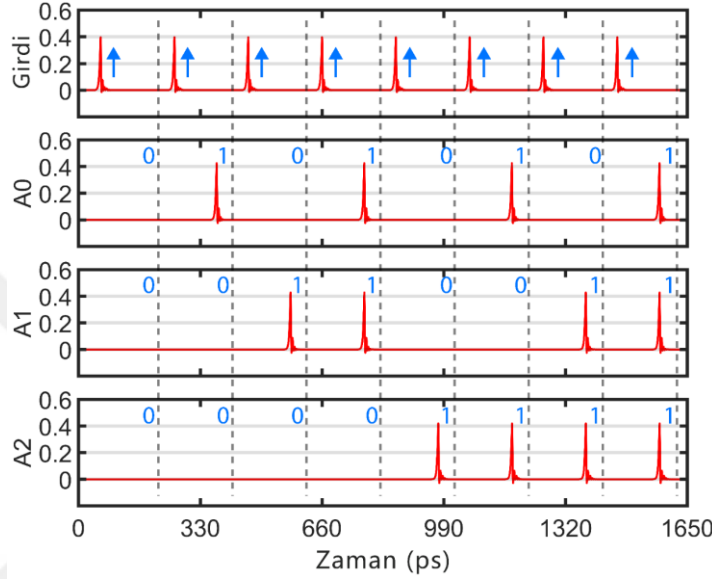
Şekil 3.46 : Üç SFQ darbesi eşikli JJ-AN devrelerinin JSIM sonuçlarının SFQ sinyali gösterimi



Şekil 3.47 : Üç SFQ eşikli JJ-AN devrelerinin JSIM sonuçlarının DC sinyali gösterimi

3.8.7. Üç bitlik sayaç devresinin simülasyonu

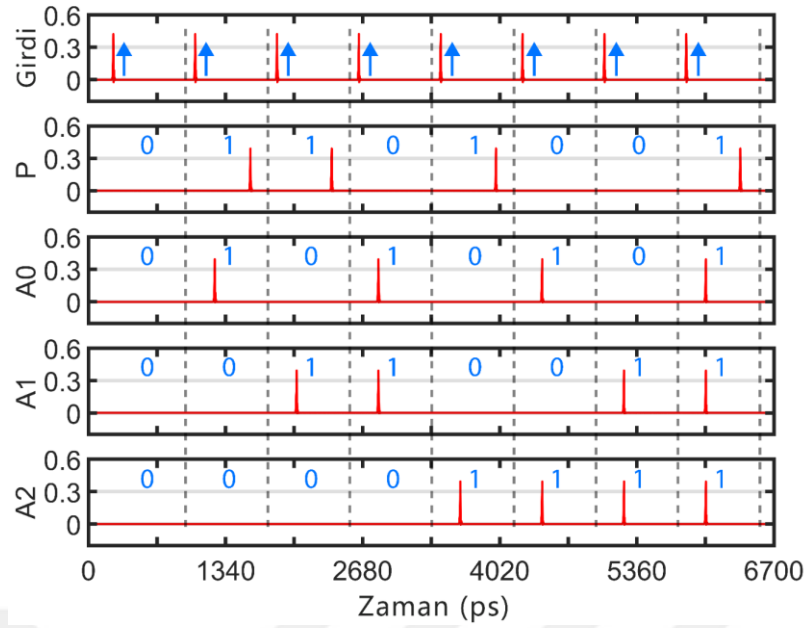
Eşlik biti devresine uygun girdi sinyallerinin sağlanabilmesi için üç bitlik sayaç devresi tasarlanmıştır. Bu sayaç devresinin JSIM sonuçları Şekil 3.48’de yer almaktadır. Sayaç devresinin her çıktı durumunun kontrolü için girdi olarak ardışık sekiz adet SFQ darbesi sağlanmaktadır. Sayaç durumu ikilik tabanda “000”dan başlayarak “111”e kadar gitmektedir. “111” durumuna ulaştıktan sonra gelen ilk sinyalde sayacın durumu başlangıca yani “000” durumuna dönmektedir.



Şekil 3.48 : Üç bitlik sayaç devresinin JSIM sonucu

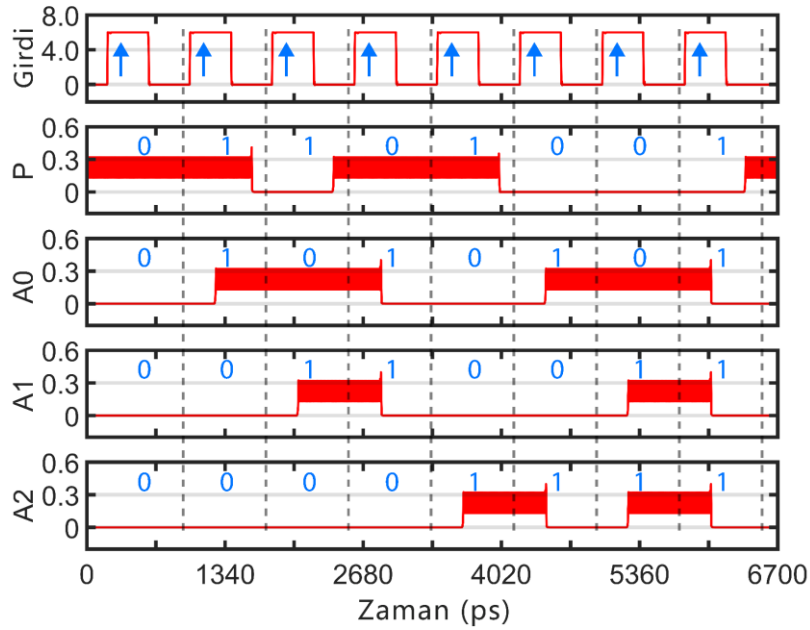
3.8.8. Eşlik biti devresinin simülasyonu

Üç adet girdi bağlantısına ve iki SFQ darbesi eşliğine sahip JJ-AN ile ‘DEĞİL’ mantık kapısının birleştirilmesiyle eşlik bitinin durum diyagramında yer alan ilk yedi durum sağlanmaktadır. Geri kalan son durumun hesaplanması için ve çok katmanlı yapıya örnek olma adına iki adet iki SFQ darbesi eşliğine sahip JJ-AN devreleri ardışık olarak bağlanmıştır. Bu iki ayrı devre yapılarında bulunan çıktıların CBU devresiyle birleştirilmesiyle eşlik bitinin değerini taşıyan bir adet çıktı hattı elde edilmektedir. Basitçe bu yapı, ‘ÇOĞUNLUK DEĞİLİ’ ve ‘VE’ mantık operasyonlarının birleştirilmesine karşılık gelmektedir. Bu devrenin testi için üç bitlik sayaç devresi kullanılmaktadır ve ‘P’ çıktı parametresi, eşlik bitini temsil etmektedir. Bir adet SFQ darbesinin ‘P’ eşlik bitinde gözlemlenebilmesi için gelen girdilerde (A0, A1 ve A2) toplam olarak tek sayıda mantık ‘1’ durumu bulunması gerekmektedir. Kısaca, tasarlanan eşlik biti, toplam mantık ‘1’ sayısını kendisiyle beraber çift sayı yapmaya çalışmaktadır. Sayaç ve eşlik biti devresinin çıktıları Şekil 3.49’da yer almaktadır.



Şekil 3.49 : Üç bitlik sayaç devresi ve JJ-AN eşlik biti devrelerinin JSIM sonucunun SFQ sinyali ile gösterimi

DC voltajı olarak okuma yapıldığında, her bir SFQ darbesine karşılık DC voltaj üzerinde bir değişim meydana gelmektedir. Bu voltaj değişimi, düşük voltajdan yüksek voltaja ya da yüksek voltajdan düşük voltaja olabilmektedir. Şekil 3.49'da yer alan çıktılardan gösterimi SFQ darbeleriyle gösterilmektedir. Buna ek olarak, aynı çıktı sinyallerine yani her bir SFQ darbesine karşılık gelen DC voltaj değişimi gösterimleri Şekil 3.50'de yer almaktadır.



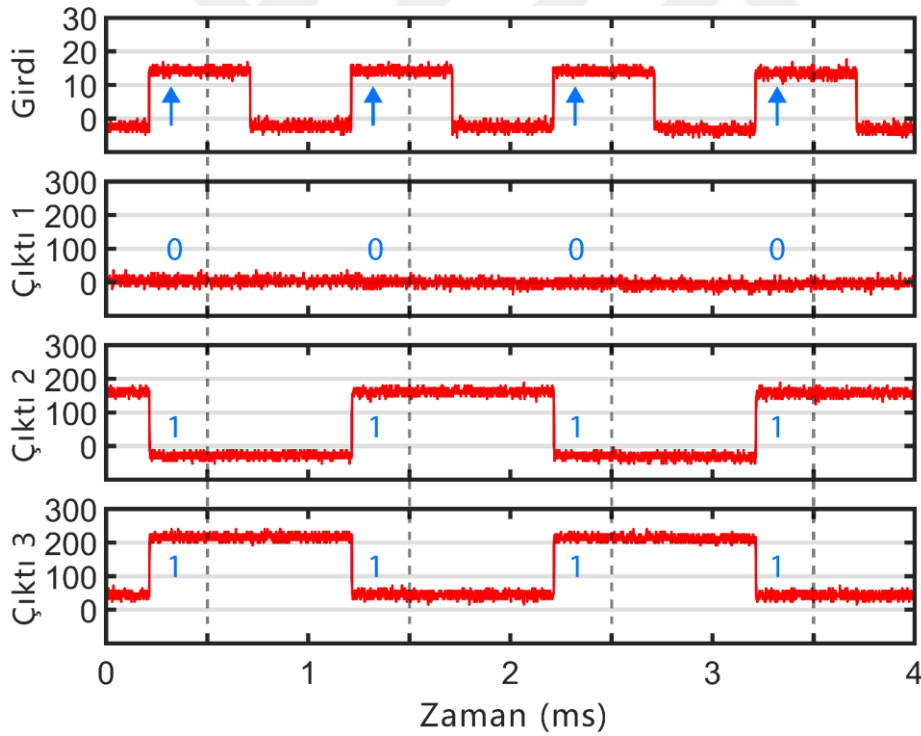
Şekil 3.50 : Üç bitlik sayaç devresi ve JJ-AN eşlik biti devrelerinin JSIM sonucunun DC sinyali ile gösterimi

3.9. Deneysel Sonular

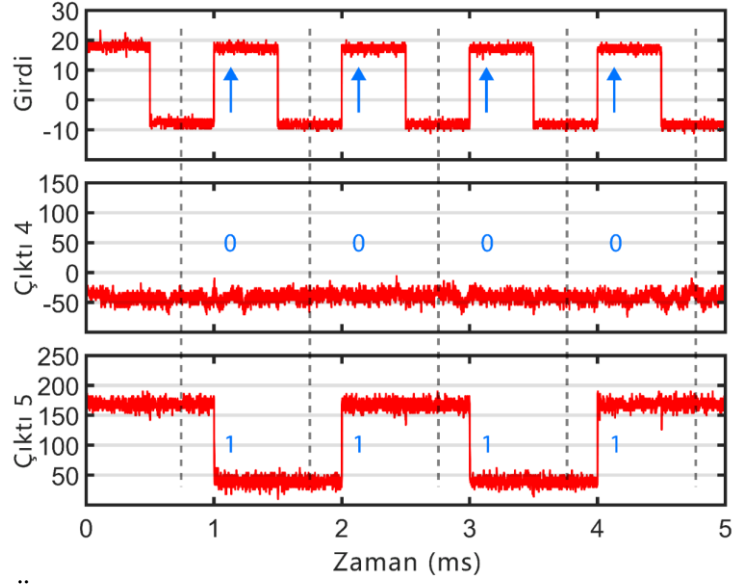
Bu alıřmada gerekleřtirilen JJ-AN devresinin bireysel olarak farklı girdiler ile simülasyonlarına karşılık deneysel sonuçları ve eşlik biti devresinin simülasyonuna karşılık gelen deneysel sonuçları elde edilmiştir.

3.9.1. Farklı girdilere sahip JJ-AN devrelerinin deneysel sonuçları

Şekil 3.22’de yer alan nöronların bireysel ve farklı girdileriyle deneysel testi gerekleřtirilmiştir. Bu testte sadece bir adet SFQ darbesi, tüm yapıyı tetiklemek için yeterli olmaktadır. Şekil 3.45 ve Şekil 3.47’de yer alan Çıktı 1, 2, 3, 4 ve 5 hatları, deneysel çıktı hatlarıyla aynı noktalara karşılık gelmektedir. Şekil 3.45 ve Şekil 3.47 ile Şekil 3.51 ve Şekil 3.52 sonuçları karşılıklı olarak uyuşmaktadır. Her çıktının simülasyon sonucuyla deneysel sonucunun uyuşması gösterilmiş olup devrenin RSFQ kütüphanesiyle birlikte çalıştırılabilirliği kanıtlanmıştır. Şekil 3.51 ve Şekil 3.52’de yer alan çıktı sinyalleri, DC voltajı olarak temsil edilmektedir.



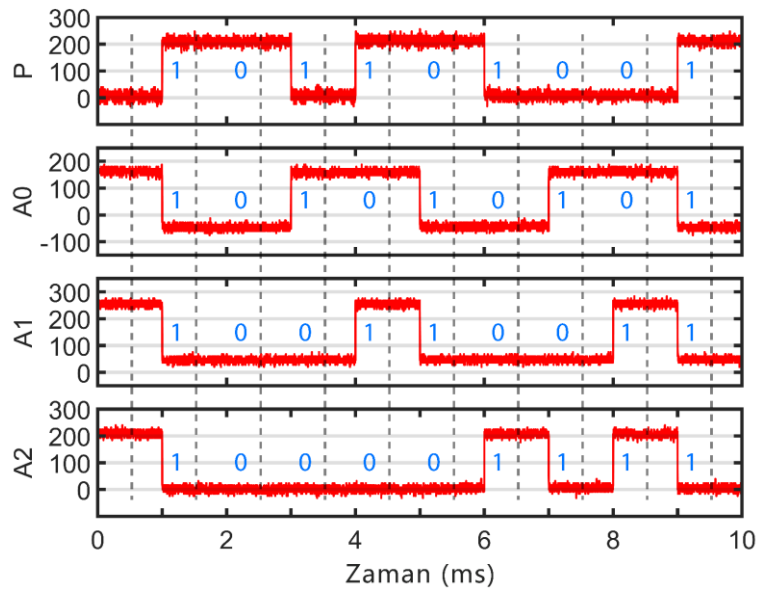
Şekil 3.51 : İki SFQ darbe eşikli JJ-AN devrelerinin deneysel sonuçlarının DC sinyali ile gösterimi



Şekil 3.52 : Üç SFQ darbe eşikli JJ-AN devrelerinin deneysel sonuçlarının DC sinyali ile gösterimi

3.9.2. Eşlik biti devresinin deneysel sonuçları

Eşlik biti devresinin ve test devresi olan üç bitlik sayaç devresinin deneysel çıktıları Şekil 3.53'te yer almaktadır. Üç bitlik sayaç devresinin çıktıları 'A2', 'A1' ve 'A0' olarak ve eşlik biti 'P' olarak gösterilmektedir. Sayaç devresi, onluk tabanda '0' durumundan '7' durumuna kadar saymaktadır ve başa dönmektedir. Sayaç devresinin deneysel çıktısında tüm durumlar gözlemlenmiş olup girdi durumuna göre eşlik biti doğru sonucu vermektedir. Simülasyon verilerinin yer aldığı Şekil 3.50 ile deney verilerinin yer aldığı Şekil 3.53, birbirisiyle uyumaktadır. Bu sayede JJ-AN devresinin karmaşık devrelerde kullanılabilirliğinin potansiyeli kanıtlanmış olmaktadır.



Şekil 3.53 : Eşlik biti devrelerinin deneysel sonucunun DC sinyali ile gösterimi



4. SONUÇ VE ÖNERİLER

Tamamlanan arařtırmada, güncel RSFQ kütüphane elemanları ve standart üretim yöntemleri ile uyumlu bir yapay sinir hücrelerinin tasarımı gerçekleştirilmiştir.

Sinir hücrelerinin dinamiklerinin doğrudan yonga üzerinde uygulamasının gerçekleştirilmesi, yüksek hızlı ve performanslı operasyonları gerçekleřtiren nöron ağlarının ve karmařık devrelerinin oluşturulabilirliğine olanak sağlamaktadır ve karmařık operasyonları gerçekleřtiren nöromorfik bilgisayarların geliştirilmesine katkıda bulunmaktadır. Bu çalışmada, Josephson eklemi ile yapay sinir devresi, tek akı kuantum mantığı kullanılarak yapılmıř ve çalıştırılabilirliği deneysel olarak ispatlanmıştır. JJ-AN, olay tabanlı algılama ile bilgilerin işlenmesi ve düşük güç gerektiren algısal karar verme yapısı uygulamalarında kullanılabilir. Devrenin çalışma prensipleri, SFQ sinyali mantığına dayalı olmasından dolayı biyolojik bir nöronunla uyumaktadır. Aktivasyon eřiğı, SFQ darbe gecikmeleri ve yapay nörona gelen SFQ darbe sayısı ile belirlenmektedir. Önerilen yapay nöron ve eşlik biti hesaplaması için iki seviyeli basit bir yapay sinir ağı sayısal simülasyonlar ile analiz edilmiştir ve doğru operasyonlar deneysel olarak kanıtlanmıştır. JJ-AN'lar üzerinde modellenmemiş deneysel faktörleri ve model parametreleri üzerinde istenmeyen bozulmaları telafi etmek için JJ-AN devreleri optimize edilmiştir.

Ağırlıklı girdilerin toplama işlemi, girdilerden gelen akımı tutan bir süperiletken döngü içerisinde dolařım akımı oluşturularak gerçekleştirilmektedir. JJ-AN, döngüde dolanan akımın seviyesi eşik deęerine ulařtığında, baęlı olan bir sonraki nörona tek bir SFQ darbesi olarak çıktı sinyali sağlamaktadır. Çalışmada yer alan nöronun bir başka önemli faktörü, literatürde mevcut olan SFQ dijital kütüphaneleri ile çalışma kabiliyetidir. Bu yüzden, JJ-AN devreleri, büyük ölçekli yapay sinir ağlarının veya daha karmařık devrelerinin oluşturulmasına olanak sağlamaktadır. JJ-AN devresinin çalışma frekansı 50 GHz ve SFQ darbe adeti başına 5×10^{-19} J/SFQ darbesi enerji harcadığı hesaplanmıştır. JJ-AN devresinin küçük boyutta olması, yüksek girdi ve çıktı hızı, dijital kütüphane devreleriyle uyumu, üretimsel güvenilirliği ve düşük enerji

harcaması gibi karakteristik özelliklerinden dolayı nöromorfik hesaplama sistemlerinde performansı artırıcı bir rol üstlenebilmektedir. Bunların yanı sıra, SFQ mantık kapıları doğası gereği genellikle “1” ve “0” mantığının uygulamasında bir saat darbesi sinyaline ihtiyaç duymaktadır. Bu gereksinim, karmaşık mantık devrelerinin paralel çalışması gibi bazı durumlarında avantajlı olabilmektedir [71] ancak saat darbesi ile zamanlanmış şema, küresel bir saat darbesi ağacının ayrıntılı bir tasarımını gerektirmektedir ve çoğu zaman çalışma hızı ve parametrelerin çalışma aralıkları için bir sınırlayıcı faktör olarak ortaya çıkmaktadır. Önerilen yapay nöronun çalışması için bir saat sinyali gerekmemektedir ve asenkron yapay sinir ağı uygulamalarına izin vermektedir.

Bu çalışmada, AIST-STP2 [25] ile üretilen JJ-AN devreleri, çip üzerinde $40 \mu\text{m} \times 80 \mu\text{m}$ 'lik bir alanı kaplamaktadır ve nöron devrelerinin boyutu standart RSFQ kütüphane devrelerine uyumlu bir şekilde ayarlanmıştır. Çalışmada sunulan JJ-AN devresinin harcadığı DC gücün hesaba katılarak ve katılmadan harcadığı enerji miktarları sırasıyla yaklaşık $1,75 \times 10^{-17}$ Joule/SFQ darbesi ile 5×10^{-19} Joule/SFQ darbesi olarak gözlemlenmiştir ve gerekli enerji hesaplamaları Başlık 3.2'de yer almaktadır. JJ-AN devresinin çalışma hızı yaklaşık 50 GHz olarak ayarlanmıştır. Bu çalışmada, RSFQ teknolojisi kullanılmasından dolayı, DC güç tüketimi, anahtarlama gücü tüketiminden çok daha yüksektir. RSFQ teknolojisi yerine e-RSFQ teknolojisi kullanılarak kutuplama hattında bulunan dirençler, Josephson eklemleri ve indüktörler [59] ile değiştirildiğinde sıfır statik güç tüketimine ulaşan devrelerin uygulamalarını gerçekleştirmek mümkün olmaktadır.

KAYNAKLAR

- [1] **Sidiropoulou, K., Pissadaki, E.K., and Poirazi, P.** (2006) Inside the brain of a neuron. *EMBO Reports*. 7 (9), 886–892.
- [2] **Ait, A.H., Pierre, D., and E, K.E.** (2000) Intelligent Techniques And Soft Computing In Nuclear Science And Engineering - Proceedings Of The 4th International Flins Conference. World Scientific, .
- [3] **Gupta, M.M.** (1999) *Soft Computing and Intelligent Systems: Theory and Applications*. Elsevier, .
- [4] **Mishra, M. and Srivastava, M.** (2014) A view of Artificial Neural Network. in: 2014 Int. Conf. Adv. Eng. Technol. Res. ICAETR - 2014, pp. 1–3.
- [5] **Waldrop, M.M.** (2013) Neuroelectronics: Smart connections. *Nature News*. 503 (7474), 22.
- [6] **Sourikopoulos, I., Hedayat, S., Loyez, C., Danneville, F., Hoel, V., Mercier, E., et al.** (2017) A 4-fJ/Spike Artificial Neuron in 65 nm CMOS Technology. *Frontiers in Neuroscience*. 11 123.
- [7] **Linares-Barranco, B., Sanchez-Sinencio, E., Rodriguez-Vazquez, A., and Huertas, J.L.** (1991) A CMOS implementation of FitzHugh-Nagumo neuron model. *IEEE Journal of Solid-State Circuits*. 26 (7), 956–965.
- [8] **Wu, X., Saxena, V., Zhu, K., and Balagopal, S.** (2015) A CMOS Spiking Neuron for Brain-Inspired Neural Networks With Resistive Synapses and In Situ Learning. *IEEE Transactions on Circuits and Systems II: Express Briefs*. 62 (11), 1088–1092.
- [9] **Tanaka, H., Morie, T., and Aihara, K.** (2006) An analog CMOS circuit for spiking neuron models. *International Congress Series*. 1291 217–220.
- [10] **Thompson, S.E. and Parthasarathy, S.** (2006) Moore’s law: the future of Si microelectronics. *Materials Today*. 9 (6), 20–25.
- [11] **Goldey, J. and Ryder, R.** (1963) Are transistors approaching their maximum capabilities? in: 1963 IEEE Int. Solid-State Circuits Conf. Dig. Tech. Pap., pp. 20–21.
- [12] **Peper, F.** (2017) The End of Moore’s Law: Opportunities for Natural Computing? *New Generation Computing*. 35 (3), 253–269.
- [13] **Likharev, K.K. and Semenov, V.K.** (1991) RSFQ logic/memory family: a new Josephson-junction technology for sub-terahertz-clock-frequency digital systems. *IEEE Transactions on Applied Superconductivity*. 1 (1), 3–28.
- [14] **Askerzade, I., Bozbey, A., and Cantürk, M.** (2017) *Modern Aspects of Josephson Dynamics and Superconductivity Electronics*. 1st ed. 2017 edition Springer, New York, NY.

- [15] **Crotty, P., Schult, D., and Segall, K.** (2010) Josephson junction simulation of neurons. *Physical Review E*. 82 (1), 011914.
- [16] **Hirose, T., Ueno, K., Asai, T., and Amemiya, Y.** (2006) Single-flux-quantum circuits for spiking neuron devices. *International Congress Series*. 1291 221–224.
- [17] **Hirose, T., Asai, T., and Amemiya, Y.** (2006) Spiking neuron devices consisting of single-flux-quantum circuits. *Physica C Superconductivity*. 445–448.
- [18] **Schneider, M.L., Donnelly, C.A., Russek, S.E., Baek, B., Pufall, M.R., Hopkins, P.F., et al.** (2018) Ultralow power artificial synapses using nanotextured magnetic Josephson junctions. *Science Advances*. 4 (1), e1701329.
- [19] **Rippert, E.D. and Lomatch, S.** (1997) A multilayered superconducting neural network implementation. *IEEE Transactions on Applied Superconductivity*. 7 (2), 3442–3445.
- [20] **Hidaka, M. and Akers, L.A.** (1991) An artificial neural cell implemented with superconducting circuits. *Superconductor Science and Technology*. 4 (11), 654.
- [21] **Mizugaki, Y., Nakajima, K., Sawada, Y., and Yamashita, T.** (1994) Implementation of new superconducting neural circuits using coupled SQUIDs. *IEEE Transactions on Applied Superconductivity*. 4 (1), 1–8.
- [22] **Murduck, J.M.** (2001) Fabrication of superconducting devices and circuits. in: M.H. Francombe (Ed.), *Thin Films*, Elsevier, pp. 271–317.
- [23] **Nagasawa, S., Hinode, K., Satoh, T., Akaike, H., Kitagawa, Y., and Hidaka, M.** (2004) Development of advanced Nb process for SFQ circuits. *Physica C-Superconductivity and Its Applications - PHYSICA C*. 412 1429–1436.
- [24] **Nagasawa, S., Hinode, K., Satoh, T., Hidaka, M., Akaike, H., Fujimaki, A., et al.** (2014) Nb 9-Layer Fabrication Process for Superconducting Large-Scale SFQ Circuits and Its Process Evaluation. *IEICE Transactions on Electronics*. E97.C 132–140.
- [25] **Hidaka, M., Nagasawa, S., Satoh, T., Hinode, K., and Kitagawa, Y.** (2006) Current status and future prospect of the Nb-based fabrication process for single flux quantum circuits. *Superconductor Science and Technology*. 19 (3), S138.
- [26] **Nagasawa, S. and Hidaka, M.** (2013) Design instruction for AIST standard process (AIST-STP2).
- [27] **Cyrot, M. and Pavuna, D.** (1992) *Introduction to Superconductivity and High-Tc Materials*. World Scientific Publishing Company, .
- [28] **Delft, D. van and Kes, P.** (2010) The discovery of superconductivity. *Physics Today*. 38–43.
- [29] **Rogalla, H. and Kes, P.H.** (2012) *100 years of superconductivity*. CRC Press/Taylor & Francis Group, Boca Raton.
- [30] <http://www.spaldinghigh.lincs.sch.uk/newspaper/article.asp?id=787> Serway Ch. 12 Superconductivity. alındığı tarih: 01.01.2019.
- [31] **Clarke, J. and Braginski, A.I.** (2006) *The SQUID Handbook: Applications of SQUIDs and SQUID Systems*. John Wiley & Sons.

- [32] **Poole, C.P.** (2007) Superconductivity. Elsevier/Academic Press, Amsterdam; Boston.
- [33] **Tinkham, M.** (1996) Introduction to Superconductivity. Courier Corporation, .
- [34] **Yorozu, S., Kameda, Y., Terai, H., Fujimaki, A., Yamada, T., and Tahara, S.** (2002) A single flux quantum standard logic cell library. *Physica C: Superconductivity*. 378 (Part 2), 1471–1474.
- [35] **Connect Group** (2003) CONNECT cell library handbook. Nagoya, Japan
- [36] **Polonsky, S.V.** (1991) New SFQ/DC converter for RSFQ logic/memory family. *Superconductor Science and Technology*. 4 (9), 442.
- [37] **Burkitt, A.N.** (2006) A Review of the Integrate-and-fire Neuron Model: I. Homogeneous Synaptic Input. *Biological Cybernetics*. 95 (1), 1–19.
- [38] **Corey, P.L.** (2016) Neuromorphic systems. NIST.
- [39] **Lodish, H., Berk, A., Zipursky, S.L., Matsudaira, P., Baltimore, D., and Darnell, J.** (2000) Overview of Neuron Structure and Function. *Molecular Cell Biology*. 4th Edition.
- [40] **Levitan, I.B. and Kaczmarek, L.K.** (2015) The Neuron: Cell and Molecular Biology. Oxford University Press, .
- [41] **May, G.S. and Spanos, C.J.** (2006) Fundamentals of Semiconductor Manufacturing and Process Control. John Wiley & Sons, .
- [42] **Abelson, L.A. and Kerber, G.L.** (2004) Superconductor integrated circuit fabrication technology. *Proceedings of the IEEE*. 92 (10), 1517–1533.
- [43] **Salinas, E. and Sejnowski, T.J.** (2001) Correlated Neuronal Activity And The Flow Of Neural Information. *Nature Reviews. Neuroscience*. 2 (8), 539–550.
- [44] **Connors, B.W. and Regehr, W.G.** (1996) Neuronal firing: Does function follow form? *Current Biology*. 6 (12), 1560–1562.
- [45] **Obien, M.E.J., Deligkaris, K., Bullmann, T., Bakkum, D.J., and Frey, U.** (2015) Revealing neuronal function through microelectrode array recordings. *Frontiers in Neuroscience*. 8.
- [46] **Hodgkin, A.L. and Huxley, A.F.** (1952) A quantitative description of membrane current and its application to conduction and excitation in nerve. *The Journal of Physiology*. 117 (4), 500–544.
- [47] **Herr, Q.P., Herr, A.Y., Oberg, O.T., and Ioannidis, A.G.** (2011) Ultra-low-power superconductor logic. *Journal of Applied Physics*. 109 (10), 103903.
- [48] **Polonsky, S., K Semenov, V., and Shevchenko, P.** (1999) PSCAN: Personal superconductor circuit analyser. *Superconductor Science and Technology*. 4 667.
- [49] **Whiteley, S.R.** (1991) Josephson junctions in SPICE3. *IEEE Transactions on Magnetics*. 27 (2), 2902–2905.
- [50] **FANG, E.S.** (1989) A Josephson integrated circuit simulator (JSIM) for superconductive electronics application. Extended Abstracts of 1989 International Superconductivity Electronics Conference (ISEC'89).

- [51] https://www.cadence.com/content/cadence-www/global/en_US/home/tools/custom-ic-analog-rf-design/circuit-design/virtuoso-analog-design-environment.html Virtuoso Analog Design Environment. alındığı tarih: 01.01.2019.
- [52] **Nakamura, S., Numabe, H., Bozbey, A., and Fujimaki, A.** (2009) Current Resolution of a Single-Flux-Quantum Readout Circuit Based on Current-to-Time Conversion Toward a Flux Qubit System. *Applied Superconductivity, IEEE Transactions On.* 19 (3), 973–976.
- [53] <http://www0.sun.ac.za/ix/files/misc/Inductex%20User%20Manual.pdf> Inductex User Manual.pdf. alındığı tarih: 01.01.2019.
- [54] **Razmkhah, S. and Bozbey, A.** (2018) Packaging for Superconducting Logic Circuits Providing Efficient Cooling at Closed Cycle Cryocoolers. *Cryogenics, Under Evaluation.*
- [55] **Wooldridge, D.E.** (1980) Memory neuron: operating characteristics for the memory component of a neuroconnective brain model. *Proceedings of the National Academy of Sciences of the United States of America.* 77 (4), 2305–2308.
- [56] **Polonsky, S., Semenov, V., Bunyk, P., and Kirichenko, A.** (1993) New RSFQ circuits. *IEEE Trans. on Appl. Supercond.* 3 2566–2577.
- [57] **Bakolo, R. and Fourie, C.** (2013) New Implementation of RSFQ Superconductive Digital Gates. *Transactions of the South African Institute of Electrical Engineers.* 104 90.
- [58] **Clarke, J.** (1996) Squid Fundamentals. in: H. Weinstock (Ed.), *SQUID Sens. Fundam. Fabr. Appl.*, Springer Netherlands, pp. 1–62.
- [59] **Kirichenko, D.E., Sarwana, S., and Kirichenko, A.F.** (2011) Zero Static Power Dissipation Biasing of RSFQ Circuits. *IEEE Transactions on Applied Superconductivity.* 21 (3), 776–779.
- [60] **Karamuftuoglu, M.A., Demirhan, S., Komura, Y., Çelik, M.E., Tanaka, M., Bozbey, A., et al.** (2016) Development of an Optimizer for Vortex Transitional Memory Using Particle Swarm Optimization. *IEEE Transactions on Applied Superconductivity.* 26 (8), 1–6.
- [61] **Mukhanov, O.A., Semenov, V.K., Li, W., Filippov, T.V., Gupta, D., Kadin, A.M., et al.** (2001) A superconductor high-resolution ADC. *IEEE Transactions on Applied Superconductivity.* 11 (1), 601–606.
- [62] **Dorojevets, M.** (2002) An 8-bit FLUX-1 RSFQ microprocessor built in 1.75- μm technology. *Physica C: Superconductivity.* 378–381, Part 2 (0), 1446–1453.
- [63] **Miyaho, N., Yamazaki, A., Sakurai, T., and Miyahara, K.** (2006) Next generation IP Router architecture using SFQ technology. in: *Asia-Pac. Conf. Commun. 2006 APCC 06*, pp. 1–5.
- [64] **Tanaka, M., Takata, K., Kawaguchi, T., Ando, Y., Yoshikawa, N., Sato, R., et al.** (2015) Development of Bit-Serial RSFQ Microprocessors Integrated with Shift-Register-Based Random Access Memories. in: *2015 15th Int. Supercond. Electron. Conf. ISEC*, pp. 1–3.

- [65] **Ando, Y., Sato, R., Tanaka, M., Takagi, K., Takagi, N., and Fujimaki, A.** (2016) Design and Demonstration of an 8-bit Bit-Serial RSFQ Microprocessor: CORE e4. *IEEE Transactions on Applied Superconductivity*. 26 (5), 1–5.
- [66] **Bozbey, A., Miyajima, S., Akaike, H., and Fujimaki, A.** (2009) Single-Flux-Quantum Circuit Based Readout System for Detector Arrays by Using Time to Digital Conversion. *IEEE Transactions on Applied Superconductivity*. 19 (3), 509–513.
- [67] **Ozer, M., Eren Çelik, M., Tukul, Y., and Bozbey, A.** (2014) Design of RSFQ wave pipelined Kogge–Stone Adder and developing custom compound gates. *Cryogenics*. 63 (Supplement C), 174–179.
- [68] **Miyajima, S., Ito, K., Kita, Y., Ishida, T., and Fujimaki, A.** (2014) Current Sensitivity Enhancement of a Quasi-One-Junction SQUID Comparator as an Input Circuit of SFQ Readout Circuit for a Superconducting Detector. *Journal of Low Temperature Physics*. 176 (3–4), 465–469.
- [69] **Ortlepp, T., Volkmann, M.H., and Yamanashi, Y.** (2014) Memory effect in balanced Josephson comparators. *Physica C: Superconductivity*. 500 20–24.
- [70] **Tukul, Y., Bozbey, A., and Tunc, C.A.** (2013) Development of an Optimization Tool for RSFQ Digital Cell Library Using Particle Swarm. *IEEE Transactions on Applied Superconductivity*. 23 (3), 1700805–1700805.
- [71] **Ono, T., Suzuki, H., Yamanashi, Y., and Yoshikawa, N.** (2017) Design and Implementation of an SFQ-Based Single-Chip FFT Processor. *IEEE Transactions on Applied Superconductivity*. 27 (4), 1–5.



EKLER

EK 1: Ana metinde bildirilen JJ-AN devrelerinin parameter deęerleri



EK 1 : Ana metinde bildirilen JJ-AN devrelerinin parameter deęerleri

Şekil 3.26 : JJ-AN devresinin JSIM test şeması (Kutuplanmamış JJ-AN):

$L_{LOAD}=1$ pH, $L_{IN1}=0.3$ pH, $L_{IN2}=1.6$ pH, $L_{LOOP}=9.6$ pH, $L_{OUT}=2$ pH, $L_{TOP}=9.6$ pH, $R_{LOAD}=4$ Ω ,
 $R_{LOOP}=1.25$ Ω , $R_{TOP1}=5$ Ω , $R_{TOP2}=5$ Ω , $K=0.5$ pH, $J_1= 243$ μ A, $J_2= 243$ μ A, $I_b=0$ μ A

Şekil 3.28 : JJ-AN ile JTL devrelerinin uyumluluk testi şeması (İki SFQ Darbe Eşikli JJ-AN):

$L_{IN1}=0.3$ pH, $L_{IN2}=1.11$ pH, $L_{LOOP}=5.32$ pH, $L_{OUT}=2.94$ pH, $L_{TOP}=10.76$ pH, $R_{LOOP}=0.34$ Ω ,
 $R_{TOP1}=0.31$ Ω , $R_{TOP2}=0.3$ Ω , $K=0.21$ pH, $J_1= 278$ μ A, $J_2= 272$ μ A, $I_b=369$ μ A

Şekil 3.28 : JJ-AN ile JTL devrelerinin uyumluluk testi şeması (Üç SFQ Darbe Eşikli JJ-AN):

$L_{IN1}=0.3$ pH, $L_{IN2}=1.57$ pH, $L_{LOOP}=9.42$ pH, $L_{OUT}=4.59$ pH, $L_{TOP}=12.34$ pH, $R_{LOOP}=0.53$ Ω ,
 $R_{TOP1}=7.23$ Ω , $R_{TOP2}=3.86$ Ω , $K=0.34$ pH, $J_1= 150$ μ A, $J_2= 243$ μ A, $I_b=342$ μ A

Şekil 3.7 : ‘VE’ ve ‘VEYA’ operasyonunu gerçekleştiren JJ-AN devre şeması (‘VE’ Kapısı için İki SFQ Darbe Eşikli JJ-AN):

$L_{IN1}=0.3$ pH, $L_{IN2}=1.11$ pH, $L_{LOOP}=5.32$ pH, $L_{OUT}=2.94$ pH, $L_{TOP}=10.76$ pH, $R_{LOOP}=0.34$ Ω ,
 $R_{TOP1}=0.31$ Ω , $R_{TOP2}=0.3$ Ω , $K=0.21$ pH, $J_1= 278$ μ A, $J_2= 272$ μ A, $I_b=369$ μ A

Şekil 3.7 : ‘VE’ ve ‘VEYA’ operasyonunu gerçekleştiren JJ-AN devre şeması (‘VEYA’ Kapısı için Bir SFQ Darbe Eşikli JJ-AN):

$L_{IN1}=0.4$ pH, $L_{IN2}=5.91$ pH, $L_{LOOP}=9.22$ pH, $L_{OUT}=1.94$ pH, $L_{TOP}=9.22$ pH, $R_{LOOP}=0.72$ Ω ,
 $R_{TOP1}=1.71$ Ω , $R_{TOP2}=1.71$ Ω , $K=0.11$ pH, $J_1= 212$ μ A, $J_2= 172$ μ A, $I_b=381$ μ A

Şekil 3.8 : ‘ÇOĞUNLUK’ operasyonunu gerçekleştiren JJ-AN devre şeması (‘ÇOĞUNLUK’ Kapısı için İki SFQ Darbe Eşikli JJ-AN):

$L_{IN1}=0.3$ pH, $L_{IN2}=1.11$ pH, $L_{LOOP}=5.32$ pH, $L_{OUT}=2.94$ pH, $L_{TOP}=10.76$ pH, $R_{LOOP}=0.34$ Ω ,
 $R_{TOP1}=0.31$ Ω , $R_{TOP2}=0.3$ Ω , $K=0.21$ pH, $J_1= 278$ μ A, $J_2= 272$ μ A, $I_b=369$ μ A

ÖZGEÇMİŞ

Ad-Soyad : Mustafa Altay Karamüftüoğlu
Uyruğu : TC
Doğum Tarihi ve Yeri : 31.07.1991
E-posta : akaramuftuoglu@etu.edu.tr

ÖĞRENİM DURUMU:

- **Lisans** : 2015, TOBB Ekonomi ve Teknoloji Üniversitesi, Mühendislik Fakültesi, Elektrik Elektronik Mühendisliği Bölümü
- **Yüksek lisans** : 2018, TOBB Ekonomi ve Teknoloji Üniversitesi, Mühendislik Fakültesi, Elektrik Elektronik Mühendisliği Bölümü, Mikro-elektronik Tasarım

MESLEKİ DENEYİM VE ÖDÜLLER:

<u>Yıl</u>	<u>Yer</u>	<u>Görev</u>
2014	ARTLab	Stajyer
2015	Roketsan A.Ş.	Stajyer
2015	ICMA	Stajyer
2016-2017	TOBB ETÜ	Başarı Burslu YL Öğrencisi
2017-2018	TOBB ETÜ	Özel Başarı Burslu YL Öğrencisi

YABANCI DİL: İngilizce, İspanyolca

TEZDEN TÜRETİLEN YAYINLAR, SUNUMLAR VE PATENTLER:

- **Karamuftuoglu M. A.**, Bozbey. A., Ozbayoglu. A. M. 2017. Development of Superconductor Integrated Logic Circuit Design with Artificial Neural Network Structure, International Conference on Condensed Matter and Materials Science (ICCMMS-2017), October 11-15, Adana, Turkey.
- Bozbey. A., **Karamuftuoglu M. A.** 2018. TR patent başvuru numarası : 2018/09195, 28 Haziran 2018.