

TOBB EKONOMİ VE TEKNOLOJİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

**SÜPERİLETKEN ŞERİT-ÇİZGİ DEDEKTÖR MATRİSİ İÇİN EŞ ZAMANLI
ADRESLEME MİMARİSİNİN TASARIMI VE GERÇEKLENMESİ**

YÜKSEK LİSANS TEZİ

Eren Can AYDOĞAN

Elektrik ve Elektronik Mühendisliği Anabilim Dalı

Tez Danışmanı: Doç. Dr. Ali BOZBEY

ARALIK 2017

Fen Bilimleri Enstitüsü Onayı

.....
Prof. Dr. Osman EROĞUL
Müdür

Bu tezin Yüksek Lisans derecesinin tüm gereksinimlerini sağladığını onaylarım.

.....
Doç. Dr. Tolga GİRİCİ
Anabilimdalı Başkanı

TOBB ETÜ, Fen Bilimleri Enstitüsü'nün 141211028 numaralı Yüksek Lisans Öğrencisi **Eren Can AYDOĞAN** 'ın ilgili yönetmeliklerin belirlediği gerekli tüm şartları yerine getirdikten sonra hazırladığı "**SÜPERİLETKEN ŞERİT-ÇİZGİ DEDEKTÖR MATRİSİ İÇİN EŞ ZAMANLI ADRESLEME MİMARİSİNİN TASARIMI VE GERÇEKLENMESİ**" başlıklı tezi **06.12.2017** tarihinde aşağıda imzaları olan jüri tarafından kabul edilmiştir.

Tez Danışmanı : **Doç. Dr. Ali BOZBEY**
TOBB Ekonomi ve Teknoloji Üniversitesi

Jüri Üyeleri : **Prof. Dr. Hamza KURT (Başkan)**
TOBB Ekonomi ve Teknoloji Üniversitesi

Doç. Dr. Mehmet ÜNLÜ
Ankara Yıldırım Beyazıt Üniversitesi

TEZ BİLDİRİMİ

Tez içindeki bütün bilgilerin etik davranış ve akademik kurallar çerçevesinde elde edilerek sunulduğunu, alıntı yapılan kaynaklara eksiksiz atıf yapıldığını, referansların tam olarak belirtildiğini ve ayrıca bu tezin TOBB ETÜ Fen Bilimleri Enstitüsü tez yazım kurallarına uygun olarak hazırlandığını bildiririm.

Eren Can AYDOĞAN

ÖZET

Yüksek Lisans

SÜPERİLETKEN ŞERİT-ÇİZGİ DEDEKTÖR MATRİSİ İÇİN EŞ ZAMANLI

ADRESLEME MİMARİSİNİN TASARIMI VE GERÇEKLENMESİ

Eren Can AYDOĞAN

TOBB Ekonomi ve Teknoloji Üniversitesi
Fen Bilimleri Enstitüsü
Elektrik ve Elektronik Mühendisliği Anabilim Dalı

Danışman: Doç. Dr. Ali BOZBEY

Tarih: Aralık 2017

Mevcut Tamamlayıcı Metal Oksit Yarı İletken (Complementary Metal Oxide Semiconductor, CMOS) adresleme devreleri, işlem hızı ve güç tüketimi gibi bazı dezavantajlara sahiptirler. Bunun yanı sıra Hızlı Tek Akı Kuantum (Rapid Single Flux Quantum, RSFQ) teknolojisi, CMOS teknolojisinin yetersiz olduğu işlemci hızı ve güç tüketimi bakımından gelecek vaadeden bir alternatiftir.

Bu çalışmada, Süperiletken Şerit Çizgi Dedektör (Superconducting Stripline Detector, SSLD) matrisinin tepkilerini gözlemleyebilmek için eş zamanlı adresleme devresi tasarlanmıştır. Bu adresleme devresi sayaç, azlayıcı (demultiplexer) ünitesi ve Tek Eklemlerli SQUID Benzeri Devre'lerin (Quasi-One Junction SQUID, QOS) dizisini içermektedir. QOS karşılaştırmalı devresi, girişinde belirli bir eşik değerinin üzerindeki akımın olması durumunda mantık "1" çıktısı oluşturur.

İlk olarak, sayaç devresi QOS karşılaştırmalı devrelerinin saat darbelerini zamanda çoklanmış şekilde tetikler. Ardından QOS çıktıları, D-Flip Flop (DFF) mantık

kapılarının girişlerine transfer edilir. Demultiplexer ünitesi dışardan kontrollü saat darbelerinin frekansında DFF'lerin saat darbelerini tetikler. Son olarak DFF'lerin çıktıları, merger hücreleri tarafından seri darbe trenine çevirilir. Aynı zamanda, sayaç devresi gelen ışının düştüğü pikselin adresini gösterir.

2 bitlik adresleme devresi tasarlandıktan sonra, bu devre 4 bitlik adresleme devresine genişletilmiştir. 4 bitlik adresleme devresi 2 GHz frekansına kadar çalışabilirken, 2 bitlik adresleme devresi 11.7 GHz frekans dolaylarında çalışabilmektedir. 4 bitlik adresleme devresi kullanılarak geliştirilen 16x16 piksel görüntüsü, 1MHz'lik bir çerçeve hızında okunabilir.

Anahtar Kelimeler: Süperiletken şerit çizgi dedektörleri, Tek akı kuantumu, Süperiletken elektroniği, Adresleme devresi.

ABSTRACT

Master of Science

DESIGN AND IMPLEMENTATION OF A SYNCHRONOUS ADDRESSING ARCHITECTURE FOR USING IN SUPERCONDUCTING STRIPLINE

DETECTOR MATRIX

Eren Can AYDOĞAN

TOBB University of Economics and Technology
Institute of Natural and Applied Sciences
Electrical and Electronics Engineering Science Programme

Supervisor: Assoc. Prof. Dr. Ali BOZBEY

Date: December 2017

Complementary Metal Oxide Semiconductor (CMOS) addressing circuits have some disadvantages such as operation speed and power consumption. On the other hand, Rapid Single Flux Quantum (RSFQ) technology is a promising alternative where the CMOS technology is inadequate in terms of operations speed and power consumption.

In this study, we have designed a synchronous addressing circuit to observe the responses of Superconducting Stripline Detector(SSLD) Matrix. This addressing circuit contains counter circuit, demultiplexer unit and an array of Quasi-One Junction Squids(QOSs). This comparator circuit digitalizes analog input signals and forms a logic “1” output in the presence of over-threshold current in the input of the QOS. Designed addressing architecture aims to scan incoming data to detect location of incident beam.

At first, counter circuit triggers the clocks of QOS circuits in a time-multiplexed fashion and then QOS outputs are transferred to the D-Flip-Flops (DFFs). These DFFs are clocked by demultiplexer unit at the frequency of external clock. Lastly,

outputs of DFFs are converted to serial pulse train via merger cells. At the same time, counter circuit indicates the address of the firing pixel.

After designing a 2 bit addressing circuit, we have extended it to 4 bit. 2 bit addressing circuit can operate up to 11.7 GHz while 4 bit addressing circuit can operate up to 2 GHz. 16x16 pixel image that developed using 4 bit addressing circuits can be read out at a frame rate of 1MHz.

Keywords: Superconducting strip line detectors, Single flux quantum, Superconducting electronics, Addressing circuit



TEŐEKKÜR

Tez alıŐmalarımnda bilgi, birikim ve tecrübeleriyle bana yol gsteren deęerli hocam Ali BOZBEY'e, burs saęladıęı iin TOBB Ekonomi ve Teknoloji niversitesi'ne, ilgi ve nerilerini gstermekten kaınmayan TOBB Ekonomi ve Teknoloji niversitesi Elektrik Elektronik Mhendislięi Blm ęretim yelerine, alıŐmalarıma yapmıŐ oldukları katkılarından dolayı Mustafa Eren ELİK, Sasan RAZMKHAH ve Kbra ŐENMEZ'e, arkadaşlarıma, beni bu gnlere sevgi ve sayęı kelimelerinin anlamlarını bilecek Őekilde yetiŐtirerek getiren ve benden hibir zaman desteęini esirgemeyen bu hayattaki en byk Őansım olan aileme sonsuz teŐekkrler ederim.

Yapılan alıŐmalar, 114E099 no'lu TBİTAK projesi kapsamında desteklenmiŐ olup, desteęinden dolayı TBİTAK'a teŐekkr ederim.

İÇİNDEKİLER

	<u>Sayfa</u>
ÖZET	iv
ABSTRACT	vi
TEŞEKKÜR	viii
İÇİNDEKİLER	ix
ŞEKİL LİSTESİ	xi
ÇİZELGE LİSTESİ	xiv
KISALTMALAR	xv
SEMBOLE LİSTESİ	xvi
1.GİRİŞ	1
1.1.Tezin Amacı.....	2
1.2.Süperiletkenlik	3
1.2.1.Meissner etkisi.....	7
1.2.2.Akı kuantizasyonu	8
1.2.3.Tek parçacık tünellemesi.....	9
1.2.4.Josephson etkisi	10
1.2.4.1DC Josephson etkisi.....	11
1.2.4.2AC Josephson etkisi.....	12
1.2.5.SSLD	13
1.3.Tezde Kullanılan RSFQ Mantık Kapıları	15
1.3.1.Josephson iletim hattı (JTL)	15
1.3.2.Ayrıcı devresi (SPL).....	16
1.3.3.Merger devresi.....	17
1.3.4.D flip-flop devresi (DFF)	18
1.3.5.Toggle flip-flop devresi (TFF)	19
1.3.6.Resetlenebilir toggle flip-flop devresi (RTFF).....	20
1.3.7.Tam toplayıcı devresi (T1)	21
1.3.8.Ve kapısı (AND)	23
1.3.9.Veya kapısı (OR).....	24
1.3.10.Özel veya kapısı (XOR)	24
1.3.11.DC/SFQ çevirici	26
1.3.12.SFQ/DC çevirici	26
1.4.Süperiletken Dijital Devreler	27
1.4.1.Multiplexer (Çoklayıcı) ve Demultiplexer (Azlayıcı).....	27
1.4.2.Hızlı Fourier dönüşümü (FFT)	30
1.4.3.Aritmetik mantık birimi (ALU).....	32
1.5.Tezde Kullanılan Simülatörler.....	35
1.5.1.Verilog-XL simülatörü	35
1.5.2.JSIM simülatörü	36
1.6.Tezde Kullanılan Üretim Yöntemi	37
2.TEST SİSTEMİ	41

2.1.Dijital Devre Test Sistemi.....	41
2.2.Optik Test Sistemi.....	43
3.ADRESLEME DEVRESİ TASARIMI	45
3.1.Tasarımın Amacı.....	45
3.2.Adresleme Devresi Tasarım Yapısı	46
3.3.Adresleme Devresi Girdi-Çıktı Tanımları	48
3.4.Adresleme Devresi İki Eksenli Piksel Okuma.....	53
3.5.Simülasyon Sonuçları	54
3.6.Deneysel Sonuçlar	61
4.SONUÇ VE ÖNERİLER	69
KAYNAKLAR.....	71
ÖZGEÇMİŞ.....	75



ŞEKİL LİSTESİ

Sayfa

Şekil 1.1 : Dedektör matrisi ile birleştirilmiş adresleme devresinin gösterimi	3
Şekil 1.2 : 4.2 K sıcaklığında cıvanın direnç (Ω)-sıcaklık (K) eğrisi.	4
Şekil 1.3 : Manyetik alan (H), sıcaklık (T) ve akım yoğunluğu (J) 'na bağlı olarak süperiletkenlik ve normal iletkenlik durumları.	5
Şekil 1.4 : Meissner etkisi.	7
Şekil 1.5 : (a) $T > T_c$ 'deki bir süperiletken döngü, harici bir manyetik alana yerleştirildikten sonra sıcaklık $T < T_c$ 'ye düştüğünde, manyetik akının materyalin içine nüfuz etmemesine rağmen delikten geçtiği durum, (b) manyetik alan kaldırıldıktan sonra delikten geçen manyetik akının hapsedildiğini ve indüklenen akımın materyal içinde oluşturduğu döngüyü gösteren durum	8
Şekil 1.6 : (a) İki metal arasında ince bir yalıtkan bulunduğu durumda elektron tünellemesinin akım-voltaj grafiği, (b) süperiletken ve metal arasında ince bir yalıtkan bulunduğu durumda elektron tünellemesinin akım-voltaj grafiği.	10
Şekil 1.7 : Zayıf bağlanmış iki süperiletken S_1 ve S_2 için josephson etkisi	11
Şekil 1.8 : Çok ince bir yalıtkan ile ayrılmış iki süperiletkeni içeren Josephson eklemi	12
Şekil 1.9 : Elektromanyetik alana yerleştirilmiş Josephson eklemi için bias voltajının fonksiyonu olan dc akımın grafiği.	13
Şekil 1.10 : Josephson iletim hattı şematik gösterimi.	16
Şekil 1.11 : Ayırıcı hücrenin şematik gösterimi.	17
Şekil 1.12 : Merger hücresi şematik gösterimi.	17
Şekil 1.13 : DFF hücresinin şematik gösterimi.	18
Şekil 1.14 : DFF hücresinin Moore diyagramı.	19
Şekil 1.15 : TFF hücresi şematik gösterimi.	19
Şekil 1.16 : TFF hücresinin Moore diyagramı	20
Şekil 1.17 : RTFF hücresi şematik gösterimi.	21
Şekil 1.18 : RTFF hücresinin Moore diyagramı	21
Şekil 1.19 : T1 hücresinin şematik gösterimi.	22
Şekil 1.20 : T1 hücresinin Moore diyagramı	22

Şekil 1.21 : AND hücrenin şematik gösterimi.....	23
Şekil 1.22 : AND hücrenin Moore diyagramı.	23
Şekil 1.23 : OR hücrenin şematik gösterimi.....	24
Şekil 1.24 : OR hücrenin Moore diyagramı.	24
Şekil 1.25 : XOR hücrenin şematik gösterimi.....	25
Şekil 1.26 : XOR hücrenin Moore diyagramı.....	25
Şekil 1.27 : DC/SFQ çevirici hücrenin şematik gösterimi.	26
Şekil 1.28 : SFQ/DC çevirici hücrenin şematik gösterimi.	26
Şekil 1.29 : (a) 8-bitlik ağaç dağıtımli DEMUX mimarisinin blok diyagramı, (b) 8-bitlik kaydır-boşalt DEMUX mimarisinin blok diyagramı	28
Şekil 1.30 : (a) 8-bitlik yükle-kaydır MUX mimarisinin blok diyagramı, (b) 8- bitlik ripple logic MUX mimarisinin blok diyagramı.....	29
Şekil 1.31 : 8 noktalı FFT devresinin akış şeması.....	31
Şekil 1.32 : FFT devresinin blok diyagramı	31
Şekil 1.33 : Kelebek işleminin veri-akış şeması.	32
Şekil 1.34 : 4-bit'lik bit-slice ALU mimarisinin RSFQ mantık tasarımı	33
Şekil 1.35 : AND hücrenin Verilog-XL simülasyonu.	36
Şekil 1.36 : AND hücrenin netlist gösterimi.	37
Şekil 1.37 : AND hücrenin JSIM simülasyonu.	37
Şekil 1.38: AIST-STP2 üretim yöntemi kullanılarak üretilen katmanların yandan gösterimi.	39
Şekil 2.1 : Dijital devre test sisteminin blok diyagramı.	42
Şekil 2.2 : Optik test sisteminin blok diyagramı.	43
Şekil 3.1 : 2-Bit adresleme devresi blok diyagramı.	45
Şekil 3.2 : 4-Bit adresleme devresi blok diyagramı.	47
Şekil 3.3 : 2-Bit adresleme devresinin şematik gösterimi.....	49
Şekil 3.4 : 2-Bit adresleme devresinin yonga üzerindeki görüntüsü.....	49
Şekil 3.5 : 4-Bit adresleme devresinin şematik gösterimi.....	52
Şekil 3.6 : 4-Bit adresleme devresinin yonga üzerindeki görüntüsü.....	53
Şekil 3.7 : Ön okuma devreleri ile birleştirilmiş 2-Bit adresleme devrelerinin yonga üzerindeki matris görünümü.	54
Şekil 3.8 : 2-Bit sayaç devresinin şematik gösterimi.	55
Şekil 3.9 : 2-Bit sayaç devresinin yonga üzerindeki gösterimi.	55
Şekil 3.10 : 2-Bit sayaç devresinin Verilog-XL simülasyonu.....	56
Şekil 3.11 : 2-Bit sayaç devresinin JSIM simülasyonu.....	56

Şekil 3.12 : 4-Bit sayaç devresinin şematik gösterimi.	57
Şekil 3.13 : 4-Bit sayaç devresinin yonga üzerindeki gösterimi.	58
Şekil 3.14 : 4-Bit sayaç devresinin JSIM simülasyonu.	58
Şekil 3.15 : 4-Bit sayaç devresinin Verilog-XL simülasyonu.	59
Şekil 3.16: 2-Bit adresleme devresinin JSIM simülasyonu.	59
Şekil 3.17 : 2-Bit adresleme devresinin Verilog-XL simülasyonu.	60
Şekil 3.18 : 4-Bit adresleme devresinin Verilog-XL simülasyonu.	60
Şekil 3.19 : 4-Bit adresleme devresinin JSIM simülasyonu.	60
Şekil 3.20 : 2-Bit adresleme devresinin dijital deney sonucu.	61
Şekil 3.21 : Lazer uygulanmadığı durumda ön okuma devreleri ile birleştirilmiş 2- Bit adresleme devresinin deney sonucu.	62
Şekil 3.22 : Ön okuma devresi 0'ın SSLD şeritlerine lazer uygulandığında 2-Bit adresleme devresinin deney sonucu	63
Şekil 3.23 : Ön okuma devresi 1'in SSLD şeritlerine lazer uygulandığında 2-Bit adresleme devresinin deney sonucu	64
Şekil 3.24 : Ön okuma devresi 2'nin SSLD şeritlerine lazer uygulandığında 2-Bit adresleme devresinin deney sonucu	65
Şekil 3.25 : Ön okuma devresi 3'ün SSLD şeritlerine lazer uygulandığında 2-Bit adresleme devresinin deney sonucu	66
Şekil 3.26 : Ön okuma devreleri ile birleştirilmiş 4-Bit'lik adresleme devrelerinin oluşturduğu 100 piksellik matrisin görünümü.	67

ÇİZELGE LİSTESİ

	<u>Sayfa</u>
Çizelge 1.1 : ALU komutları.....	34
Çizelge 1.2 : ALU işlemlerine karşılık gelen Boolean fonksiyonları.	34
Çizelge 1.3 : AIST-STP2 için katman açıklamaları.....	38
Çizelge 3.1 : 2-bit adresleme devresi doğruluk tablosu.	48
Çizelge 3.2 : 4-bit adresleme devresi doğruluk tablosu.	51

KISALTMALAR

ALU	: Aritmetik Mantık Birimi
CB	: Merger Hücresi
CLK	: Clock (Saat Darbesi)
DC	: Direct Current (Doğru Akım)
DFF	: D Flip Flop (Delay Flip Flop) Hücresi
H_c	: Critical Magnetic Field (Kritik Manyetik Alan)
I_B	: Bias Current (Besleme Akımı)
I_c	: Critical Current (Kritik Akım)
JJ	: Josephson Junction (Josephson Eklemleri)
JTL	: Josephson Transmission Line (Josephson İletim Hattı)
LPF	: Low Pass Filter (Alçak Geçirgen Filtre)
ÖOD	: Ön Okuma Devresi
RSFQ	: Rapid Single Flux Quantum (Hızlı Tek Akı Kuantumu)
QOS	: Quasi One Junction SQUID (Tek Eklemleri SQUID Benzeri Devre)
SFQ	: Single Flux Quantum (Tek Akı Kuantumu)
SPL	: Splitter (Ayrıcı) Hücresi
SSLD	: Superconducting Stripline Detector (Süperiletken Şeritçizgi Dedektörü)
SQUID	: Superconducting Quantum Interference Device
T_c	: Critical Temperature (Kritik Sıcaklık)

SEMBOL LİSTESİ

Bu çalışmada kullanılmış olan simgeler açıklamaları ile birlikte aşağıda sunulmuştur.

Simgeler

Açıklama

A	Akım Birimi (Ampere)
e	Elektron Yüğü
f	Frekans
L	İndüktans
n	Nano
p	Piko
μ	Mikro
m	Mili
m	Metre
Φ	Akı Kuantası
\hbar	Plank sabiti
δ	İki Süperiletken Katmandaki Elektrotların Faz Farkı
Ψ	Makroskopik Dalga fonksiyonu Sembolü
I	Akım
s	Saniye
t	Zaman
T	Sıcaklık
V	Potansiyel Fark (Voltaj)
x	Yatay Koordinat Ekseni
y	Dikey Koordinat Ekseni
τ	Dalganın Sönümlenme Zaman Sabiti

1. GİRİŞ

Dijital elektroniğin temel amacı ikili sinyalleri işlemek ve depolamaktır. Dijital teknolojilerde bitlerin depolanabilmesi için gerekli olan iki basit devre elemanı, hızlı bir anahtarlama cihazı ve hafıza elemanıdır. Yarı iletken dijital elektroniğinde transistör anahtarlama görevini yaparken, hafıza elemanı olarak da genellikle kapasitör kullanılmaktadır. Süperiletken dijital elektroniğinde ise anahtarlama Josephson eklemi tarafından yapılırken, hafıza elemanı olarak manyetik akının depolandığı indüktör-Josephson eklem halkası kullanılmaktadır [1]. Yarı iletken elektroniği ile karşılaştırıldığında süperiletken dijital elektroniğinin en büyük avantajı düşük güç tüketimi ve yüksek çalışma hızıdır. Tek akı kuantum (Single Flux Quantum, SFQ) devre teknolojisi, birkaç yüz GHz çalışma hızına erişebilmektedir. Bu özelliklere sahip SFQ teknolojisi, yüksek performanslı bilgisayar gibi yüksek hızda çalışan dijital sistemlerin uygulanmasına olanak sağlamaktadır [2] [3].

Günümüzde, süperiletken dijital devrelerin uygulama alanları hala gelişme aşamasındadır. Çünkü analog devrelere oranla dijital devrelerin uygulanması için çok daha gelişmiş teknoloji gerekmektedir. Bu gereksinimlere rağmen süperiletken dijital devre teknolojisi, süperiletken kuantum girişim aygıtı (SQUID) ve mikser gibi aygıtların oluşturulmasında etkin biçimde kullanılmaktadır [1].

Süperiletken dedektör tabanlı sistemlerde en büyük zorluklardan birisi dedektör matrisindeki piksel sayısının artırılmasıdır. Standart fabrikasyon sürecine uygun bir şekilde yapılan tasarımlar, dedektör ve adresleme devresinin aynı yonga üzerinde monolitik olarak birleştirilmesini mümkün kılmaktadır. DC kutuplama akımına sahip SSLD'lerin SFQ tabanlı adresleme devresi ile birleştirilmesi, yarı iletken teknoloji tabanlı devrelerdeki entegrasyon seviyelerine ulaşılmasına olanak sağlamaktadır. SSLD'ler SFQ okuma teknolojisi ile birleştirildiğinde megapiksel çözünürlüğe kadar ulaşabilen çok pikseli uygulamalar için kullanılabilir [4].

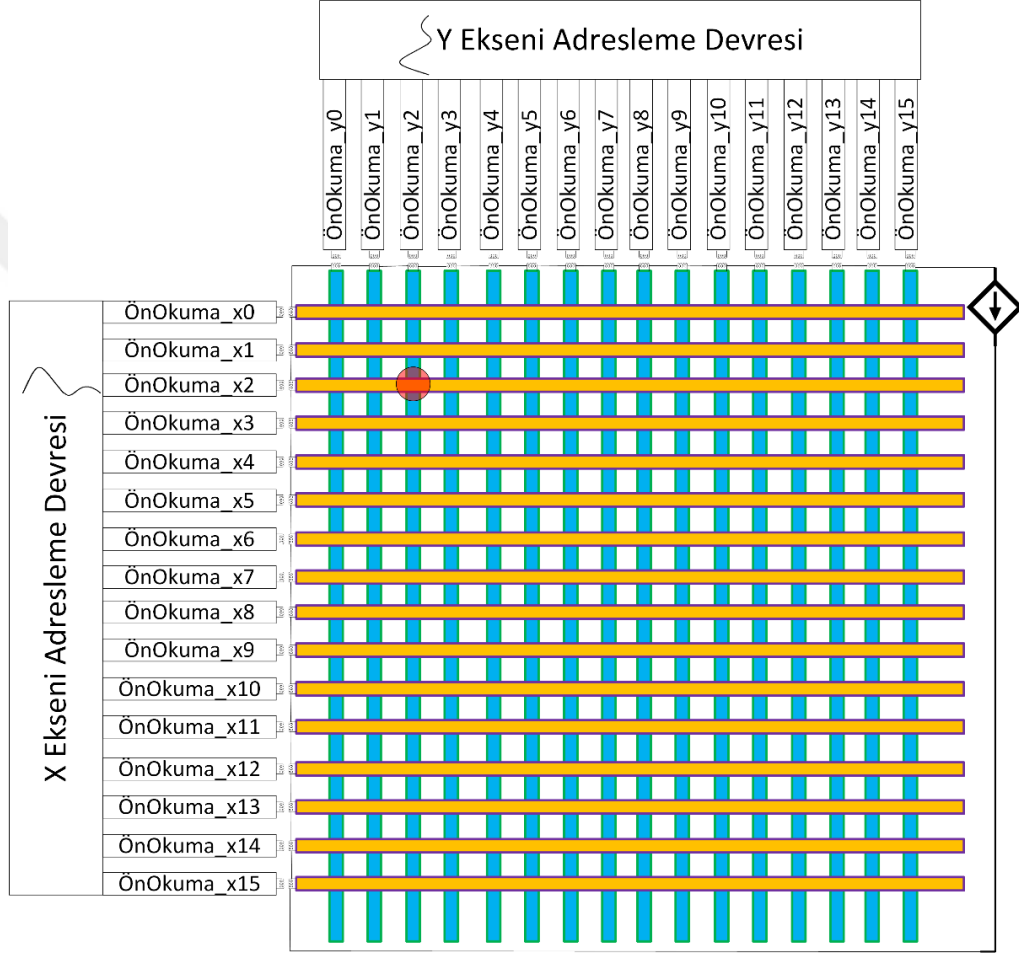
Sonuç olarak SFQ tabanlı çok büyük ölçekli entegre (Very-Large-Scale Integration) devreleri üretebilmek için fabrikasyon sürecinde ilerleme kaydedilmesi gerekliliğinin

yanı sıra devrelerin tasarımında hücre tabanlı tasarım metodu kullanıldığından, standart hücre kütüphanesinin de geliştirilmesi gerekmektedir. Özelliklerden biri de kritik sıcaklık değerlerinin uyumluluk göstermesidir. Aynı yonga üzerinde üretilmesi hedeflenen süperiletken yapıların çalışma sıcaklık değerlerinin ve çalışma mekanizmalarının uygunluk gösteriyor olması gereklidir. Böylece entegre devrelerin üretilmesi ve birleştirilerek kullanılabilmesi aynı yonga üzerinde sağlanabilmektedir.

1.1. Tezin Amacı

Yüksek çözünürlükte işlem gerçekleştirebilen görüntü sensörlerine uzay uygulamalarında, kanser tanısının yapılması aşamasında ve endüstriyel uygulamalarda sıklıkla rastlanmaktadır. Görüntü sensörleri için yüksek hassasiyetli ışınım algılama birimlerine ihtiyaç duyulmaktadır. Bu amaçla süperiletken ışınım dedektörleri kullanılmakta ve düşük enerjili parçacıkların algılanması sağlanmaktadır. Süperiletken ışınım dedektörlerinde ışınım kaynaklı oluşan tepkiler ön-okuma devreleri ile dijital sinyallere dönüştürülürler. Süperiletken Işınım dedektörlerinde ~2-3ps de sönmülenen SFQ darbeleri tepki sinyali olarak ön-okuma devrelerinin çıktısı olmaktadır. Her ön-okuma devresinin bir dedektör şeritine bağlı olduğu durumda 1000x1000 dedektör matrisi için 2000 adet ön-okuma devresi çıkısının ~ps mertebelerinde takip edilmesi gerekmektedir. Küçük ölçekli ışınım dedektörlerinde çıkış sinyallerinin takip edilmesi ve ışınımın düştüğü bölgenin anlaşılması mümkündür. Ancak büyük ölçekli ve çok sayıda piksel içeren ışınım dedektörlerinde, ışınım düşen pikselin tepkisinin takip edilmesi oldukça zordur. Bu durumda matris görünümü bir ışınım dedektörü çıkışında, ışınım yerini belirleyebilmek amacı ile adresleme devrelerine ihtiyaç duyulmuştur. Tez kapsamında gerçekleştirilen çalışmalarda, SSLD (Süperiletken Şerit-çizgi Dedektörleri, Superconducting Strip Line Detectors) dedektör matrisleri için dijital adresleme devresi tasarımı gerçekleştirilmiştir. Genel çalışma mantığında SSLD şeritleri üzerine düşen foton, elektron, iyon gibi düşük enerjili parçacıklar ışımaya neden olarak süperiletken şerit üzerinde kinetik indüktans değişimine bağlı olarak voltaj oluşturmaktadır. Ön okuma devresine eşleşmiş bobinler aracılığı ile aktarılan tepki sinyalinin belirli bir eşik değeri üzerinde bulunması ile eklemlerin anahtarlanması sonucu ön okuma devresi çıktı oluşturur. Bu çıktı dijital devrelerde

işlenebilecek karakteristik SFQ darbesidir ve tasarlanan adresleme devresi bu çıktıyı işleyerek matris içerisinde yer alan dedektör şeritlerinden hangisinin üzerine ışınım düştüğüne ait olan lokasyon verisini üretir. Genel çalışma mantığının tüm dedektör matrisi ile beraber gösterimi Şekil 1.1’de paylaşılmıştır. Tasarımı tamamlanan adresleme devresi, Advance Institute of Science and Technology (AIST) tarafından STP2 teknolojisi ile üretilmiştir [5]. Üretimi tamamlanan dijital adresleme devreleri SSLD dedektör şeritleri ile birleştirilerek lazer ışınımı altında test edilmiştir.



Şekil 1.1 : Dedektör matrisi ile birleştirilmiş adresleme devresinin gösterimi.

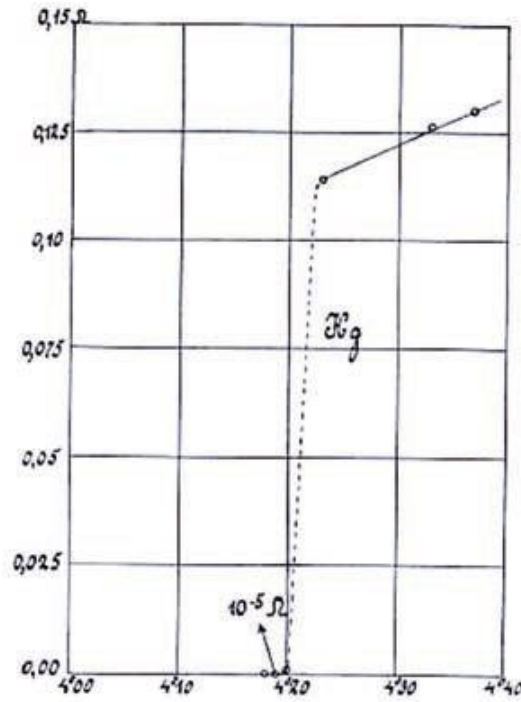
1.2. Süperiletkenlik

Bazı metalik elementler, bileşikler ve alaşımlar sıcaklık sıfıra yaklaştığında faz dönüşümü geçirirler. Heike Kamerling Onnes 10 Temmuz 1908 tarihinde 25 yıllık çalışmalarıyla helyumu sıvılaştırarak düşük sıcaklık fiziğinde yeni bir çalışma alanı başlattı. Onnes 1911 yılında geçiş sıcaklık değerlerinde ani bir direnç kaybı olduğunu

gözlemledi. Bu ani direnç değişimiyle Onnes'in "süperiletkenlik" adını verdiği yeni ve beklenmedik bir fenomen ortaya çıkmış oldu.

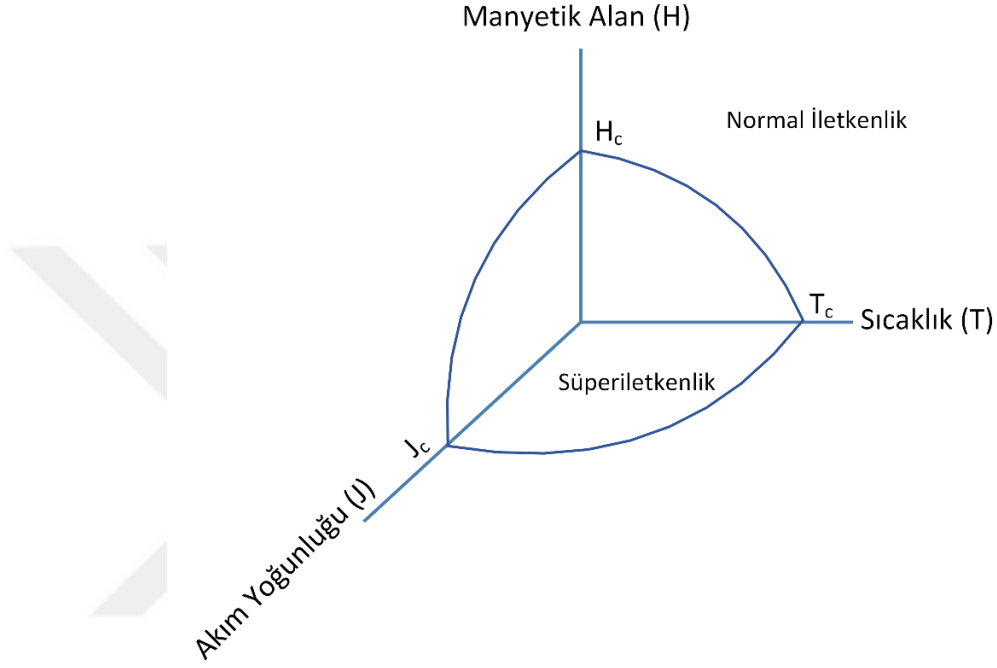
Şekil 1.2'de görüldüğü üzere yaklaşık 4.2 K sıcaklıktan 0.02 K sıcaklık değişimiyle, direnç ölçülemeyecek kadar küçük bir değerden ($10^{-5} \Omega$ 'dan küçük) 0.1 Ω 'a kadar değişim göstermektedir. Buda belirli bir sıcaklık değerinin altında (kritik sıcaklık) süperiletkenlerin direncinin sıfır olduğunu işaret etmektedir. Heike Kamerling Onnes yaptığı araştırmalar sonrasında 1913 yılında Nobel ödülünü kazanmıştır. Sonraki on yıllar boyunca başka özellikler de keşfedilerek süperiletkenliğin daha iyi anlaşılması sağlandı. Bunun yanısıra daha yüksek geçiş sıcaklık değerine sahip olan (23 K'e kadar) çok sayıda materyal bulundu. Sıfır direnç özelliğinin yanı sıra süperiletken durumundaki materyaller manyetik alanı dışarlama, yarı iletkenlerdeki gibi enerji emilim prensibi ve süperiletkenler arasındaki zayıf bağlanmış eklemlerin göze çarpan davranışı gibi özelliklere sahiptirler [6].

Süperiletkenler herhangi bir ısı üretimi olmadan akım taşıyabildiğinden, ilk uygulama olarak güçlü mıknatısların yapılması uygun görüldü. Ancak yapılan araştırmalar sonrasında az miktardaki manyetik alanın, civa, kalay ve kurşun gibi materyallerde süperiletkenliği yok ettiği gözlemlendi.



Şekil 1.2 : 4.2 K sıcaklığında cıvanın direnç (Ω)-sıcaklık (K) eğrisi [7].

Herhangi bir materyaldeki süperiletkenliğin hangi koşullarda mevcut olduğu Şekil 1.3'deki gibi bir diyagram ile gösterilebilir. Eksenler manyetik alan, sıcaklık ve akım yoğunluğudur. Şekil 1.3'deki eğimli yüzeyler süperiletken ve normal iletken durumuna geçişi temsil etmektedir. Bu eğimli yüzeylerin eksenlerle kesişim noktaları kritik manyetik alan (H_c), kritik sıcaklık (T_c) ve kritik akım yoğunluğu (J_c) olarak adlandırılmaktadır.



Şekil 1.3 : Manyetik alan (H), sıcaklık (T) ve akım yoğunluğu (J) 'na bağlı olarak süperiletkenlik ve normal iletkenlik durumları.

1911 yılından bu yana yapılan araştırmalar ile Şekil 1.3'de verilen diyagramdaki süperiletken durumun kapsadığı alanın genişletilmesi hedeflenmektedir.

1933 yılında Walther Hans Meissner ve Robert Ochsenfeld süperiletkenlerin manyetik davranışlarını araştırırken bazı süperiletken materyallerin, manyetik alanın varlığında ve kritik sıcaklık değerinin altında manyetik akıyı dışarıladığını keşfettiler. Bu durum güçlü diamanyetizma olarak bilinir ve günümüzde “Meissner Effect” yani Meissner etkisi olarak adlandırılır.

1935 yılında London kardeşler olarak bilinen Fritz ve Heinz London, Maxwell denklemlerini tamamlayarak Meissner etkisini tanımlayan bir dizi elektrodinamik denklem geliştirdiler. Bu denklemler sayesinde manyetik alanın bir süperiletken materyale nüfuz edebileceği maksimum derinlik olan London nüfuz derinliği (Λ_L)

ortaya çıkarılmış ve Denklem (1.1)' de verilmiştir. Bu denklemde n süperiletken elektron yoğunluğunu temsil etmektedir [8].

$$\Lambda_L = \sqrt{\frac{mc^2}{4\pi n_s e^2}} \quad (1.1)$$

1957 yılında süperiletkenliğin anlaşılmasında yaygın olarak kabul gören ilk teorik çalışma, John Bardeen, Leon Cooper ve John Schrieffer tarafından gerçekleştirilmiştir. Bu teori elementler ve basit alaşımları için mutlak sıfıra yakın sıcaklıklarda süperiletkenliği açıklamıştır. BCS teorisi olarak bilinen bu teori ile 1972 yılında Bardeen, Cooper ve Schrieffer Nobel ödülü almışlardır. Bununla birlikte daha yüksek sıcaklıklarda ve değişik süperiletken sistemlerde BCS teorisi süperiletkenliğin nasıl oluştuğunu açıklamada yetersiz kalmıştır.

Bir başka önemli teorik araştırma 1962 yılında Brian D. Josephson tarafından gerçekleştirilmiştir. Josephson bu çalışmasında elektrik akımının, süperiletken olmayan ve ya yalıtkan bir malzeme ile ayrılmıştır olsa bile iki süperiletken madde arasında akacağını öngörmüştür. Bu öngörüsü sonradan doğrulanmış ve 1973 yılında Nobel ödülü kazanmasını sağlamıştır. Josephson etkisi olarak adlandırılan bu çalışma, tezin içeriğini oluşturan hızlı tek akı kuantumu tabanlı devrelerde ve en zayıf manyetik alanları bile algılayabilen SQUID gibi elektronik cihazlara uygulanmıştır.

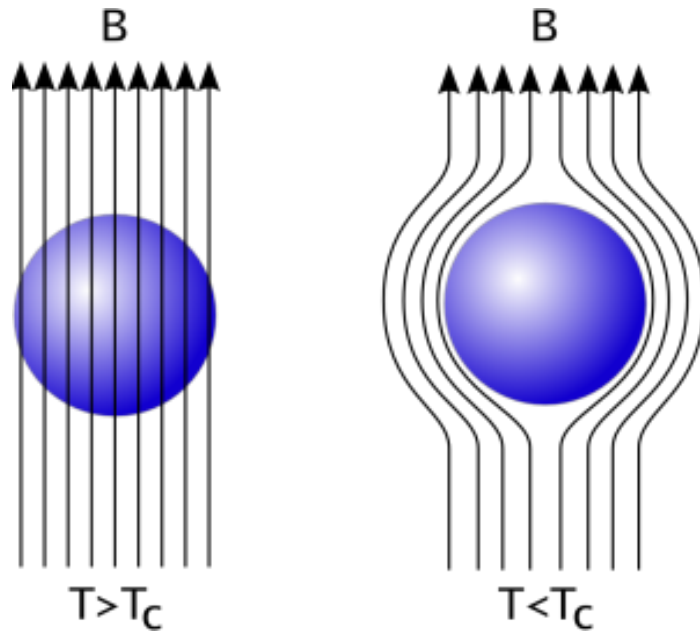
1986 yılında süperiletkenlik alanında büyük bir ilerleme kaydedildi. Bu zamana kadar süperiletkenler için bilinen en yüksek kritik sıcaklık değeri Niyobyum ve Germanyum bileşiğinde 23 K' di. Alex Müller ve Georg Bednorz süperiletkenler için bilinen en yüksek kritik sıcaklık değerini yükselterek 30 K' de seramik bir bileşik oluşturdular. Seramiklerin normalde yalıtkan olması ve elektriği iyi bir şekilde iletmemeleri bu buluşun ilgi çekici olmasını sağlamıştır. Alex Müller ve Georg Bednorz' un keşfettikleri Lantanum, Bakır, Baryum ve Oksijen bileşiği tahmin edilemeyen bir biçimde davranış göstermiştir. Bu ilk süperiletken bakır oksit bileşimi ile 1987 yılında Müller ve Bednorz Nobel ödülünü kazanmışlardır. Daha sonra bu materyalin, eklenen kurşun elementi sayesinde 58 K' de süperiletken özellik gösterdiği farkedilmiştir. Bu gelişmeyle beraber yapılan keşif daha kayda değer hale gelmiştir [9].

1.2.1. Meissner etkisi

Meissner ve Ochsenfeld'in yapmış olduğu arařtırmalar süperiletkenliđin gelişmesinde önemli bir yere sahiptir. Yapmış oldukları deneyde sıcaklık kritik sıcaklık değeriinden büyük iken ($T > T_c$) kurşun örneđini zayıf bir manyetik alana tabi tuttuktan sonra sıcaklıđı azaltarak kurşunu süperiletken duruma geçirmişlerdir. Deneyi yaptıkları sırada Meissner ve Ochsenfeld süperiletkenlerin yalnızca mükemmel iletken olduklarını düşünüyorlardı. Mükemmel iletkenlerin manyetik akıyı hapsedmesi ve manyetik alan ortadan kaldırıldıktan sonra kurşunun içinde manyetik akı bırakması beklenmekteydi [10].

Şekil 1.4'de süperiletken materyallerin, sıcaklıđın kritik sıcaklık değeriinden büyük olduđu durumda ($T > T_c$) manyetik alanı geçirdiđi ve sıcaklıđın kritik sıcaklık değeriinden küçük olduđu durumda ($T < T_c$) manyetik alanı dışarladıđı görölmektedir.

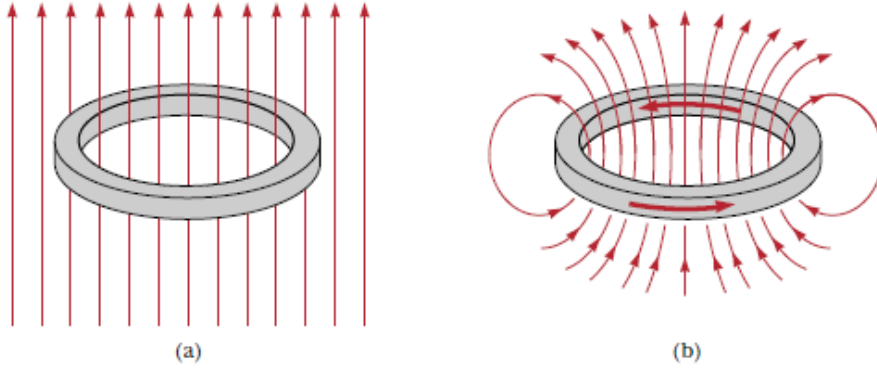
Sonuç olarak bir süperiletken materyalin yüzeyindeki ince bir tabaka haricinde mükemmel şekilde diamanyetik olduđu sonucuna varılmıştır. Daha sonra süperiletkenlerdeki manyetik indüksiyonun aynı mükemmel iletkenlerdeki indüksiyon gibi deđişim gösterdiđi anlaşılmıştır. Bu nedenle yüzeyden yaklaşık 100nm uzaklařıldıđında indüksiyon önemli miktarda azalma göstermektedir. Bu sayede Meissner etkisi London teoreminin formöl haline getirilmesinde büyük öneme sahiptir [6].



Şekil 1.4 : Meissner etkisi [11].

1.2.2. Akı kuantizasyonu

Süperiletkenlerdeki manyetik akı dışarlama olgusu ancak deliksiz veya eşdeğer nesnelere için geçerlidir. Bununla birlikte bir süperiletken halka manyetik alana yerleştirildikten sonra manyetik alan kaldırılırsa, Şekil 1.5’de gösterildiği gibi manyetik akı çizgileri hapsedilir ve kalıcı dolaşan akım tarafından korunur.



Şekil 1.5 : (a) $T > T_c$ 'deki bir süperiletken döngü, harici bir manyetik alana yerleştirildikten sonra sıcaklık $T < T_c$ 'ye düştüğünde, manyetik akının materyalin içine nüfuz etmemesine rağmen delikten geçtiği durum, (b) manyetik alan kaldırıldıktan sonra delikten geçen manyetik akının hapsedildiğini ve indüklenen akımın materyal içinde oluşturduğu döngüyü gösteren durum [12].

Bu durum göze alındığında süperiletkenliğin aslında bir kuantum olayı olduğunu anlayan Fritz London hapsedilen manyetik akının h/e birimiyle nicelenmesi gerektiğini öne sürdü (Paydadaki elektronik yük e , London'ın kalıcı akımın tekli elektronlar tarafından taşındığını düşünmesinden dolayı ortaya çıkmıştır). Çok küçük içi boş süperiletken silindireliler üzerinde yapılan hassas ölçümler sonrasında, ölçülen akı kuantumunun London tarafından varsayılan değer yarısı olduğu ortaya çıkmıştır. Bu da Denklem 1.2' de gösterilen manyetik akının (Φ) h/e ile değil $h/2e$ birimiyle nicelenmesi gerektiğini göstermiştir. Bu denklemde e elektronik yükü, h plank sabitini, Φ_0 ise manyetik akı kuantasını ifade etmektedir.

$$\Phi = \frac{nh}{2e} = n\Phi_0 \quad (1.2)$$

Burada n bir tam sayıdır ve yerine yazılırsa Denklem 1.3' de verilen manyetik akı kuantumu elde edilebilir [12].

$$\Phi_0 = \frac{h}{2e} = 2.0679 \times 10^{-15} \text{ T.m}^2 \quad (1.3)$$

1.2.3. Tek parçacık tünellemesi

Fizikte bir bariyeri aşmak için gerekli enerjisi olmayan parçacığın bariyerin içine nüfuz etmesi tünelleme olarak adlandırılmaktadır. Süperiletkenlerdeki enerji boşluğu (energy gap), tek parçacık tünelleme deneyleri (normal elektronları içeren) ile ölçülebilir. Kuantum mekaniğindeki tünelleme, bariyeri aşması için gerekli olan enerjiye sahip olmayan parçacığın bariyeri aşmasına ve içeri nüfuz etmesine olanak sağlamaktadır. İki metal yalıtkan bir madde ile ayrılmışsa, yalıtkan madde iki metal arasındaki elektron hareketine karşı bariyer görevi görmektedir. Eğer yalıtkan maddenin kalınlığı 2nm'den küçükse, zayıf bir olasılıkla elektronlar metallerin arasında tünelleme yapabilirler.

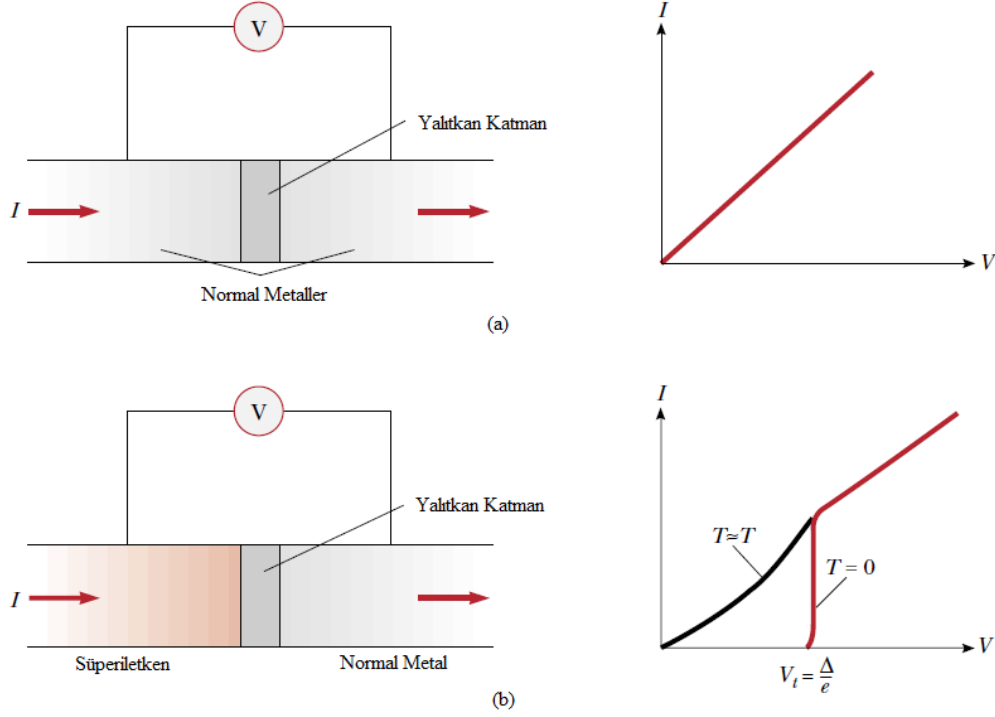
Şekil 1.6a'da gösterildiği üzere iki normal metal arasına ince bir yalıtkan yerleştirilmiştir. Eğer iki metal arasına potansiyel fark (V) uygulanırsa elektronlar bir metalden diğerine geçebilir ve bir akım oluşur. Uygulanan küçük voltaj değerleri için akım-voltaj ilişkisi lineerdir çünkü eklem Ohm yasasına uygun davranmaktadır. Bununla birlikte Şekil 1.6b'deki gibi metallerden biri süperiletken materyal ile değiştirilirse ve sıcaklık, kritik sıcaklık değerinden küçük bir değerde tutulursa beklenmedik bir durumla karşılaşmaktadır. Bu durumda potansiyel fark arttırılırken Denklem 1.4'deki eşitliği sağlayacak şekilde belirli bir eşik değerinin üzerine çıkana kadar hiçbir akım gözlemlenmez. Voltaj kaynağı Cooper çiftini kırdıktan sonra elektronu serbest bırakacak enerjiyi sağlamaktadır. Tek parçacık tünellemesinde gereken enerji bir çiftin bağlanma enerjisinin (2Δ) yarısı kadardır.

$$V_t = \frac{E_g}{2e} = \frac{\Delta}{e} \quad (1.4)$$

Sonuç olarak Denklem 1.5'deki gibi potansiyel fark, enerji boşluğu (E_g) 'nun yarısından büyükse normal metal ve süperiletken materyal arasında tünelleme gerçekleşir.

$$eV \geq 0.5E_g \quad (1.5)$$

Tek parçacık tünellemesi enerji boşluğunun deneysel olarak ölçülmesini sağlar. Şekil 1.6b'de verilen I-V grafiği bu eklem için doğrusal olmayan ilişkiyi göstermektedir. Bunun nedeni ise sıcaklık T_c 'ye yaklaştıkça termal olarak uyarılan elektronların kombinasyonu ve enerji boşluğundaki azalmadan dolayı, enerji boşluğunun eşik değerinden küçük voltajlarda tünelleme akımı oluşmasıdır [12].



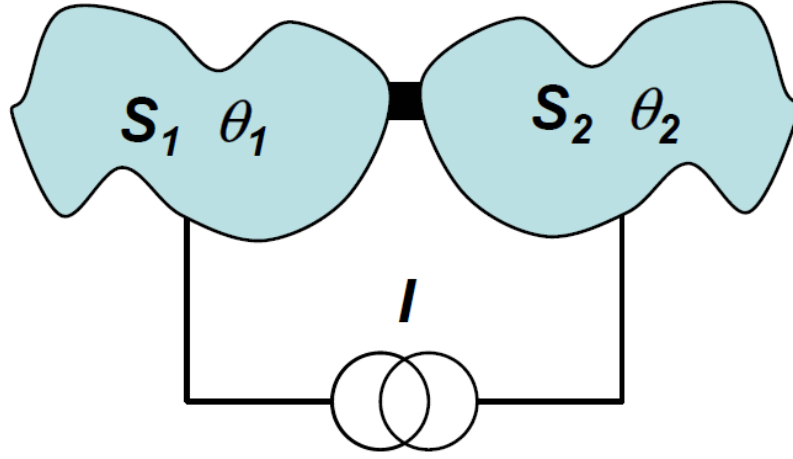
Şekil 1.6 : (a) İki metal arasında ince bir yalıtkan bulunduğu durumda elektron tünellemesinin akım-voltaj grafiği, (b) süperiletken ve metal arasında ince bir yalıtkan bulunduğu durumda elektron tünellemesinin akım-voltaj grafiği [12].

1.2.4. Josephson etkisi

Josephson etkisi günümüzde süperiletken elektroniği, sensörler ve yüksek frekanslı aygıtlarda kullanılmaktadır. İki süperiletken zayıf bir şekilde elektriksel olarak bağlansa Josephson etkisi gözlemlenir. Bu bağlantıya verilecek önemli örnekler, tünelleme bariyerleri ve iki süperiletken elektrotu birbirine bağlayan normal iletken katmanlardır. Bir diğer bağlantı örneği ise Josephson eklemidir. Josephson sadece süperiletken-yalıtkan-süperiletken (superconductor-insulator-superconductor, SIS) eklemlerini göz önünde bulundurmıştır.

Normal metal-yalıtkan-normal metal (normal metal-insulator-normal metal, NIN) tünelleme eklemi için normal elektronlar yeteri kadar ince tünelleme bariyerlerini tünelledebilmektedir. Şekil 1.7’de verilen aynı iki süperiletkenin SIS bağlantılarını incelersek, sıfır sıcaklıktaki bir SIS tünelleme eklemine artık Fermi seviyesindeki normal elektronlar bulunmamaktadır. Bu nedenle, uygulanan voltaj enerji boşluğu

voltajının iki katından ($2\Delta/e$) küçükse herhangi bir tünelleme akımı oluşmamaktadır. Eğer uygulanan voltaj enerji boşluğu voltajının iki katından büyükse Cooper çiftleri kırılıp normal elektronlara ayrılabilir ve bu elektronlar bariyeri tünelleleyebilir.



Şekil 1.7 : Zayıf bağlanmış iki süperiletken S₁ ve S₂ için josephson etkisi [1].

1.2.4.1 DC Josephson etkisi

Şekil 1.8'de iki süperiletken yaklaşık 1-2 nm kalınlığındaki ince oksit bir katman ile ayrılmıştır. Bu yapılandırmaya Josephson eklemi adı verilmektedir. Herhangi bir elektrik veya manyetik alan olmadan dc akımın eklem boyunca akmasına ise DC Josephson etkisi denir. Belirli bir süperiletkende çiftler Denklem 1.6'da verilen dalga fonksiyonuyla temsil edilebilir. Bu denklemde θ fazı temsil etmektedir ve her çift için aynıdır.

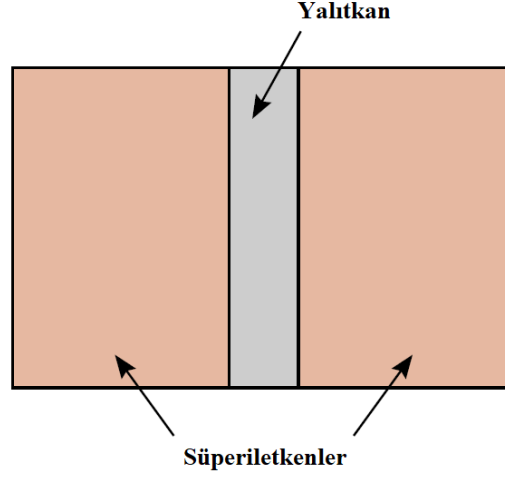
$$\psi = \psi_0 e^{i\theta} \quad (1.6)$$

Josephson, herhangi bir voltaj uygulanmadığında eklemde bir süper akım meydana gelebileceğini göstermiştir. Şekil 1.8'de solda yer alan süperiletkenin fazı θ_1 ve sağda yer alan süperiletkenin fazı θ_2 olursa, Denklem 1.7'de verilen dc Josephson denklemi elde edilmektedir.

$$I_s = I_{\max} \sin(\theta_2 - \theta_1) = I_{\max} \sin\delta \quad (1.7)$$

Bu denklemde I_{\max} herhangi bir voltaj uygulanmadığında eklem üzerinden geçebilecek maksimum akımı temsil etmektedir. I_{\max} değeri her süperiletken-oksit

arayüzünün yüzey alanına bağlıdır ve oksit katmanın kalınlığına bağlı olarak eksponansiyel biçimde azalır [12].



Şekil 1.8 : Çok ince bir yalıtkan ile ayrılmış iki süperiletkeni içeren Josephson eklemi [12].

Rowell ve Anderson DC Josephson etkisinin deneysel gösterimini 1963 yılında gerçekleştirmişlerdir ve bu tarihten itibaren Josephson'ın teorik tahminlerinin tamamı doğrulanmıştır [13].

1.2.4.2 AC Josephson etkisi

Eklem üzerine uygulanan dc voltaj, eklem üzerinde rf akım osilasyonlarına neden olur. Bu durum AC Josephson etkisi olarak tanımlanmıştır. Ayrıca dc voltajla beraber uygulanan rf voltajı eklem üzerinde dc akım oluşmasına da neden olabilir.

Josephson eklemine üzerine uygulanan voltajın oluşturduğu alternatif akımın denklemi Denklem 1.8'de gösterilmiştir.

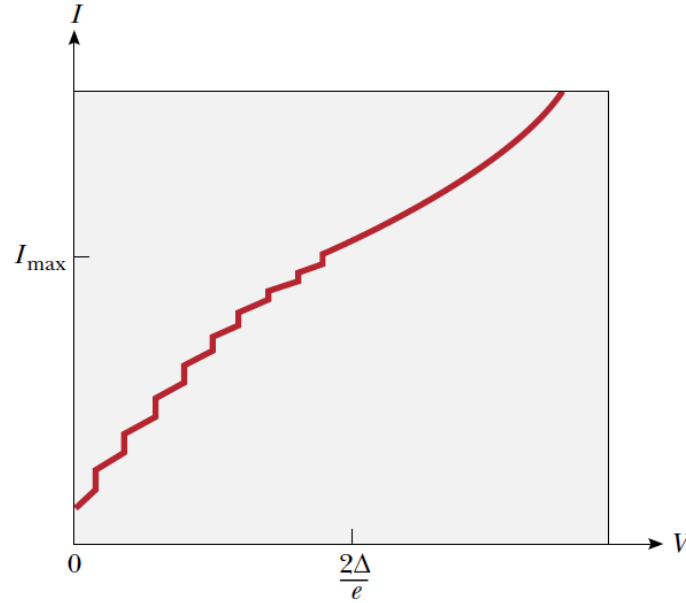
$$I = I_{\max} \sin(\delta + 2\pi ft) \quad (1.8)$$

Denklem 1.8'de δ , $t=0$ 'daki faza eşit bir sabittir ve Josephson akımının frekansı (f) Denklem 1.9'da verilmiştir.

$$f = \frac{2eV}{h} \quad (1.9)$$

Örneğin $1\mu\text{V}$ 'luk bir dc voltaj 483.6 MHz 'lik bir akım frekansı oluşturur. Denklem 1.9'da verilen frekans ve voltajın hassas bir şekilde ölçülmesi e/h oranının mükemmel bir hassasiyetle elde edilmesini sağlamıştır.

AC Josephson etkisi farklı şekillerde gösterilebilir. Yöntemlerden biri Josephson eklemine DC voltaj uygulandıktan sonra Josephson eklemi tarafından oluşturulan elektromanyetik ışınımın gözlemlenmesidir. Bir diğer yöntem ise Josephson eklemine f' frekansına sahip harici bir ışınım ile ışınlamaktır. Bu yöntemde voltaj değerleri Josephson frekansına denk geldiğinde oluşan basamaklar, Şekil 1.9'da verilen doğru akım-voltaj grafiğinde gösterilmiştir. Josephson eklemının iki kenarı farklı kuantum durumlarında bulunduğundan eklem, iki durum arasında geçişi sırasında ışınımı emen veya yayan bir atom gibi davranır.



Şekil 1.9 : Elektromanyetik alana yerleştirilmiş Josephson eklemi için bias voltajının fonksiyonu olan dc akımın grafiği [12].

1.2.5. SSLD

Kriyojenik dedektörler son derece hassastırlar ve oldukça geniş uygulama alanına sahiptirler. Ancak bu dedektörlerin modern kamera gibi büyük dizilere entegre edilmesi oldukça zordur. Kriyojenik dedektörler arasında süperiletken dedektörler ilgi çekicidir çünkü süperiletken dedektörler litografik örüntüleme ve ince film bırakım teknikleri sayesinde büyük diziler oluşturmada kullanılabilirler [14]. Bu dedektörlerden süperiletken şeritçizgi dedektörü, düşük enerjili ($E < 1\text{eV}$)

parçacıkların algılanmasında kullanılmaktadır. Tez çalışmasında kullanılan SSLD'ler 2.8cm uzunluğa, 0.7µm genişliğe sahiptirler. Kalınlıkları 400 ve 500nm olarak değişen SSLD'ler , deney sırasında süperiletken geçiş sıcaklığının altında bir değere kadar soğutulur (~4K) [15]. Tek foton ve tek bir molekülü algılama durumunda, nanosaniyeden daha küçük değerlerdeki tepki süresi korunurken SSLD'lerin kapsama alanını artırmak için paralel yapılandırma benimsenebilmektedir [16] [17]. Şeritlerin elektriksel olarak paralel bağlanmasıyla kinetik indüktansın ve dolayısıyla tepki süresinin azalması sağlanmaktadır [18]. Bu yapılandırma ile SSLD'lerle, 5 mm x 5 mm'ye kadar nanosaniyeden daha küçük tepki süresine sahip hassas bölge oluşturulabilmektedir. [19]. Ancak çok pikseli dedektör dizilimlerinde paralel yapılandırma kullanıldığında bias ve okuma kablo sayısının fazlalığı temel sorunlar biridir. Bu problemi çözmek için SSLD'ler tek bir hat üzerinden seri olarak bağlanmaktadır ve aynı hat üzerinden biaslanmaktadır [20].

SSLD'lerin rezistif ve endüktif olmak üzere iki farklı çalışma modları bulunmaktadır. SSLD, şeritçizgilerin kritik akım değerine yakın bir değerde biaslanırsa rezistif modda çalışır ve gelen ışığa SSLD'nin bir kısmının süperiletken durumdan normal duruma geçmesine neden olmaktadır. Buna bağlı olarak oluşan direnç değişiminin, sabit bias akımı altında voltaj sinyaline dönüştürüldüğünü gösteren ilişki Denklem 1.10'da verilmiştir. Bu denklemde I_B DC bias akımını, $R(t)$ ise ışınımına maruz kalan SSLD kısmında oluşan direnç değişimini temsil etmektedir.

$$V_R = I_B \times R(t) \quad (1.10)$$

AC akımlar için süperiletkenlerin direnç değeri sıfır değildir. Süperiletkenlerin yüzeyine yakın uygulanan elektrik alan Cooper çiftlerinin hızlanmasına ve kinetik enerji depolamasına neden olmaktadır. SSLD, süperiletken şeritçizgilerin kritik akım değerinin altında bir değerde biaslanırsa veya gelen ışımının enerjisi düşükse endüktif modda çalışır. SSLD süperiletken durumda kalmaya devam eder ve kırılan Cooper çiftleri kinetik indüktans değişimine neden olur [15]. Denklem 1.11'de kinetik indüktans değişimine ($L(t)$) bağlı olarak oluşan voltaj sinyalini gösteren eşitlik verilmiştir.

$$V_L = I_B \times \frac{dL(t)}{dt} \quad (1.11)$$

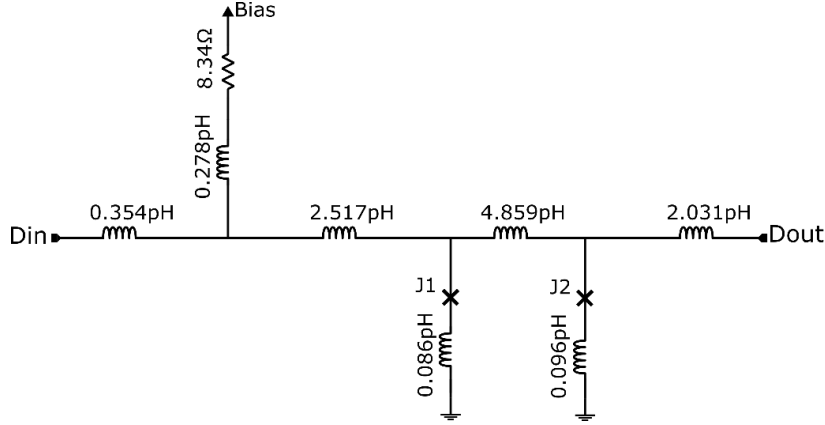
1.3. Tezde Kullanılan RSFQ Mantık Kapıları

RSFQ devrelerinde bir saat sinyali ile veri sinyalinin arasındaki varış zamanlamasının sırasının kontrol edilmesi gerekmektedir. Özellikle pikosaniye mertebesinde, diğer saat darbesi yöntemlerine göre çalışma hızı daha yüksek olan eş zamanlı saat darbesi yöntemi kullanılan devrelerde, zamanlama kontrolünün yapılması çok önemlidir. Josephson eklemının gecikme süresi bias akımına ve devre parametrelerinin yonga üzerindeki dağılımına bağlıdır. Bu yüzden zamanlama kontrolü büyük ölçekli devrelerde zorlaşmaktadır. RSFQ tabanlı büyük ölçekli kompleks dijital devrelerin tasarımının yapılabilmesi için farklı mantık kapılarına ihtiyaç duyulmaktadır. İlk oluşturulan CONNECT hücre kütüphanesi yaklaşık 5000 Josephson eklemi içeren devreler için etkin bir biçimde kullanılmaktadır. Ancak büyük ölçekli entegre devrelerde, bias akımının artmasıyla birlikte meydana gelen manyetik alan devrelerin çalışma marjinlerini azaltmaktadır. Oluşan manyetik alanı ortadan kaldırmak için mevcut CONNECT kütüphanesindeki tüm hücrelerin, bias besleme hatlarında süperiletken kalkanları bulunmaktadır. Yapılan tez çalışmalarında RSFQ mantık kapılarını içeren hücre-tabanlı CONNECT kütüphanesi kullanılmıştır [21].

1.3.1. Josephson iletim hattı (JTL)

Josephson iletim hattı olarak bilinen JTL devresi RSFQ elektroniğinin en basit hücresidir. Girdi olarak gelen SFQ darbesini yeniden oluşturarak her iki yönde iletimini sağlar. JTL'in oluşturulması, diğer hücreler arasında karşılıklı etkiyi en aza indirgemenin önemli olduğu hücre tabanlı bir tasarımın ilk adımıdır. Genellikle bir JTL içindeki tüm elemanlar için aynı parametreler kullanılır. Yalnızca kritik akım, Josephson eklemının bias akımı ve indüktansların seçimi tasarıma göre değişmektedir. En stabil hücrenin tasarlanması ve gürültü etkisini en aza indirmek için Josephson eklemının kritik akım değeri olabildiğince yüksek olmalıdır. Ancak üretim teknolojisi parametreleri tarafından belirlenen maksimum kritik akım değerinin bir sınırı bulunmaktadır. JTL için kullanılan kritik akım değeri belirlenen maksimum kritik akım değerinden küçük seçilmektedir. Çünkü farklı devre yapılarında JTL için kullanılan Josephson ekleminden daha büyük Josephson eklemi yapılması gerekmektedir. Şekil 1.10'da Josephson eklemi ve indüktanslardan oluşturulmuş JTL

hücresi gösterilmiştir. Bu gösterimde “Din” girdi, “Dout” ise çıktıyı temsil etmektedir. Girdi ve çıktı arasındaki gecikme süresi yaklaşık 8.3 ps’dir.

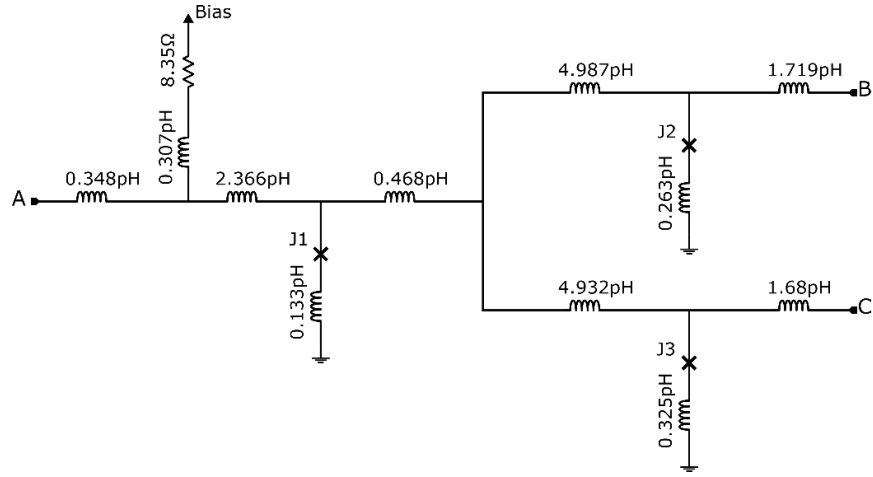


Şekil 1.10 : Josephson iletim hattı şematik gösterimi.

JTL hücresinin kullanımının temel amacı, hücreleri birbirinden izole ederken aynı zamanda kısa mesafelerde daha karmaşık hücreleri birbirine bağlamaktır. JTL aynı zamanda diğer hücrelerin simülasyonu ve optimizasyonu sırasında hücre giriş ve çıkışında standart yük oluşturmak için de kullanılabilir. Bu sayede hücrenin girdi ve çıktı noktalarında herhangi bir akım oluşmayacak şekilde optimize edilmesi sağlanmaktadır. Bu şekilde optimize edilmiş hücreler, aralarında JTL olmadan bir indüktans ile birbirine bağlanabilmektedir.

1.3.2. Ayırıcı devresi (SPL)

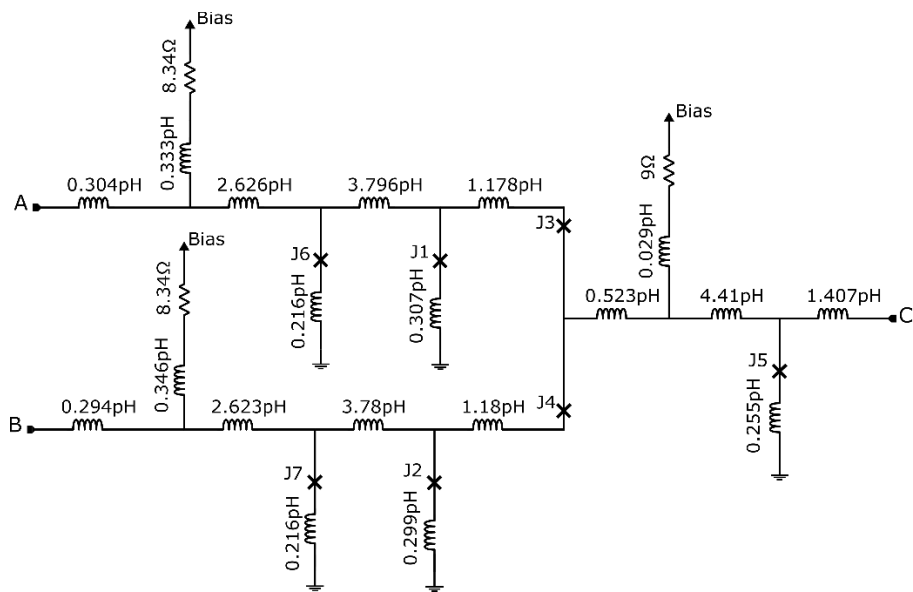
SPL olarak adlandırılan ayırıcı devresi, A noktasına girdi olarak gelen SFQ darbesinden Şekil 1.11’de gösterildiği gibi iki farklı çıktı noktası B ve C’de farkedilebilir voltaj genliği değişimi olmadan SFQ darbesi oluşturmaktadır. SPL devresi A, B ve C noktaları arasında simetriktir ve bu noktalardan herhangi birine gelen girdinin diğer iki noktada bir kopyası oluşmaktadır. SPL üç adet Josephson ekleminden oluşmaktadır ve bu eklemelerin her biri tek bir akım kaynağı tarafından biaslanmaktadır. A noktasında girdi olarak gelen SFQ darbesi J1’in anahtarlanması sağlar. Anahtarlanma sonucunda oluşan 2π ’lik faz sıçraması, J2 ve J3’ün bulunduğu kollarındaki akım değerinin artmasına sebep olur. Oluşan akım her iki koldaki eklem kritik akım değerinden yüksektir. Bu nedenle iki eklem eş zamanlı olarak anahtarlanır ve B ile C noktalarında SFQ darbesi oluşturur. Giriş ve çıktılar arasındaki gecikmesi süresi yaklaşık 10.1 ps’dir.



Şekil 1.11 : Ayrıcı hücrenin şematik gösterimi.

1.3.3. Merger devresi

Merger devresi Şekil 1.12’de gösterilen A ve B girdi noktalarına gelen her bir darbe için C noktasında bir SFQ darbesi üretmektedir. A noktasına gelen bir darbe J3’ün anahtarlanmasını sağladıktan sonra J5’i de anahtarlayarak C noktasında bir çıktı oluşmasını sağlar. Aynı şekilde B noktasına gelen bir darbe, J4’ün sonra da J5’in anahtarlanmasına sebep olarak C noktasında çıktı oluşturmaktadır. A ve B noktalarına eş zamanlı olarak gelen darbeler C noktasında toplanarak tek bir çıktı oluşturmaktadırlar. Darbelerin zamanlama kontrolünün iyi yapılmaması sinyal kaybına yol açabilmektedir. A ve B girdi noktaları ile C çıktı noktası arasındaki gecikme süresi yaklaşık 18.2 ps’dir.

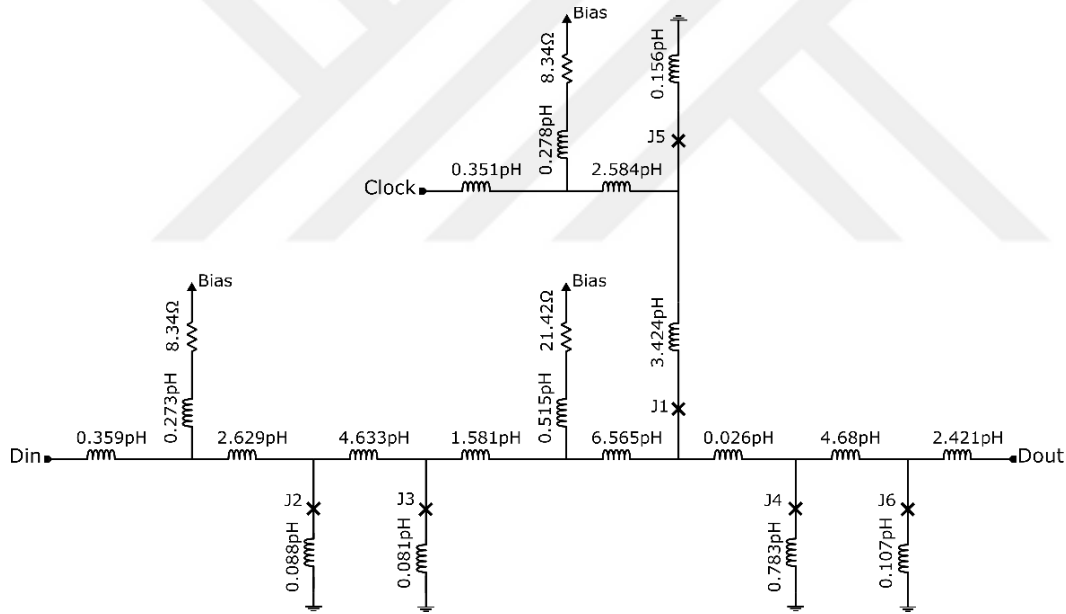


Şekil 1.12 : Merger hücresi şematik gösterimi.

Merger devresinin herhangi bir yarısı diyot olarak kullanılabilir. Çünkü geriye doğru ilerleyen darbelerin çıktığı noktadan giriş noktasına ilerlemesine izin vermemektedir.

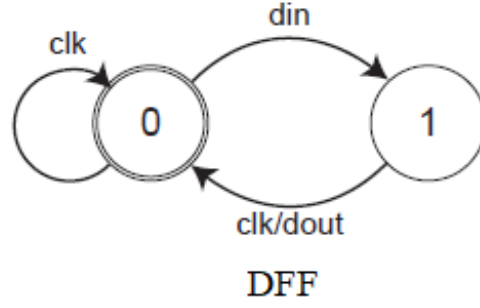
1.3.4. D flip-flop devresi (DFF)

“Delay flip-flop” olarak da bilinen DFF hücresi veri saklama özelliğine sahip en temel RSFQ elemanlarından biridir. DFF, RSFQ elektroniği için özel önem taşımaktadır. RSFQ’nun darbeye dayalı tabiatından dolayı hemen hemen tüm mantık kapıları geçici veri saklama özelliğine ihtiyaç duymaktadır. Veri girişi ve saklama eş zamanlı olmayan bir işlemdir ve veri çıkışı bir saat darbesi ile tetiklenir. Şekil 1.13’de görüleceği üzere “Din” giriş noktasından DFF hücresine giren bir SFQ darbesi, “Clock” noktasından bir saat darbesi gelene kadar hücrenin içinde saklanmaktadır.



Şekil 1.13 : DFF hücresinin şematik gösterimi.

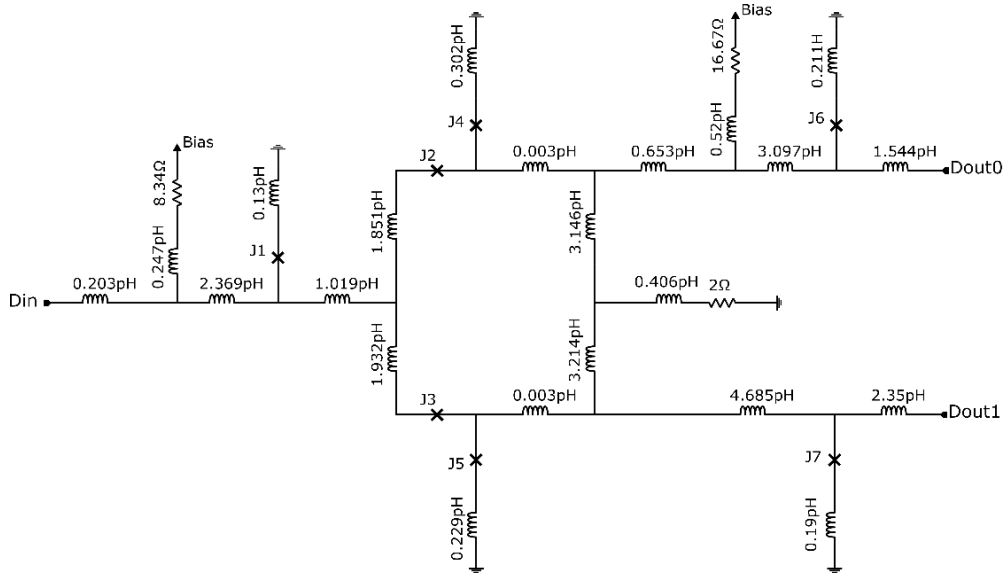
Saat darbesinin varlığında saklanan SFQ darbesi, “Dout” çıkış noktasından hücreyi terk eder. Bu durumda Şekil 1.14’de verilen Moore diyagramı incelendiğinde çıktı veren DFF hücresi başlangıç durumuna (“0”) geri dönmektedir. Dolayısıyla çıkış darbesi, ancak bir giriş darbesi iki saat darbesinin arasında DFF hücresine ulaştığında saat darbesi tarafından tetiklenirse üretilmektedir. DFF hücresi genellikle kaydırmalı kaydedicilerin (shift registers) bir bileşeni olarak kullanılmaktadır.



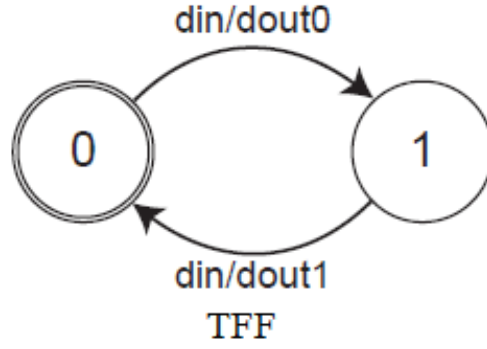
Şekil 1.14 : DFF hücresinin Moore diyagramı [22].

1.3.5. Toggle flip-flop devresi (TFF)

RSFQ elektroniğinde temel olarak iki tip “Toggle Flip-Flop” (TFF) bulunmaktadır.. TFF’ler çıktı noktalarının sayısına göre farklılık göstermektedir. TFF’nin iki kullanışlı durumu vardır ve bu durumlar “0” ve “1”’dir. Şekil 1.15’de gösterilen iki çıktı noktasına sahip TFF’nin “Din” girdi noktasına gelen SFQ darbesi TFF eğer “0” durumunda ise “Dout0” noktasında çıktı oluşturmaktadır. Oluşan çıktı sonrasında TFF “0” durumundan “1” durumuna geçmektedir. TFF “1” durumunda iken girdi noktasına gelen SFQ darbesi sonrasında “Dout1” portunda çıktı oluşmaktadır [23]. Bu durum Şekil 1.16’da verilen Moore diyagramında gösterilmektedir. TFF’ler çalışma prensibi bakımından tek bir girdi sinyalini farklı çıktı noktalarına dağıtan Demultiplexer (azlayıcı) devresine benzemektedir.



Şekil 1.15 : TFF hücresi şematik gösterimi.

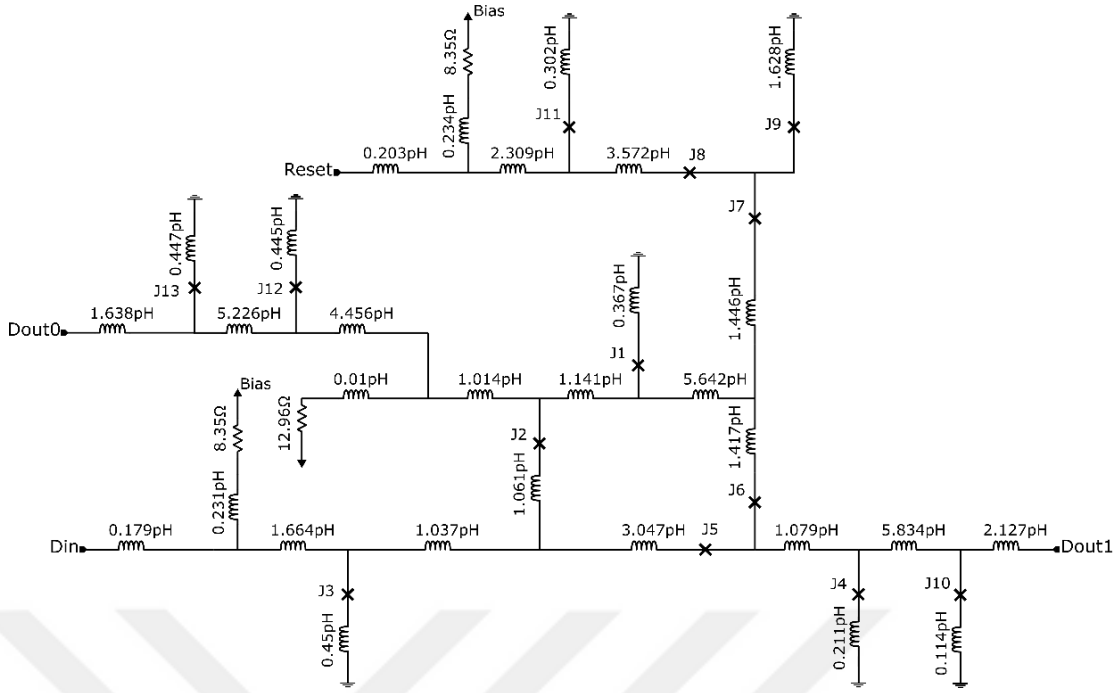


Şekil 1.16 : TFF hücresinin Moore diyagramı [22].

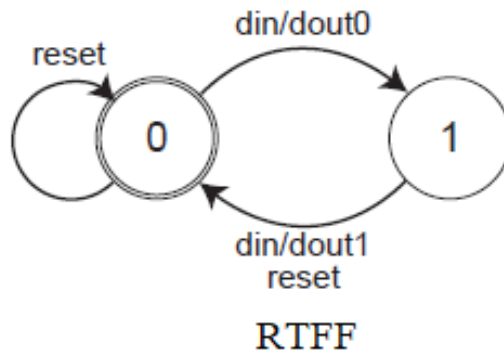
TFF'nin tek çıkış portuna sahip olan türünde ise girdi noktasına gelen her iki SFQ darbesi için çıktı noktasında bir SFQ darbesi oluşmaktadır. Bu hücrede oluşan SFQ darbe çıktısının frekansı, girdi olarak gelen darbenin frekansının yarısıdır. Yani tek çıktı portuna sahip TFF hücresi frekans bölücü olarak kullanılmaktadır.

1.3.6. Resetlenebilir toggle flip-flop devresi (RTFF)

1.3.5'de anlatılan TFF hücresinin başlangıç durumunun belirsizliği, SFQ darbesinin ilk olarak hangi çıktı noktasında oluştuğunun önemli olduğu tasarımlarda, TFF hücresini kullanışsız hale getirmektedir. Bu hücrenin sıfırlanabilir versiyonu olan "Resettable Toggle Flip-Flop" (RTFF) hücresinin Şekil 1.17'de şematik gösterimi verilmektedir. Başlangıç durumunun belirsiz olduğu durumlarda "Reset" girdi noktasına gönderilen SFQ darbesi, RTFF hücresinin Şekil 1.18'de verilen Moore diyagramında da görüleceği üzere hücrenin başlangıç durumunu "0" durumuna geçirmektedir. "0" durumunda bulunan RTFF hücresi "Din" girdi noktasına SFQ darbesi geldiğinde ilk olarak "Dout0" portunda çıktı oluşturmaktadır. Dolayısıyla başlangıç durumu sıfırlanan RTFF hücresi girdi portuna gelen SFQ darbelerinin varlığında sırasıyla "Dout0" ve "Dout1" portlarında çıktı oluşturmaya devam etmektedir.



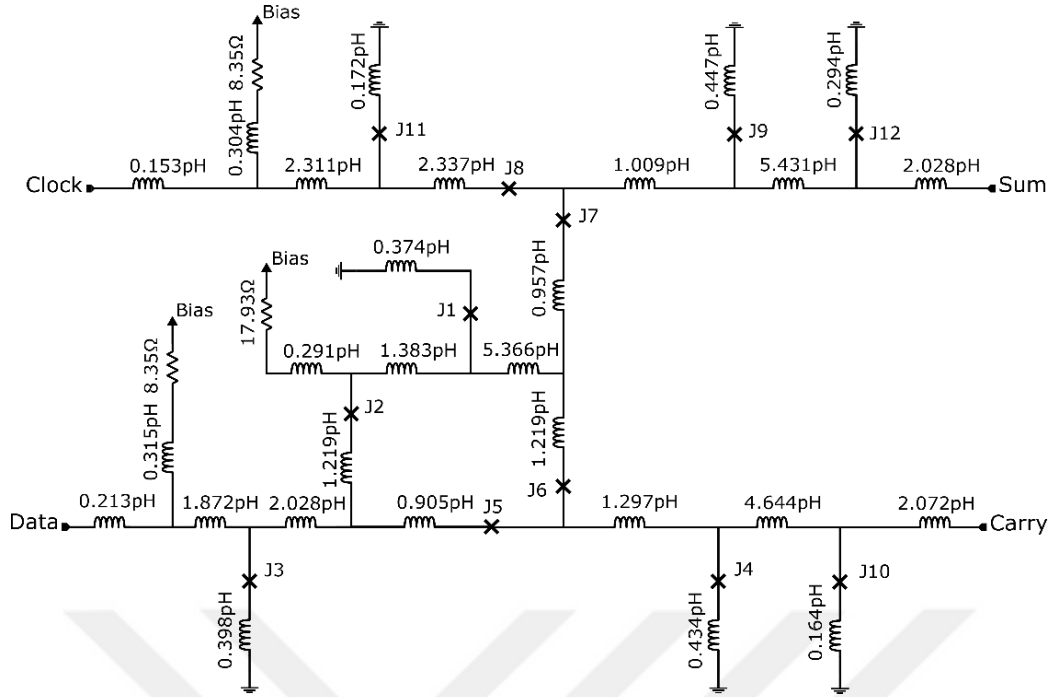
Şekil 1.17 : RTFF hücresi şematik gösterimi.



Şekil 1.18 : RTFF hücresinin Moore diyagramı [22].

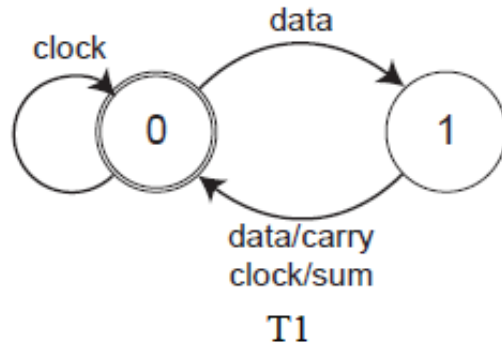
1.3.7. Tam toplayıcı devresi (T1)

TFF hücresine eş zamanlı olmayan çıktı noktası ve bozucu okuma eklendiğinde oluşturulan hücreye “T Flip-Flop with asynchronous output and destructive read-out” (T1) adı verilmiştir. 1.3.5’de anlatılan TFF hücresi gibi T1 hücresinin de kullanışlı iki durumu vardır ve bunlar “0” ve “1” durumlarıdır. Saat darbesi girdi noktası bulunan T1 hücresinin ayrıca bir girdi ve iki çıktı noktası bulunmaktadır. Bu girdi ve çıktı noktaları Şekil 1.19’da verilen T1 hücresinin şematüğünde gösterilmektedir.



Şekil 1.19 : T1 hücresinin şematik gösterimi.

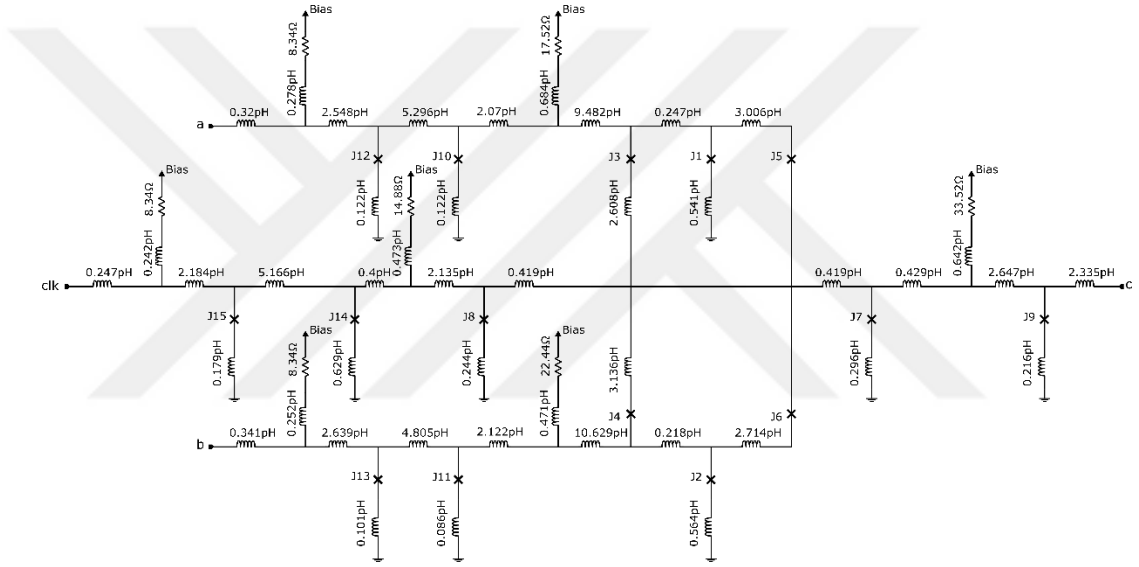
T1 hücresinin çalışma prensibi Şekil 1.20’de verilen Moore diyagramında gösterilmektedir. “0” durumunda bulunan T1 hücresinin “Data” girdi noktasına SFQ darbesi gelmesi durumunda T1 hücresi “0” durumundan “1” durumuna geçmektedir. Bu durumdayken T1 hücresine saat darbesi uygulanırsa “Sum” portunda çıktı oluşmaktadır. “Clock” noktasına saat darbesi uygulanmadığı durumda, “1” durumunda bulunan T1 hücresinin “Data” girdi noktasına gelen SFQ darbesi, “Carry” portunda çıktı üretilmesini sağlamaktadır. Her iki durumda da çıktı oluşturduktan sonra T1 hücresi “1” durumundan “0” durumuna geçer. Yapılan tez çalışmalarında T1 hücresi sayaç (counter) devresinin yapımında kullanılmıştır.



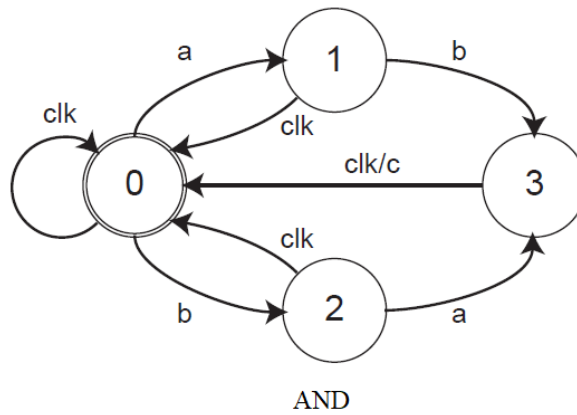
Şekil 1.20 : T1 hücresinin Moore diyagramı [22].

1.3.8. Ve kapısı (AND)

İki adet DFF hücresi kullanılarak yapılmış AND hücresinin şematik gösterimi Şekil 1.21’de verilmiştir. AND hücresinde a ve b girdi noktalarına gelen SFQ darbeleri, clk girdi noktasına saat darbesi gelene kadar saklanmaktadır. Şekil 1.22’de verilen AND hücresinin Moore diyagramından da görüleceği üzere saat darbesi geldikten sonra AND hücresi, bulunduğu durumdan “0” durumuna geçmektedir. AND hücresinde a ve b girdi noktalarının ikisine de SFQ darbesi geldikten sonra hücrenin durumu “3” olarak değişmektedir. Hücre “3” durumundayken clk girdi noktasından saat darbesi gelmesi durumunda c çıktı noktasında SFQ darbesi görülür aksi takdirde diğer durumlarda c çıktı portunda herhangi bir çıktı oluşmaz.



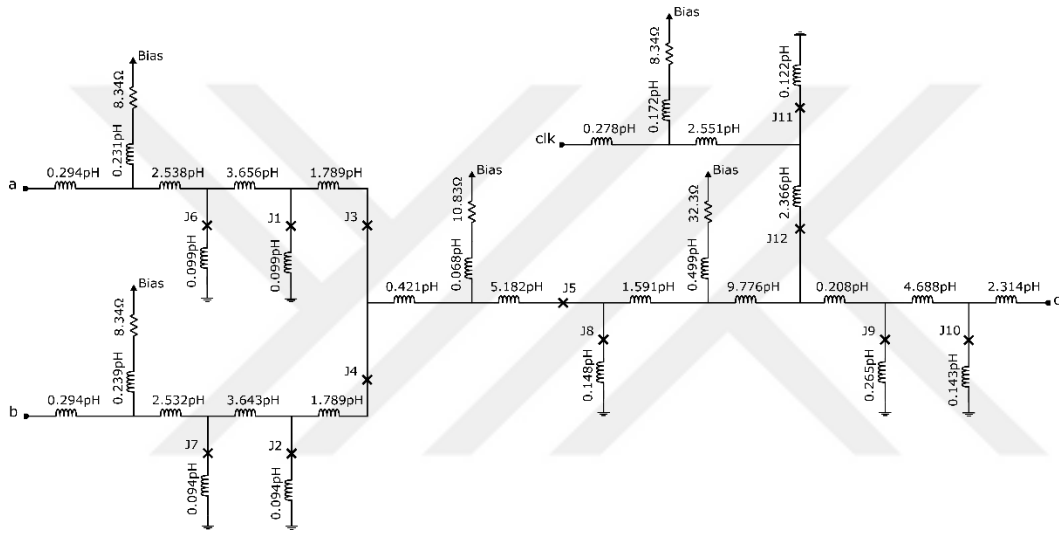
Şekil 1.21 : AND hücresinin şematik gösterimi.



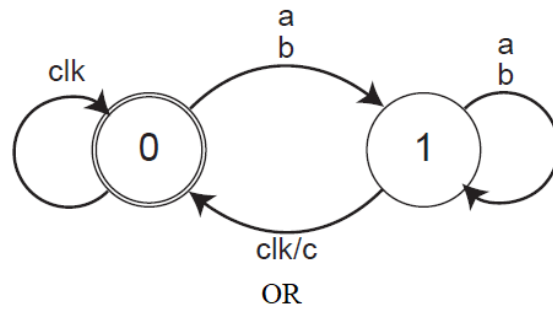
Şekil 1.22 : AND hücresinin Moore diyagramı [22].

1.3.9. Veya kapısı (OR)

AND hücresi gibi iki adet DFF kullanılarak oluşturulmuş OR hücresinin şematiği Şekil 1.23’de verilmiştir. OR hücresinin iki farklı durumu vardır ve bu durumlar Şekil 1.24’deki Moore diyagramında gösterilmiştir. Girdi noktaları a ve b’den herhangi birine SFQ darbesi geldiğinde, OR hücresi “1” durumuna geçmektedir. “1” durumunda bulunan OR hücresinin clk girdi noktasına saat darbesi geldiğinde, c çıktı noktasında çıktı oluşturmaktadır. Bu hücre sadece a ve b girdi noktalarının ikisine de SFQ darbesi gelmediği zaman “0” durumunda kalacağından c noktasında çıktı oluşturmaz.



Şekil 1.23 : OR hücresinin şematik gösterimi.

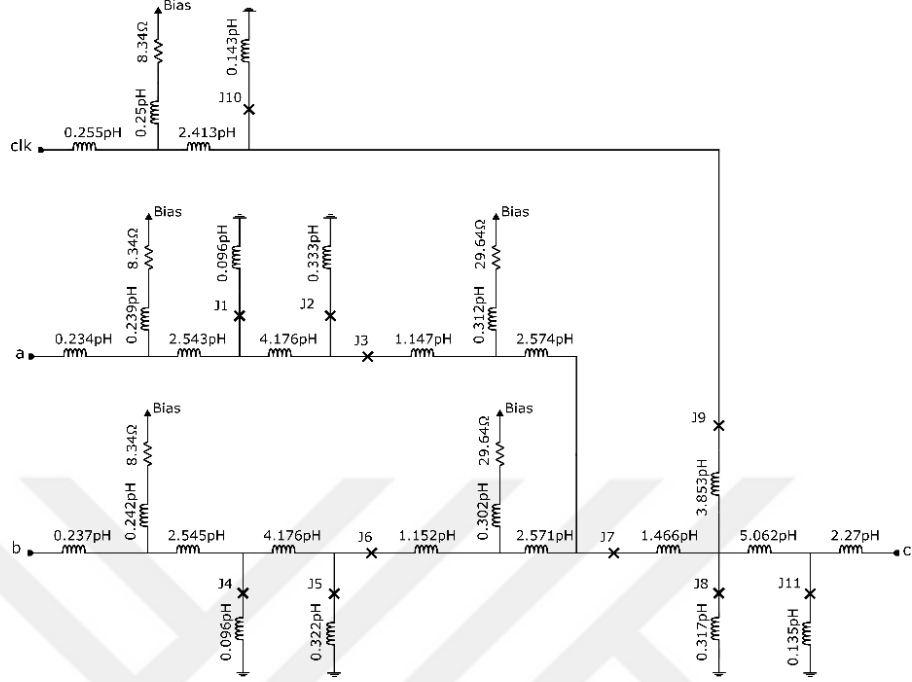


Şekil 1.24 : OR hücresinin Moore diyagramı [22].

1.3.10. Özel veya kapısı (XOR)

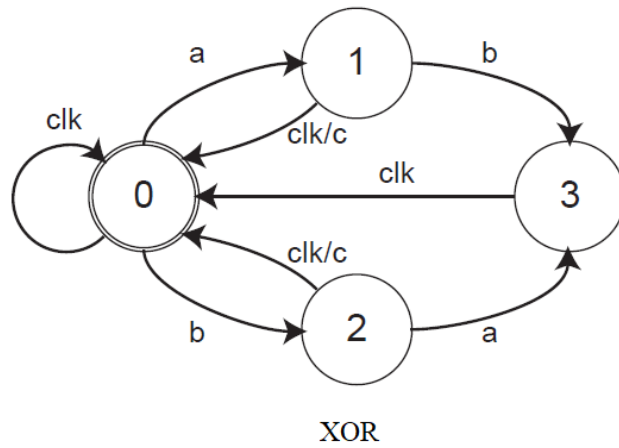
Şekil 1.25’de şematik gösterimi verilen XOR hücresi, a ve b girdi noktalarından sadece birine SFQ darbesi geldikten sonra clk girdi noktasından saat darbesi gelirse c çıktı noktasında çıktı oluşturmaktadır. A ve b girdi noktalarının ikisine birden SFQ

darbesinin geldiği ve ya her ikisine de SFQ darbesinin gelmediği durumda ise c çıktı noktasında herhangi bir çıktı gözlemlenmez.



Şekil 1.25 : XOR hücresinin şematik gösterimi.

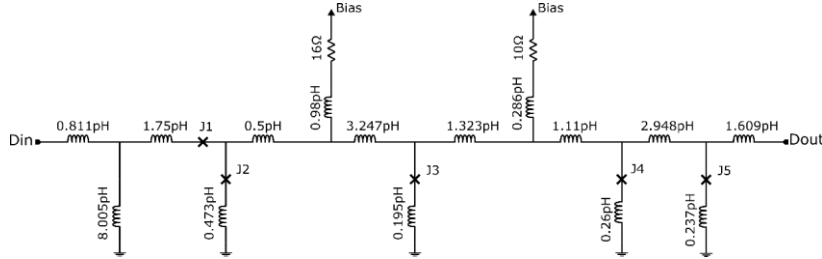
Şekil 1.26'da Moore diyagramı verilen XOR hücresi, a noktasına SFQ darbesi geldiğinde durum "1" 'e, b noktasına SFQ darbesi geldiğinde ise durum "2" 'ye geçmektedir. XOR hücresi "1" ve "2" durumundayken saat darbesi ile c noktasında çıktı oluşmaktadır. Hücre "0" ve "3" durumlarında bulunuyorsa c noktasında herhangi bir çıktı gözlemlenmez.



Şekil 1.26 : XOR hücresinin Moore diyagramı [22].

1.3.11. DC/SFQ çevirici

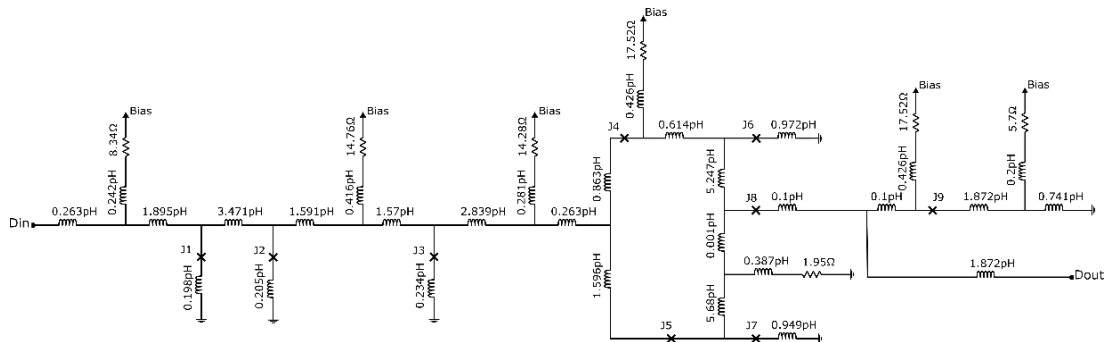
DC/SFQ çevirici devresi, “Din” girdi noktasına yavaş bir şekilde değişen DC akım uygulandığında “Dout” çıktı portunda pikosaniye mertebeli SFQ darbeleri üretmek için kullanılmaktadır. Şekil 1.27’de tez çalışması kapsamında yapılan tasarımlarda kullanılan DC/SFQ çevirici devresinin şematik gösterimi verilmiştir.



Şekil 1.27 : DC/SFQ çevirici hücrenin şematik gösterimi.

1.3.12. SFQ/DC çevirici

RSFQ hücreleri tarafından kullanılan SFQ darbelerinin, geleneksel yarı iletken devrelerle bağlantı arayüzü oluşturulması için olağan DC-voltaj formuna dönüştürülmesi gerekmektedir. Bu ihtiyacı karşılamak için oluşturulan SFQ/DC çevirici devresi Şekil 1.28’de gösterilmiştir. SFQ/DC çevirici devresinde harici olarak şönt yapılmış Josephson eklemleri kullanıldığında çıkış gerilimi yaklaşık 0.2mV’a kadar düşmektedir. Çıkış gerilimini yükseltmek amacıyla şönt yapılmamış histerezis Josephson eklemleri kullanılabilir. Bu sayede çıkış DC-voltaj değeri yaklaşık 2.8mV değerine yükseltilmektedir [24]. SFQ/DC devresini kullanmak için herhangi bir AC güç kaynağı gerekmez ve diğer RSFQ elemanları ile birlikte entegre edilebilmektedir.



Şekil 1.28 : SFQ/DC çevirici hücrenin şematik gösterimi.

1.4. Süperiletken Dijital Devreler

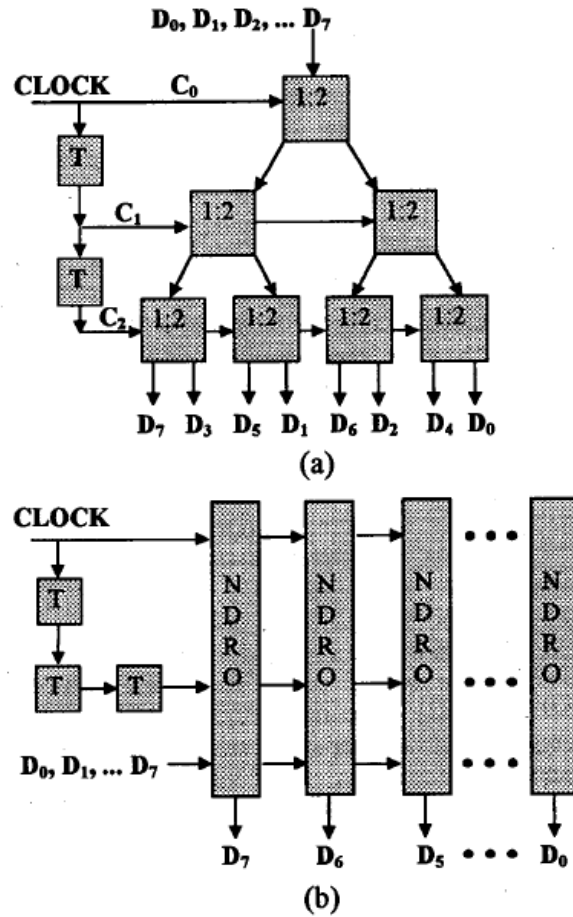
RSFQ entegre devrelerinde, dijital bitler, süperiletken halkalarda manyetik akının tek akı kuantumu formunda saklanmaktadır ve devre içerisinde istenildiği gibi yönlendirilebilmektedirler. Süperiletkenleri kullanan entegre devreler, dijital bilginin çok hızlı işlenmesini sağlayan çeşitli özelliklere sahiptirler.

Bu özelliklerden ilki, pikosaniyelik dalga formlarının süperiletken mikro-şerit hatları ile herhangi bir sönümlenme ve sinyal karışması olmaksızın ışık hızına yakın bir hızda yonga üzerinde birkaç santimetreye kadar taşınabilmesidir. Bu entegre devreler, Josephson eklemi sayesinde pikosaniyelik dalga formu üretebilmektedir. Josephson eklemlerinin düşük çıkış empedansları, mikro-şeritlerle empedans uyumu sağlayabilmektedir. Josephson eklemleri düşük çıkış empedansına rağmen çok düşük güç tüketimine sahiptirler. Son olarak, süperiletken entegre devrelerin üretimi sırasında kullanılan üç katmanlı Niyobyum eklemleri, bu üretimin silikon tabanlı yarı iletken üretim teknolojisine oranla daha basit olmasını sağlamaktadır.

1.4.1. Multiplexer (Çoklayıcı) ve Demultiplexer (Azlayıcı)

Standart Niyobyum üretim teknolojisini kullanan RSFQ entegre devreler, onlarca GHz'lik frekans değerlerinde çalışabilmektedir ve gelişmiş teknoloji ile daha yüksek frekansta çalışabilecek potansiyele sahiptir. Bu yüksek frekans değerlerinde, multiplexer (MUX) ve demultiplexer (DEMUX) devreleri, RSFQ devreleri ile yavaş sistemler arasında arayüz oluşturmak için son derece önemlidir. Süperiletken sistemde kullanılan DEMUX devresi genel olarak veri hızını azaltmak için kullanılmaktadır. DEMUX devreleri aynı zamanda aritmetik mantık birimlerinde ve hızlı Fourier dönüşümü devrelerinde seri-paralel dönüştürücü olarak kullanılabilir. Yüksek performanslı bir optik-süperiletken iletişim sisteminde, MUX ve DEMUX devreleri fiber optik sistem ile süperiletken sistem arasındaki arayüz için önemli bileşenler olabilirler. Ayrıca MUX ve DEMUX devreleri, bazı projelerde kullanılan süperiletken mikroişlemcilerin tasarımında yer almaktadırlar [25] [26].

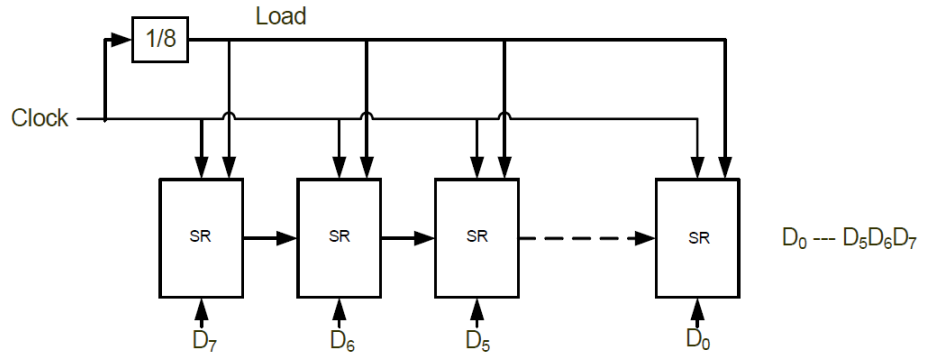
Demultiplexer devresi için genel olarak iki tip mimari tercih edilmektedir. Bunlar Şekil 1.29'de gösterilen ağaç dağıtımlı ve kaydır-boşalt yapılarıdır [27].



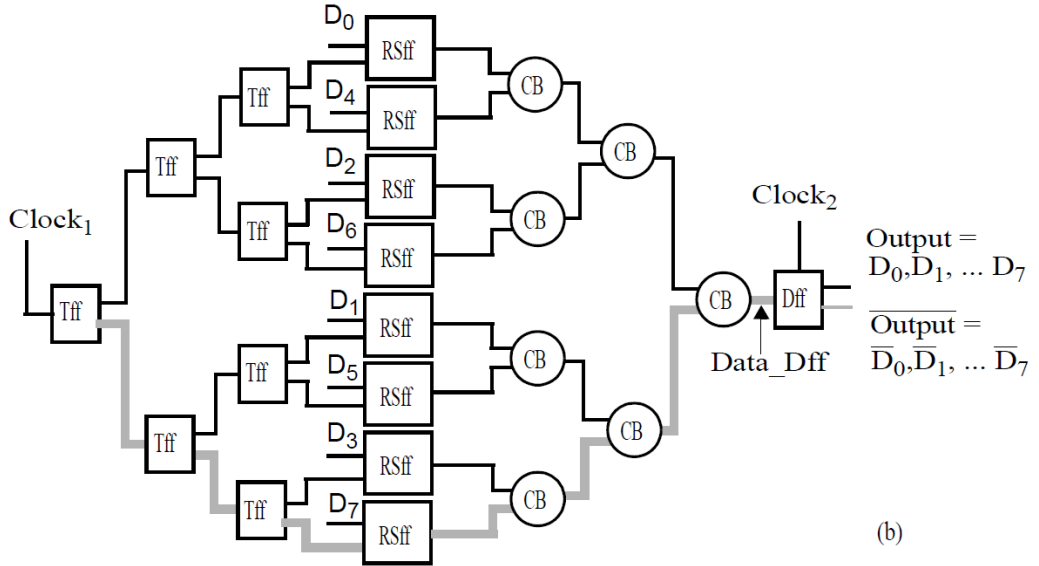
Şekil 1.29 : (a) 8-bitlik ağaç dağıtımlı DEMUX mimarisinin blok diyagramı, (b) 8-bitlik kaydır-boşalt DEMUX mimarisinin blok diyagramı [27].

İkili ağaç kod çözücü yapısında, saat darbesi her bir hücreyi tetikleyerek verinin sırayla sağa ve ya sola gidip gelmesini sağlamaktadır. (1:N)'lik bir DEMUX yapısını oluşturmak için (N-1) tane ağaç dağıtımlı DEMUX yapısı kullanılması gerekmektedir. Şekil 1.29(a)'de görüldüğü üzere (1:8)'lik DEMUX yapısı için yedi tane (1:2)'lik DEMUX modülü kullanılmıştır. Kaydır-boşalt DEMUX yapısında ise veri geldikten sonra saat darbesi uygulandığında, bu yapıdaki her hücre veriyi yanındaki diğer hücreye aktarmaktadır. Okuma darbesi ise saat darbesinin Şekil 1.29(b)'de T sembolü ile gösterilen TFF hücreleri tarafından ölçeklendirilmesi ile oluşturulmaktadır. Kaydır-boşalt DEMUX yapısında (1:N)'lik bir tasarım için (N) tane DEMUX modülü kullanılması gerekmektedir. İkili ağaç DEMUX mimarisi, kaydır-boşalt DEMUX mimarisinden bir tane eksik DEMUX modülü kullanılmaktadır. Ancak kaydır-boşalt DEMUX mimarisinin düzenli geometrisi, okuma ve veri sinyallerinin zamanlama kontrolünün daha kolay yapılmasına olanak sağlamaktadır [27].

Şekil 1.30'de saat dağıtım ağı ve mantık kısmını içeren iki farklı MUX devresinin mimari gösterimleri verilmiştir.



(a)



(b)

Şekil 1.30 : (a) 8-bitlik yükle-kaydır MUX mimarisinin blok diyagramı, (b) 8-bitlik ripple logic MUX mimarisinin blok diyagramı [28].

Şekil 1.30(a)'de verilen 8'bitlik yükle-kaydır MUX devresi SR sembolü ile gösterilen sekiz tane shift register (kaydırma yazmacı) içermektedir. Yükle (load) darbesi geldiğinde, dışardan gönderilen $D_0, D_1, D_2, \dots, D_7$ verileri shift registerların girdi noktalarına ulaşmaktadır. 8'bitlik bu yapı için gönderilen sekiz saat darbesinin her birinde dışardan gönderilen veriler sırayla yüklenmektedir. Saat darbesinin shift register devrelerine ulaşmasıyla girdi noktasında bulunan veriler, shift registerların çıktı portunda çıktı oluşturmaktadır. Bu veriler seri olarak Şekil 1.30(a)'de görüldüğü

gibi D0D1...D7 olacak şekilde soldan sağa doğru iletilmektedir. 8-bitlik yükleyici MUX devresinde, 8-bitlik kaydır-boşalt DEMUX devresi gibi tasarım geometrisi düzenli olduğundan daha büyük ölçekli MUX devresi yapılması daha kolaydır.

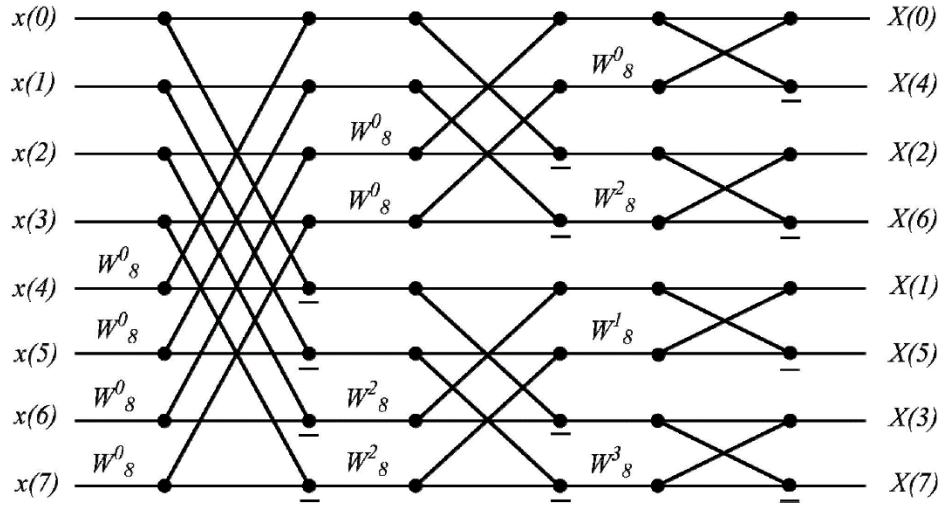
Şekil 1.30(b)'de verilen ripple logic MUX devresinde yükleme sinyaline ihtiyaç yoktur. Gönderilen Clock1 saat darbesi, TFF ağaç dağıtım devresi ile dağıtılarak sekiz tane saat darbesi oluşturulmaktadır. Paralel olarak RSFF (Reset-Set Flip Flop) hücrelerine gönderilen 8-bitlik veri, merger (CB) hücreleri kullanılarak yapılan ters ağaç dağıtım devresi ile seriye dönüştürülerek DFF girdi noktasına iletilmektedir. Clock2 saat darbesinin DFF hücresine ulaşmasıyla DFF hücresi çıktı oluşturmaktadır. Bu mimari kullanılarak sadece 2^n bitlik MUX devreleri tasarlanabilmektedir. Ancak zamanlama ayarlamaları ve kullanılan hücreler daha basit olduğundan bu mimarinin kullanımı tercih edilmektedir [28].

1.4.2. Hızlı Fourier dönüşümü (FFT)

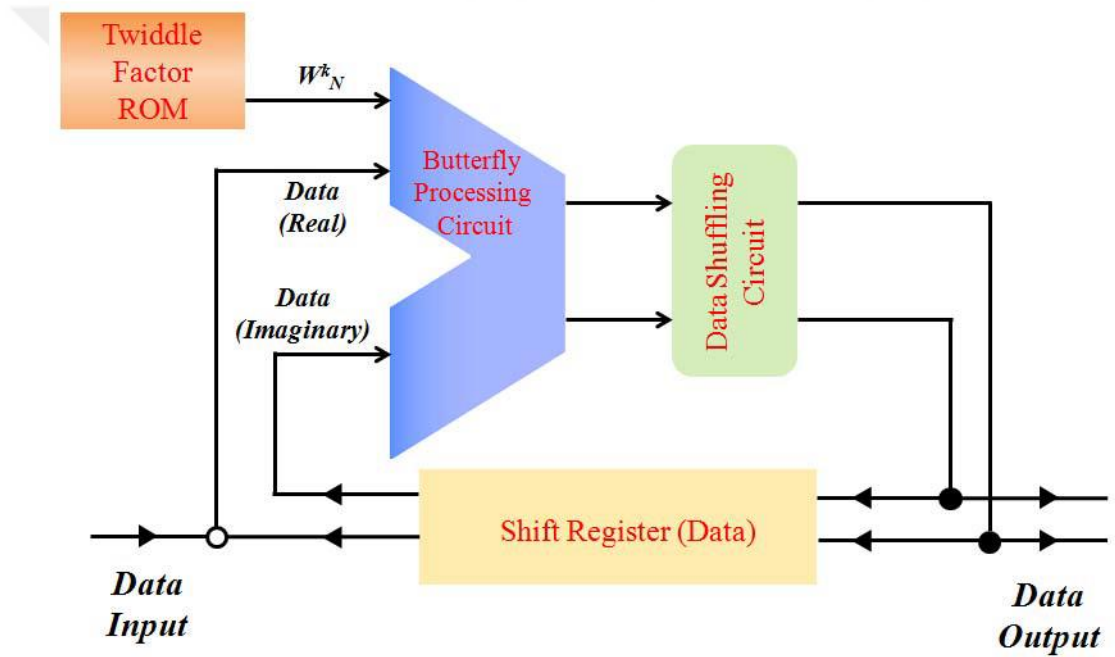
“Fast Fourier Transform” (FFT) olarak da bilinen Hızlı Fourier dönüşümü gerçek zamanlı bir algoritmadır. FFT, ses ve görüntü işleme, tıbbi görüntüleme, kablosuz haberleşme ve radyo astronomisi gibi çeşitli alanlarda kullanılmaktadır. FFT işlemcileri, çok sayıda hesaplama yapabilmek için özel bir donanım tarafından geliştirilmiştir. CMOS tabanlı FFT işlemcilerde çok sayıda hesaplama yapmak, sıcaklık ve yüksek güç tüketimi gibi problemleri ortaya çıkarmaktadır. Bu problemleri ortadan kaldırmak için SFQ tabanlı FFT işlemciler kullanılabilmektedir ve birçok çalışmada SFQ tabanlı FFT tasarımı yapılmıştır [29][30].

Şekil 1.31'de sekiz noktalı FFT devresinin akış şeması verilmiştir. FFT, kelebek işlemi olarak bilinen iki girdi ve iki çıktı birim işleminin tekrar tekrar hesaplanmasıyla yapılmıştır. Kelebek işlemi birçok kademeye ayrılmıştır ve her kademe, değişik girdi derecesine sahip kelebek işlemi içermektedir.

“Twiddle Factor ROM” devresi, kelebek işlem devresi (Butterfly Processing Circuit), veri karıştırma devresi (Data Shuffling Circuit) ve veri tampon devresini içeren SFQ tabanlı FFT devresinin blok diyagramı Şekil 1.32'da verilmiştir.

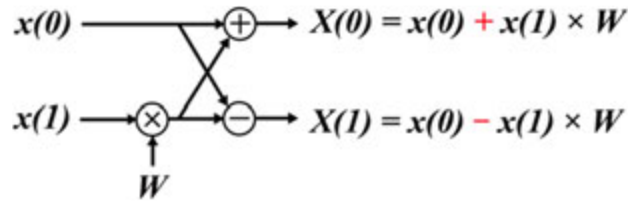


Şekil 1.31 : 8 noktalı FFT devresinin akış şeması [31].



Şekil 1.32 : FFT devresinin blok diyagramı [30].

Kelebek hesaplaması, FFT algoritmasının birim işlemidir ve J.W. Cooley ve J.W. Tukey tarafından bulunmuştur [32]. Kelebek hesaplaması için iki girdi verisi $x(0)$, $x(1)$ ve dönme faktörü (W) gerekmektedir. Karmaşık sayı işlemleri her veri için Şekil 1.33'de gösterildiği gibi gerçekleştirilmektedir. Kelebek işlem devresi, Multiplier (çarpıcı) devresi, Adder (toplayıcı) devresi, Subtractor (Çıkarıcı) devresi ve işaretli sayı işlemleri için Two's Complement Converter (İkiye tümleyen çevirici) devresini içermektedir.



Şekil 1.33 : Kelebek işleminin veri-akış şeması [33].

“Twiddle Factor ROM” tüm FFT kademelerinde gerçekleşen her bir kelebek işlemi için dönme faktörü oluşturmaktadır. Düşük bellek erişim süresi ile yüksek hızlı bellek gerçeklemek amacıyla kullanılan ROM (Read Only Memory), donanım tabanında belirlenmiş verilerin okunmasında kullanılmaktadır. Veri karıştırma devresi, her FFT kademesi arasındaki verilerin yeniden sıralanması için kullanılan bir ağ anahtarıdır.

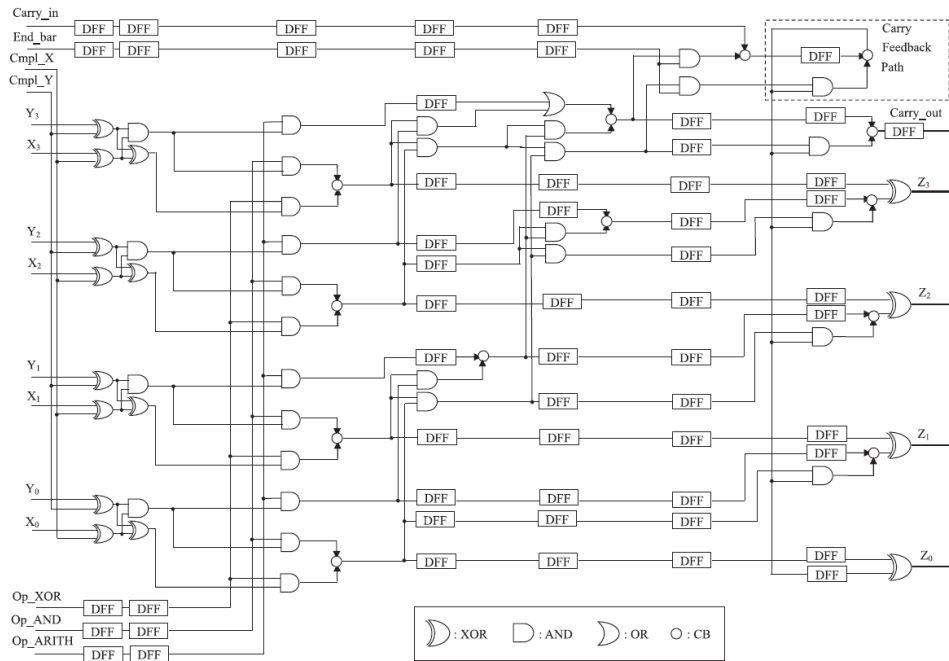
Geri besleme döngüsü Şekil 1.32’de gösterildiği gibi çıktı portundan girdi portuna doğru kurulu olduğundan ve işlem devresi hesaplama için tekrar tekrar kullanıldığından, her FFT işlem kademesi arasındaki verilerin saklanması için SFQ tabanlı FFT devresinde veri tampon devresi kullanılabilir. Bir önceki kelebek işleminin çıktı saat sinyali ile bir sonraki kelebek işleminin girdi saat sinyalini ayırmak için kullanılan veri tampon devresi, iki adet kaydırmalı kaydediciden oluşmaktadır. Birinci kaydırmalı kaydedici kelebek işlem devresinden gelen veriyi kaydederken, ikinci kaydırmalı kaydedici bir FFT işlem kademesinde yapılan hesaplamalar sonrasında kaydedilen veriyi okumak için kullanılmaktadır.

1.4.3. Aritmetik mantık birimi (ALU)

Yüksek performanslı aritmetik mantık birimi (arithmetic logic unit,ALU), genel veya özel bir amaç için kullanılan işlemcilerin temel yapı taşlarından biridir. ALU, ikili sayılarda hem bit bit yapılan hesaplamaları, hem de matematiksel işlemleri gerçekleştirmektedir. İşlemcide hesaplamaları gerçekleştiren en son eleman olan ALU, girdi verisi için hangi işlemin gerçekleştirileceğini söyleyen kod ve işlenenleri kullanmaktadır. ALU tarafından işlenen bilgiler bilgisayarın belleğine gönderilmektedir. ALU gibi büyük ölçekli entegre devrelerde güç tüketimi ve enerji verimliliği konusunda problemler ortaya çıkmaktadır. Bu sorunları çözmek amacıyla kullanılan yüksek hızlı ve düşük güç tüketimine sahip olan RSFQ teknolojisi iyi bir

alternatif olmaktadır. İşlemcinin temel elemanlarından biri olan RSFQ tabanlı ALU'yu tasarlamak için farklı yaklaşımlar bulunmaktadır [34] [35].

Bit düzeyinde seri olarak tasarlanan ALU'nun tasarımı kompleks değildir. Ancak seri ALU tasarımı, 8,16 ve 32 bit'lik olacak şekilde ölçeklendirildiğinde işlem hızında büyük bir gecikmeye sebep olmaktadır. Bu durum işlemciye gönderilen komutların çalıştırılmasını geciktirerek işlemcinin performansını azaltmaktadır. Paralel işlem yapan ALU'da işlemcinin performansı seri ALU'ya göre daha yüksektir. Buna rağmen paralel ALU'nun tasarımı oldukça karışık bir boru hattı içerdiğinden, yüksek bir donanım maliyetine ve büyük bir gecikmeye sebep olmaktadır. Büyük ölçekli işlemci tasarımlarında böylesine karmaşık bir boru hattını kontrol etmek bir hayli zor olmaktadır. Verilerin bit bit ayrıldığı "bit-slice" ALU mimarisi, seri ALU'ya göre daha hızlı, paralel ALU'ya göre daha yavaş olsa da paralel ALU mimarisine göre daha düşük donanım maliyeti gerektirdiğinden, büyük ölçekli işlemci tasarımlarında tercih edilmektedir [36]. 32 bit'lik mikroişlemci için tasarlanmış RSFQ tabanlı "bit-slice" ALU mimarisi Şekil 1.34'de gösterilmiştir. Şekil 1.34'de görüldüğü gibi 4-bit "bit-slice" ALU mimarisi, 1.3'de anlatılan temel RSFQ hücrelerinden DFF, AND, OR, XOR ve merger hücrelerinden oluşmaktadır.



Şekil 1.34 : 4-bit'lik bit-slice ALU mimarisinin RSFQ mantık tasarımı [36].

4-bit “bit-slice” ALU mimarisinde kullanılan kontrol sinyalleri ve yapılan ALU işlemleri Çizelge 1.1’de paylaşılmıştır. Kontrol sinyalleri “Op_ARITH”, “Op_AND”, “Op_XOR”, “Cmpl_X” ve “Cmpl_Y” sekiz döngü boyunca aynı değeri almaktadır. “Cmpl” kontrol sinyali, girdinin ikiye tümleyeninin alınacağını göstermektedir.

Çizelge 1.1 : ALU komutları [35].

ALU Operation	Op_ARITH	Op_AND	Op_XOR	Cmpl_X	Cmpl_Y	Carry_in
ADD	1	0	1	0	0	0
SUB	1	0	1	0	1	1
SLT	1	0	1	0	1	1
EQ	0	0	1	0	1	1
AND	0	1	0	0	0	0
OR	0	1	1	0	0	0
XOR	0	0	1	0	0	0
NOR	0	1	0	1	1	0

Şekil 1.34’de gösterildiği gibi ALU, $X_0, X_1, X_2, X_3, Y_0, Y_1, Y_2, Y_3$ olmak üzere sekiz girdi noktasına ve “Carry_in” ’de dahil olmak üzere yedi tane kontrol sinyaline sahiptir. X ve Y sinyalleri için yapılacak ALU işlemlerinin (AND,SUB,SLT...), hangi kontrol sinyallerini kullandığı Çizelge 1.1’de görülmektedir. “AND”, “OR”, “XOR” ve “NOT” işlemleri sırasıyla “ \wedge ”, “ \vee ”, “ \oplus ”, ve “ $-$ ” sembolleriyle gösterilirse yapılan ALU işlemlerinin Boolean fonksiyonları Çizelge 1.2’de verildiği gibi olmaktadır.

Çizelge 1.2 : ALU işlemlerine karşılık gelen Boolean fonksiyonları [35].

ALU Operation	Boolean Function
ADD	$X + Y$
SUB	$X + \bar{Y} + 1$
SLT	$X - Y < 0$
EQ	$X = Y$
AND	$X \wedge Y$

Çizelge 1.2 : (Devamı) ALU işlemlerine karşılık gelen Boolean fonksiyonları [35].

ALU Operation	Boolean Function
OR	$X \vee Y$
XOR	$X \oplus Y$
NOR	$\bar{X} \wedge \bar{Y}$

1.5. Tezde Kullanılan Simülatörler

RSFQ devrelerinin tasarımı için uygun yazılım araçları gerekmektedir. RSFQ devrelerinin tasarımında kullanılan hücrelerde meydana gelen üretim ve termal gürültü kaynaklı zamanlama farklılıklarını dikkate alan PSCAN [37], JSPICE [38] ve JSIM (Josephson Simulator) [39] gibi simülatörler, devre seviyesinde yapılan simülasyonlar için kullanılmaktadır. Ancak büyük ölçekli RSFQ devrelerinin çalışmasının doğrulanması için gerçekleştirilen simülasyon yüzlerce veya binlerce saat döngüsü gerektirebilmektedir. Bu simülasyonun PSCAN, JSPICE ve JSIM kullanılarak yapılması günler veya haftalar boyunca sürmektedir. Bu nedenle, büyük ölçekli RSFQ devrelerinin simülasyonu devre seviyesinin yerine genellikle kapı seviyesinde yapılmaktadır [40]. Yapılan çalışmalarda, devre seviyesindeki simülasyonlar JSIM simülatörü, kapı seviyesindeki simülasyonlar ise Verilog-XL simülatörü kullanılarak gerçekleştirilmiştir.

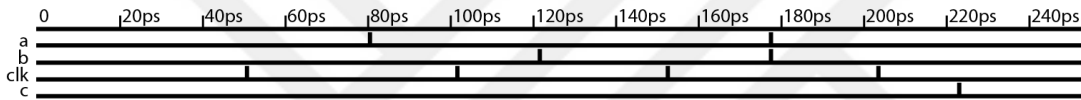
1.5.1. Verilog-XL simülatörü

RSFQ mantık kapılarının simülasyonu ve optimizasyonu için devre seviyesinde yapılan simülasyon, büyük ölçekli RSFQ devrelerinin çalışma ve zamanlamasını doğrulamak için oldukça yavaştır. Bu nedenle büyük ölçekli RSFQ devreler, devre seviyesinin yerine kapı seviyesinde simüle ve optimize edilmektedirler. Yarı iletken devrelerin kapı seviyesinde simülasyonu için kullanılan araçlar, darbe tabanlı RSFQ mantığına doğrudan uygulanamamaktadır. RSFQ temel mantık kapılarının her birinin fonksiyonel modeli bir donanım tanımlama dili olan Verilog HDL ile oluşturulduktan sonra, binlerce mantık kapısı ve Josephson ekleminden oluşan büyük ölçekli RSFQ devrelerinin simülasyonu, yarı iletken devrelerin simülasyonunda kullanılan standart CAD (Computer-Aided Design) araçları ile yapılabilmektedir.

Mantık kapılarının fonksiyonel modelleri Verilog HDL ile oluşturulduğunda simülör olarak Verilog-XL kullanılabilir [41].

Yarı iletken devrelerin mantık kapılarından oluşan bir devrenin zamanlama davranışı, mantık kapılarının girdi ve çıktı sinyalleri “0” ’dan “1” ’e veya “1” ’den “0” ’a değiştiğinde dalga formları ile temsil edilmektedir. RSFQ mantık kapılarından oluşturulan bir devrenin zamanlama davranışı, mantık kapılarının girdileri ve çıktılarında oluşan SFQ darbelerinin zaman ekseninde konumunu gösteren dalga formlarıyla temsil edilmektedir.

Çalışma mantığı 1.3.8’da anlatılan RSFQ AND hücrenin Verilog-XL simülasyonu Şekil 1.35’de gösterilmiştir. Girdiler a ve b girdi noktasına geldikten sonra saat darbesinin gelmesiyle, AND hücrenin doğruluk tablosuna göre c noktasında oluşan çıktılar gösterilmiştir.



Şekil 1.35 : AND hücrenin Verilog-XL simülasyonu.

1.5.2. JSIM simülörü

Süperiletken Josephson devrelerinin de dahil olduğu herhangi bir devrenin tasarımında simülörler kullanılmaktadır. Yarı iletken entegre devrelerinin tasarımında kullanılan simülörler Josephson devrelerinde kullanılmak için uygun değildir. Bunun nedeni yarı iletken cihazların süperiletkenlerde kullanılan Josephson eklemlerinden oldukça farklı olmasıdır ve bu farklılıkların en başında AC Josephson etkisi gelmektedir. Josephson eklemlerindeki salınımın takip edilebilmesi için, simülörün çok küçük zaman aralıklarında simülasyon yapması gerekmektedir [39]. Süperiletken devrelerin simülasyonunun devre düzeyinde yapılması için JSIM kullanılmaktadır.

Tasarlanan devrenin şematiği, JSIM simülörü tarafından netliste dönüştürülerek simülörde girdi olarak kullanılmaktadır. Simülasyon yapıldıktan sonra devrede bulunan herhangi bir Josephson eklemesinin akım, voltaj ve faz değerleri bir dosyaya yazdırılmaktadır. Şekil 1.36’da AND hücrenin netlisti paylaşılmıştır.

```

*** top cell: and_jsim
Vb          66      0 PWL(0ps 0mV 219ps 0mV 220ps 2.034mV 221ps 0mV 269ps 0mV 270ps 2.034mV 271ps 0mV)
Va          67      0 PWL(0ps 0mV 179ps 0mV 180ps 2.034mV 181ps 0mV 269ps 0mV 270ps 2.034mV 271ps 0mV)
VBIASDIGITAL 68      0 PWL(0ps 0mV 20ps 2.5mv)
Vclk        63      0 PULSE(0.0mV 1.034mV 0.0ps 1.0ps 1.0ps 1.0ps 1.0ps 50.0ps)
XI10        69      70      68
XI2         17      15      71      70      68
XI11        71      21      68
XI9         63      69      68
XI5         67      6      68
XI20        66      72      68
XI3         6      17      68
XI19        72      15      68
XI12        21      68

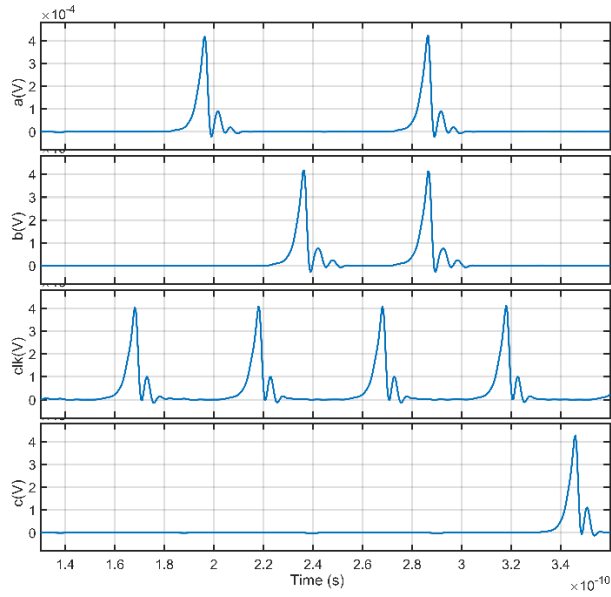
*** netlist file ***

*** jsim input file ***
.tran 0.5ps 10ns 30ps 0.2ps
.OPTIONS NUMDGT=6
.file AND.DAT
.print devv XI3_B2 *a
.print devv XI19_B2 *b
.print devv XI10_B2 *clk
.print devv XI11_B2 *c
*** jsim input file ***

```

Şekil 1.36 : AND hücrenin netlist gösterimi.

Şekil 1.36’da oluşturulan netlist JSIM tarafından simüle edildikten sonra AND hücrenin a,b ve clk girdi noktalarındaki SFQ darbeleri ile c çıktı noktasında oluşan SFQ darbesi Şekil 1.37’de gösterilmiştir.



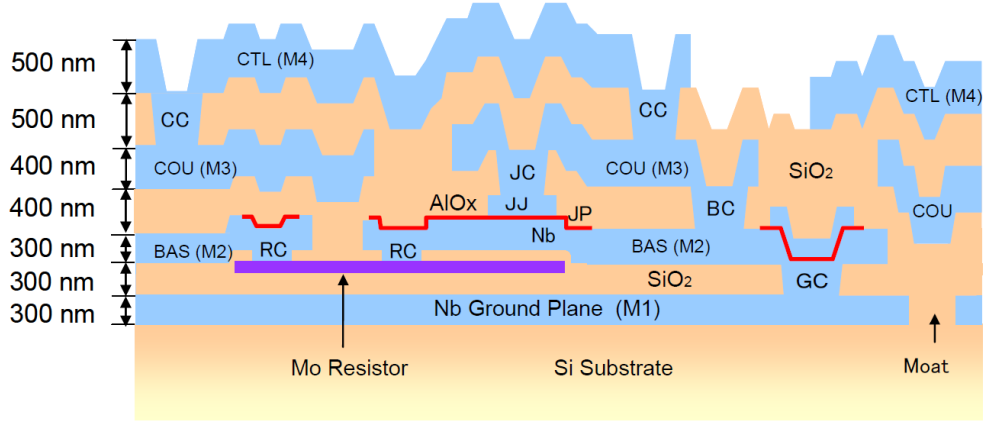
Şekil 1.37 : AND hücrenin JSIM simülasyonu.

1.6. Tezde Kullanılan Üretim Yöntemi

Binlerce Josephson eklemi içeren birçok SFQ devresi, AIST (Advance Institute of Science and Technology) STP2 (Standart Process 2) ile üretilmektedir ve yaklaşık 40 GHz frekans değerlerine kadar çalışmaktadır. Bu katmanların adları, fonksiyonları, üretimde kullanılan materyalleri ve kalınlık bilgileri Çizelge 1.3’de gösterilmiştir. AIST-STP2 olarak adlandırılan bu üretimde üretilen katmanların yapısının yandan gösterimi Şekil 1.38’de paylaşılmıştır.

Çizelge 1.3 : AIST-STP2 için katman açıklamaları [5].

Katman Adı	İkinci Ad	Netlik/ Koyuluk	Fonksiyonu	Materyal	Kalınlık (nm)
GP	M1	Net	Toprak katmanı	Nb	300
	I1		Katmanlar arası yalıtkan	SiO2	200
RES	RES	Koyu	Direnç	Mo	80
	I2		Katmanlar arası yalıtkan	SiO2	100
RC	RC	Net	RES ve BAS arasındaki kontak noktası		
GC		Net	GP ve BAS arasındaki kontak noktası		
BAS	M2	Koyu	JJ alt elektrotu ve alt bağlantı hattı	Nb	300
JP	JP	Koyu	JJ için koruma	Al,AlOx	
JJ	JJ	Koyu	Josephson eklemi	Nb	150
	I3		Katmanlar arası yalıtkan	SiO2	400
BC		Net	BAS ve COU arasındaki kontak noktası		
JC		Net	JJ ve COU arasındaki kontak noktası		
COU	M3	Koyu	Üst bağlantı hattı	Nb	400
	I4		Katmanlar arası yalıtkan	SiO2	500
CC		Net	COU ve CTL arasındaki kontak noktası		
CTL	M4	Koyu	Yüzey bağlantı hattı ve kalkan katmanı	Nb	500



Şekil 1.38: AIST-STP2 üretim yöntemi kullanılarak üretilen katmanların yandan gösterimi [5].

Şekil 1.38’de görüleceği üzere Mo katmanı hariç tüm katmanların kalınlıkları gösterilmiştir. Mo katmanının kalınlığı 80 nm, GP ve RES katmanları arasındaki SiO₂’nin kalınlığı 200 nm, RES ve BAS katmanları arasındaki SiO₂’nin kalınlığı 100 nm ve JJ üst katman kalınlığı ise 150 nm’dir.

Çizelge 1.3’de verilen GP katmanı kullanılarak oluşturulan toprak katmanında manyetik akı hapsedilmektedir. GC, GP ve BAS arasında kontak noktası görevi görmektedir ve her GC kontak noktası JP ile çevrilmiştir. RES katmanı direnç çizimleri için kullanılmaktadır. BAS katmanı JJ’nin alt elektrotu ve alt bağlantı hattını oluşturmak için kullanılmaktadır. JP’nin bulunduğu her yere BAS katmanında yerleştirilmesi gerekmektedir. JP katmanı, JJ, GC ve RC katmanları için koruma olarak kullanılmaktadır. JJ, Nb/AlOx/Nb katmanının üst Nb elektrotunu üreterek, Josephson eklemlerinin bulunduğu alanı belirtmektedir. BC, BAS ve COU katmanları arasında geçiş sağlanması için kontak noktası görevi görmektedir. Üst bağlantı hattını oluşturan COU katmanı, BC’nin bulunduğu her yere yerleştirilmek zorundadır. RC, RES ve BAS katmanları arasında geçiş sağlanması için kontak noktası oluştururken, JC ise JJ ve COU arasında kontak noktası oluşturmaktadır. CC katmanı COU ve CTL arasında geçiş sağlanması için kontak noktası oluşturmaktadır. RC, JC ve CC kontak noktaları, diğer kontak noktaları ile üst üste gelecek şekilde çakışmamalıdır. CTL katmanı ise en üstteki bağlantı hattını oluşturmak için kullanılmaktadır. CC kontak noktasının bulunduğu her yere CTL katmanı yerleştirilmesi gerekmektedir [5].

Yapılan tez çalışmalarında, ön okuma devresi ve okuma elektroniğinin aynı yonga üzerinde monolitik kurulumunu gerçekleştirmek amaçlanmıştır. Bu devrelerin tasarımlarını içeren yongalar AIST-STP2 ile üretilmiştir. Şekil 1.1’de gösterilen kurulumda X ve Y eksenlerinin dedektör şeritleri CTL ve COU katmanları kullanılarak çizilmiştir. AIST-STP2 ile üretilen yongalarda en küçük Josephson eklemi boyutu ve kalınlığı $2 \times 2 \mu\text{m}^2$ ve $1.5 \mu\text{m}$ ’dir. Yongadaki Josephson eklemlerinin kritik akım yoğunluğu ise 2.5 kA cm^{-2} ’dir [42].



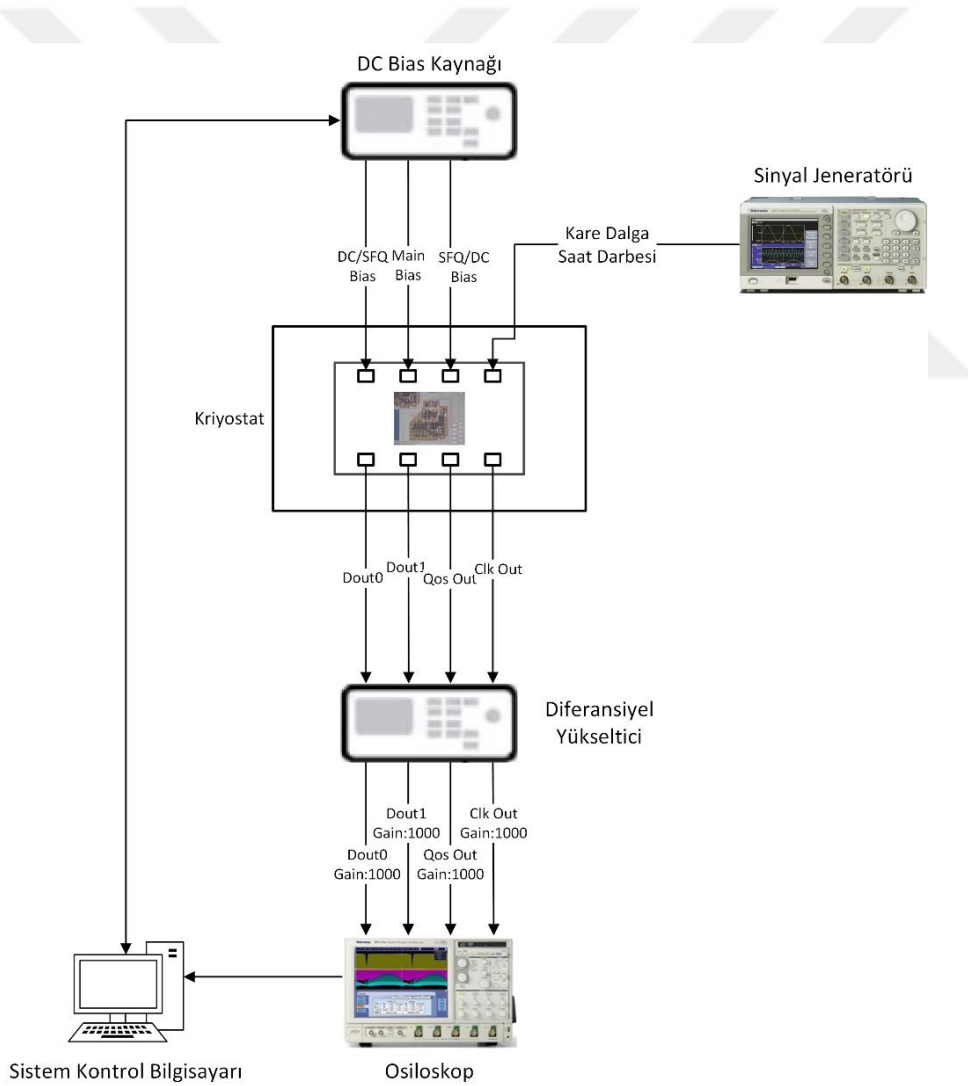
2. TEST SİSTEMİ

Yapılan tez çalışmalarında tasarımı yapılan adresleme devresinin dijital testi ve ön okuma devreleri ile birleştirilmiş adresleme devresinin optik testi için farklı test sistemleri kullanılmıştır. Adresleme devresi ön okuma devreleri ile birleştirilmeden, ön okuma devrelerinin yerine bağımsız olarak mantık “0” ve mantık “1” çıktısı veren mantık kapıları bağlandıktan sonra, bu çıktıların adresleri belirtilmiştir. Bu devre yapısı dijital devre test sistemi ile test edilmiştir. Adresleme devresi ön okuma devresi ile birleştirildikten sonra, ön okuma devresinin SSLD şeritlerinden hangisinin üzerine ışınım düştüğü, düşmediği ve bu şeritlerin adreslerinin belirtildiği devre yapısı ise optik test sistemi kullanılarak test edilmiştir. Testler yapılmadan önce tasarımları içeren yongadaki sinyal ve bias bağlantıları “wire bonding” ile yongayı taşıyan taşıyıcıya bağlanmaktadır. Bağlantıları yapılan yonga, taşıyıcısı ile birlikte kriyostata yerleştirildikten sonra, kriyostatin vakumlu bir şekilde 4.2K sıcaklık değerine soğutulmasıyla testler gerçekleştirilmektedir.

2.1. Dijital Devre Test Sistemi

Dijital devre test sistemi, adresleme devresinin ön okuma devresi ile birleştirilmeden testinin gerçekleştirilmesi için kullanılmıştır. Dijital devre test sisteminin çalışma mantığı Şekil 2.1’de verilen blok diyagram ile gösterilmiştir. Şekil 2.1’de de görüleceği üzere yonga içerisinde bağlantıları gerçekleştirilmiş 2 bitlik adresleme devresinin “Dout0”, “Dout1”, “Qos Out” ve “Clk Out” çıktıları, diferansiyel yükseltici ile 1000 kat yükseltilerek osiloskopa bağlanmaktadır. Gerekli bağlantılar yapıldıktan sonra sistem kontrol bilgisayarı tarafından kontrol edilen DC bias kaynağı tarafından bias akımları verilmektedir. Devreye ilk olarak devrenin çıktı oluşturmasını sağlayan SFQ/DC bias akımı uygulanmaktadır. DC bias kaynağı tarafından uygulanan SFQ/DC akım değeri, tasarımda belirlenen SFQ/DC akım değerine yaklaştığında osiloskop kanallarına bağlanmış olan çıktı sinyallerinin DC akım seviyelerinde artış olup olmadığı gözlemlenmektedir. Eğer yongalarda üretimden kaynaklı kısa devre bulunuyorsa, çıktı sinyallerinin DC akım

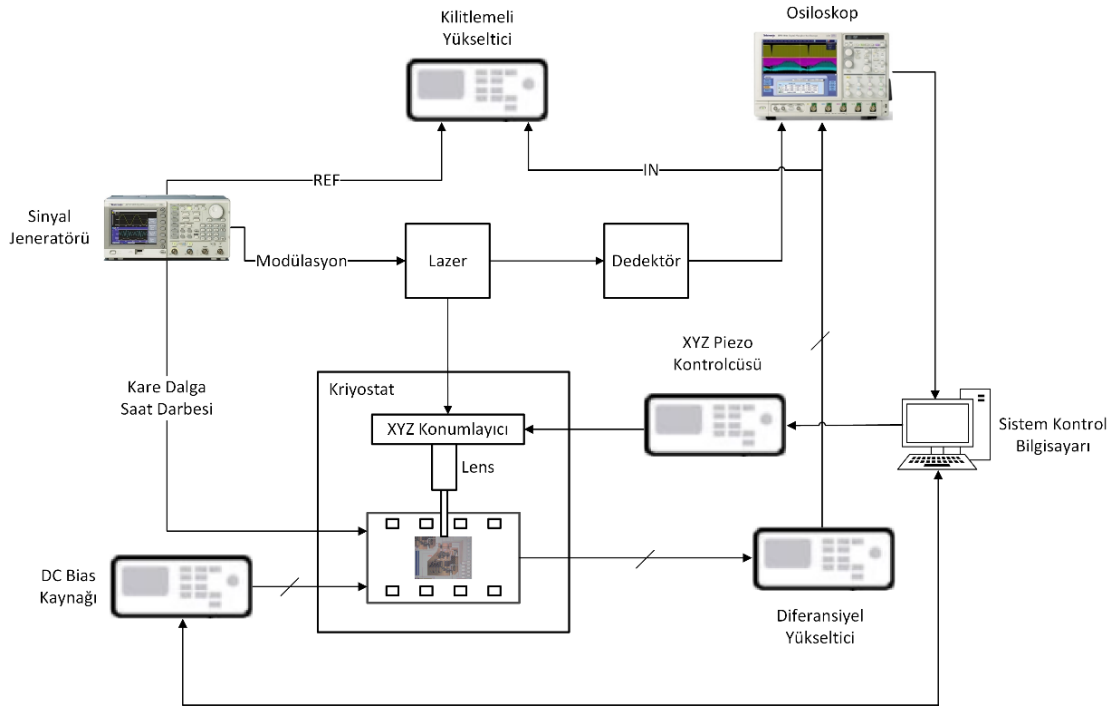
seviyelerinde artış gerçekleşmemektedir. Kısa devre bulunmayan yongalardaki devrelerin çıktı sinyallerinin DC akım seviyesinde ise artış gözlemlenmektedir. DC bias kaynağı tarafından uygulanan bir diğer bias akımı olan main bias, devrede bulunan bütün hücrelerin çalışması için gereklidir. DC/SFQ bias akımı ise kare dalga saat darbesinin, SFQ saat darbesine dönüştürülüp devreye gönderilebilmesi için uygulanmaktadır. DC bias kaynağı ile gerekli olan tüm bias akımları uygulandıktan sonra, devrenin çalışması için uygun frekans değerine sahip kare dalga saat darbesi, sinyal jeneratörü ile verilmektedir. Testi gerçekleştirilen devrenin çıktı sinyalleri, simülasyonu yapıldığında oluşan çıktılar ile aynı olması durumunda, bu çıktı sinyallerinin ekran görüntüsü ve dalga formları, osiloskop kullanılarak kaydedilmektedir.



Şekil 2.1 : Dijital devre test sisteminin blok diyagramı.

2.2. Optik Test Sistemi

Entegre devre test sistemi, dört tane ön okuma devresi ile birleştirilmiş adresleme devresinin testini gerçekleştirmek için kullanılmıştır. Ön okuma devrelerinin üzerine lazer düşen ve düşmeyen SSLD şeritlerinin, adreslerini veren yapının testi Şekil 2.2'deki blok diyagrama göre gerçekleştirilmiştir. Dijital devre test sisteminden farklı olarak SFQ/DC, main ve DC/SFQ bias akımlarının yanı sıra ön okuma devrelerinin çalışmasını sağlayan “Qbias” bias akımı da devreye uygulanmaktadır. Lensin yeri, XYZ piezo kontrolcüsü ile üç eksen kullanılarak lazer düşürülmek istenilen SSLD şeritinin üzerine gelecek şekilde ayarlanmaktadır. Şekil 2.2'de gösterildiği gibi sinyal jeneratörü tarafından modüle edilen lazer, SSLD şeritlerinin üzerine düşürülerek tepki oluşturmaktadır. Bu tepkilerin daha hassas bir şekilde ölçülebilmesi için kilitlemeli yükseltici (lock-in amplifier) kullanılmıştır. Gerekli bias akımları verildikten ve SSLD şeritleri üzerine lazer düşürüldükten sonra sinyal jeneratörü tarafından adresleme devresine saat darbesi gönderilmektedir. Diferansiyel yükseltici ile 1000 kat yükseltilecek adresleme devresinin çıktıları osiloskopa gözlemlenmektedir. Deneysel çıktıların simülasyon çıktıları ile uyuşması durumunda bu çıktıların dalga formları osiloskop ile kaydedilmektedir.



Şekil 2.2 : Optik test sisteminin blok diyagramı.

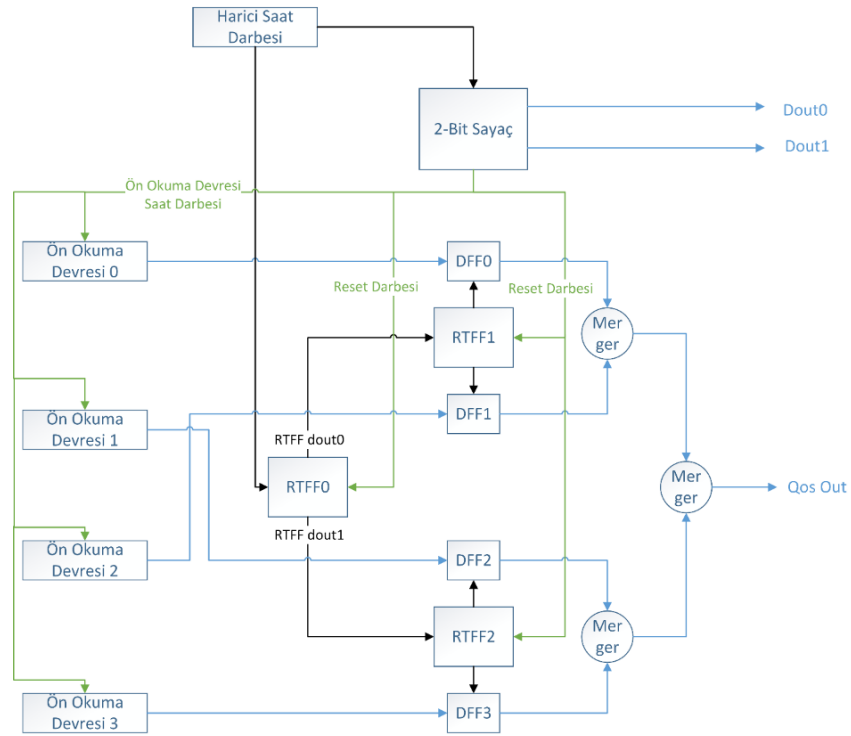


3. ADRESLEME DEVRESİ TASARIMI

Tez çalışması kapsamında gerçekleştirilen tasarım faaliyetleri, simülasyon sonuçları, deneysel sonuçlar ve bu aşamalara ait veriler bu bölümde açıklanmaktadır.

3.1. Tasarımın Amacı

Adresleme devresinin tasarım amacı, ışınım dedektör şeritlerinde meydana gelen ışınımın lokasyonunun belirlenebilmesidir. Işınımın meydana geldiği yer, dedektör dizinleri üzerinde seçilebilir bir parametre değildir. Şerit sayısı az olan dedektör dizinlerinde hangi şerit üzerinde ışınımın meydana geldiğinin anlaşılması, çok şeritli dedektör dizinlerine göre daha kolaydır. Çok şeritli dedektörler için, ışınım yeri belirleme amacına uygun olarak tasarım gerçekleştirilmiştir. Şekil 3.1'de tez çalışmaları kapsamında geliştirilen 2-bit adresleme devresi için blok şeması gösterilmektedir.



Şekil 3.1 : 2-Bit adresleme devresi blok diyagramı.

3.2. Adresleme Devresi Tasarım Yapısı

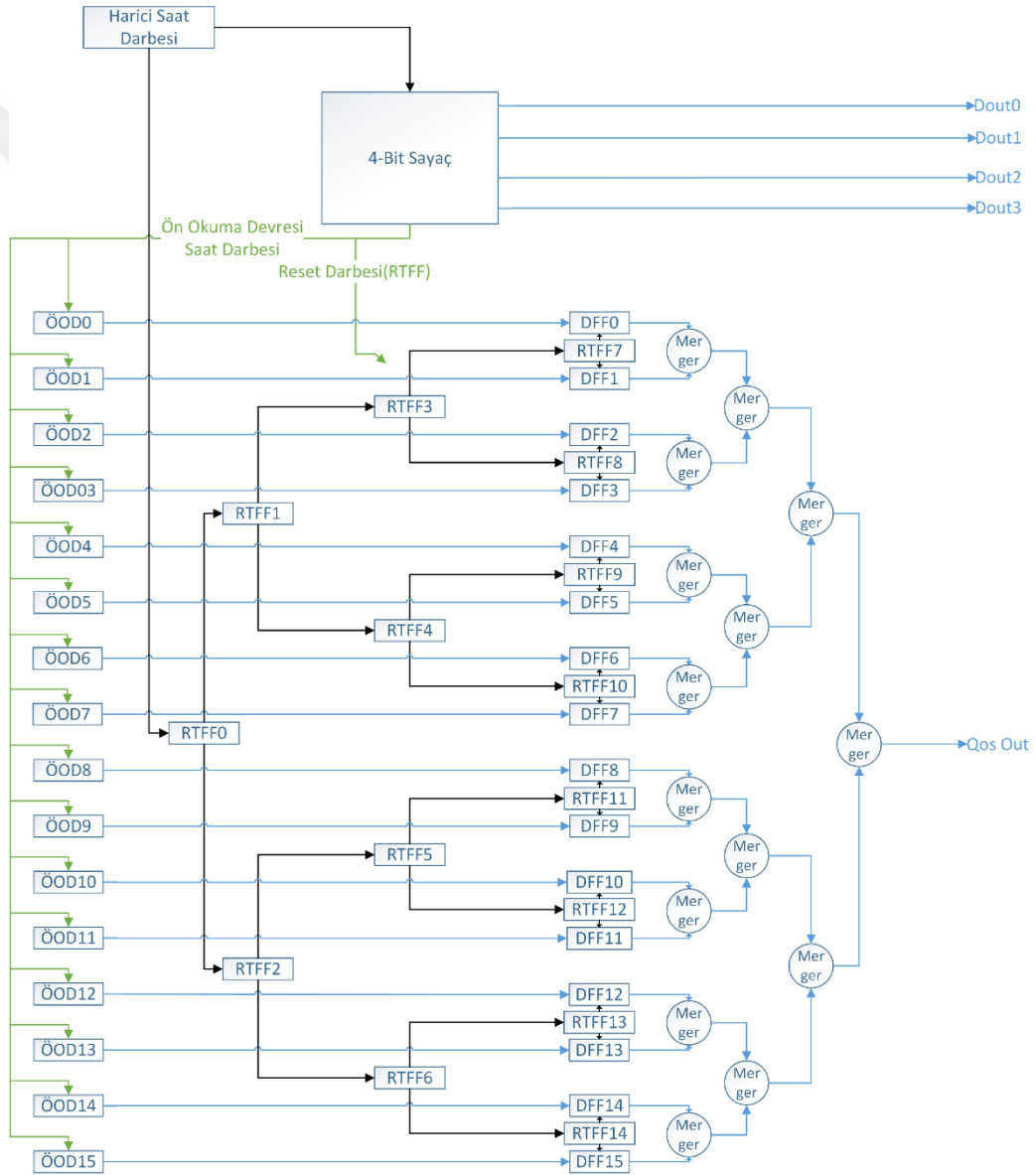
Tasarım içerisinde yer alan dijital mantık kapıları önceki bölümlerde özetlenmiştir. Şekil 3.1’de gösterilen 2-bit adresleme devresinin çalışma akışında gerçekleşen işlemler sırasıyla aşağıda tanımlanmaktadır:

- Harici saat darbesinin her darbe girdisi ile 2-bit sayaç içerisinde sırasıyla “0”, “1”, “2”, “3” sayıları arasında bir set tamamlanmaktadır. Her sayma setinin tamamlanması ile beraber yeni sayı setine geçmeden önce, sayaç tarafından Ön-Okuma Devreleri (ÖOD)’nin saat darbesi çıktısı ve RTFF hücrelerinin sıfırlama (reset) darbesi çıktıları oluşturulmaktadır.
- Ön Okuma Devresi 0, Ön Okuma Devresi 1, Ön Okuma Devresi 2, Ön Okuma Devresi 3, sayaç tarafından üretilen saat darbesi ile tetiklenmektedir. Ön okuma devrelerinin girişinde, ışığa gerçekleşmesine bağlı olarak oluşan eşik değerinin üstünde bir sinyal girişi varsa, ışımının gerçekleştiği pikselin ön-okuma devresi çıkışında SFQ darbesi çıktısı oluşturulur.
- Ön Okuma devreleri çıktıları kendilerine karşılık gelen DFF hücrelerinde depolanır.
- Harici saat darbesi ile tetiklenen RTFF0 hücresi ilk olarak RTFF1 hücresini tetiklemektedir. Tetiklenen RTFF1 hücresinin dout0 portunda oluşturduğu çıktı ise DFF0 hücresinin saat darbe girdisi olarak kullanılmaktadır. Gelen saat darbesi ile DFF0 hücresinde saklanan Ön Okuma Devresi 0’ın çıktısı merger hücresine iletilmiş olur. RTFF hücreleri ile ağaç dağıtım devresi tasarlanarak DFF hücrelerinin saat darbeleri oluşturulmaktadır.
- Bu yapı ile RTFF hücreleri tarafından üretilen saat darbelerinin, sırasıyla DFF0, DFF2, DFF1, DFF3 hücrelerini tetiklemesi bu hücrelerde saklanan çıktıların merger hücrelerine iletilmesini sağlamaktadır. Merger hücreleri ile ters ağaç darbe dağıtım devresi oluşturularak, paralel olarak merger hücrelerine iletilen çıktıların seriye dönüştürülmesi sağlanmaktadır. Bu sayede ön okuma devrelerinin çıktıları, Qos Out çıktı noktasında belirlenen sıra ile seri olarak elde edilmiş olur.
- Qos Out çıktı noktasında saat darbesi periyodu aralıklarında ön okuma devrelerinin çıktıları elde edilirken, eş zamanlı olarak sayaç devresinin Dout0

ve Dout1 çıktı noktalarında Qos Out çıktı noktasında elde edilen çıktıların adresleri verilmektedir.

- 4-bit adresleme devresinde 2-bit adresleme devresine göre devrenin büyümesinden kaynaklı çalışma frekansı azaldığından harici saat darbelerinin frekansının azaltılması gerekmektedir. Ayrıca tasarımın karmaşık bir yapıya sahip olması tasarımın doğruluk tablosunun değiştirilmesi gereksinimini ortaya çıkarmıştır. Bu tablolar 3.3’de anlatılmıştır.

Şekil 3.2’de 4-bit adresleme devresinin çalışma mantığını anlatan blok şeması verilmiştir.



Şekil 3.2 : 4-Bit adresleme devresi blok diyagramı.

3.3. Adresleme Devresi Girdi-Çıktı Tanımları

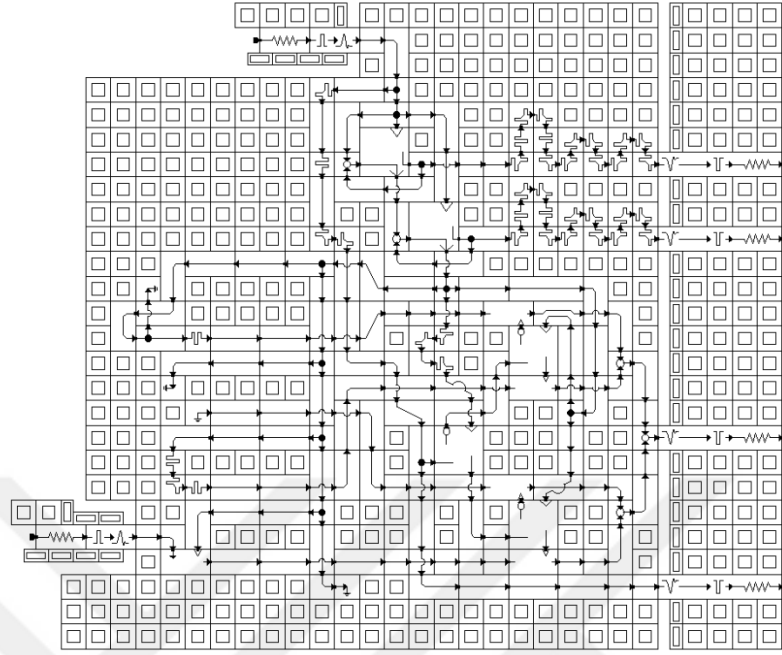
2-bit adresleme devresinin tasarımının, 4-bit adresleme devresi tasarımına göre daha kolay olmasından dolayı, doğruluk tablosunun değişmemesi için Şekil 3.1’de gösterildiği gibi Ön Okuma Devresi 1’in çıktısı DFF2’ye gönderilmiştir. Aynı şekilde Ön Okuma Devresi 2’nin çıktısı ise DFF1’e iletilmektedir. Bu sayede Çizelge 3.1’de verilen doğruluk tablosu ortaya çıkmaktadır.

Çizelge 3.1 : 2-bit adresleme devresi doğruluk tablosu.

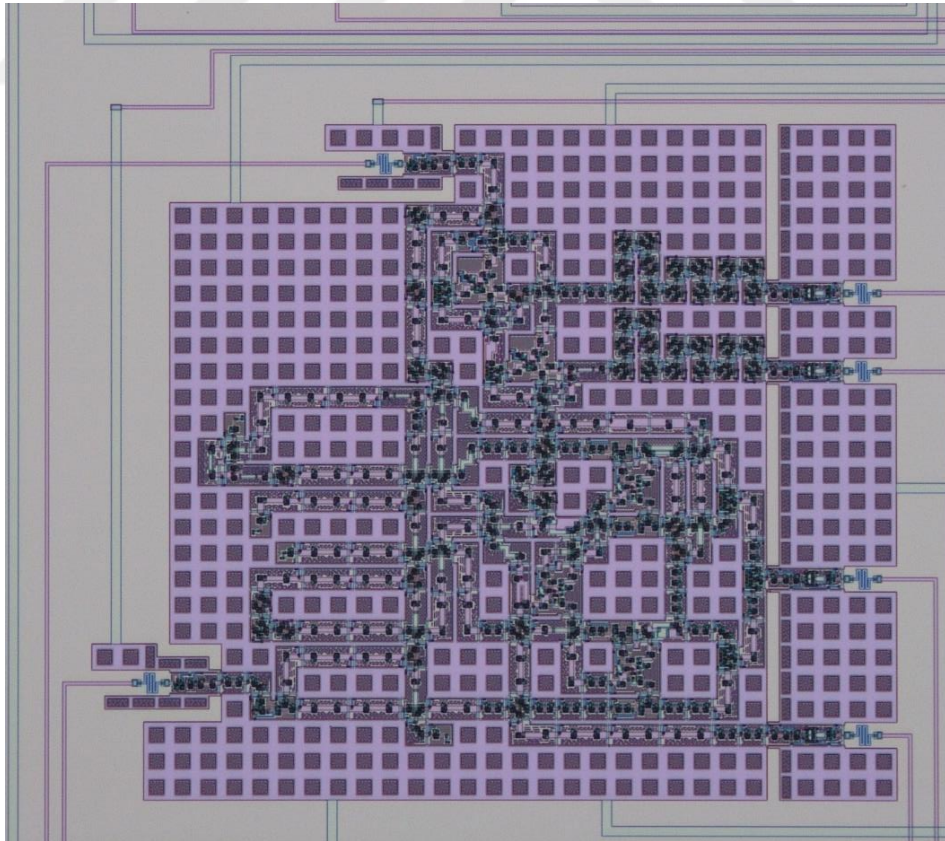
Dout1	Dout0	Adresi Verilen Ön Okuma Devresi
0	0	Ön Okuma Devresi 0
0	1	Ön Okuma Devresi 1
1	0	Ön Okuma Devresi 2
1	1	Ön Okuma Devresi 3

Harici saat darbesi tarafından gönderilen ilk saat darbesi RTFF0’a ulaşmadan önce adresleme devresindeki bütün RTFF hücreleri reset darbesi ile sıfırlanmaktadır. Bu durumda Şekil 1.18’de verilen Moore diyagramından da görüleceği üzere RTFF hücreleri “0” durumuna geçmektedir. Bu durumda girdi noktalarına gelen SFQ darbesi ilk olarak “Dout0” portunda çıktı oluşturduktan sonra aynı RTFF’e gelen ikinci SFQ darbesi “Dout1” portunda çıktı oluşmasına sebep olmaktadır. Şekil 3.1’de gönderilen ilk saat darbesi RTFF0’a ulaştıktan sonra RTFF0 hücresi çıktı oluşturarak önce RTFF1 hücresini tetiklemektedir. “0” durumunda bulunan RTFF1 hücresi de ilk olarak DFF0 hücresine saat darbesi göndermektedir. Bu durumda DFF0 hücresinin girdi noktasına gelen Ön Okuma Devresi 0’ın çıktısı, DFF0 hücresinin çıktı noktasından Merger hücreleri ile Qos Out çıktı noktasına iletilmektedir. İkinci saat darbesi RTFF0 hücresine ulaştığında “1” durumunda bulunan RTFF0 hücresi RTFF2 hücresini tetiklemektedir. RTFF2 hücresi ise “0” durumunda olduğundan ilk olarak DFF2 hücresinin saat darbesini oluşturmaktadır. Dolayısıyla DFF2 hücresinde saklanmakta olan Ön Okuma Devresi 1’in çıktısı, DFF2 çıktı noktasından Merger hücreleri ile Qos Out çıktı noktasına iletilmektedir. Dolayısıyla Qos Out çıktı noktasına sırasıyla Ön Okuma Devresi 0, Ön Okuma Devresi 1, Ön Okuma Devresi 2 ve Ön Okuma Devresi 3’ün çıktıları iletilmektedir. İletilen Ön Okuma Devresi çıktıları arasındaki zaman farkı harici saat darbesinin periyodu kadardır. Tasarımı

yapılan 2-bit adresleme devresinin şematik gösterimi Şekil 3.3'de, üretimi yapılan yonga üzerindeki gösterimi ise Şekil 3.4'de paylaşılmıştır.



Şekil 3.3 : 2-Bit adresleme devresinin şematik gösterimi.



Şekil 3.4 : 2-Bit adresleme devresinin yonga üzerindeki görüntüsü.

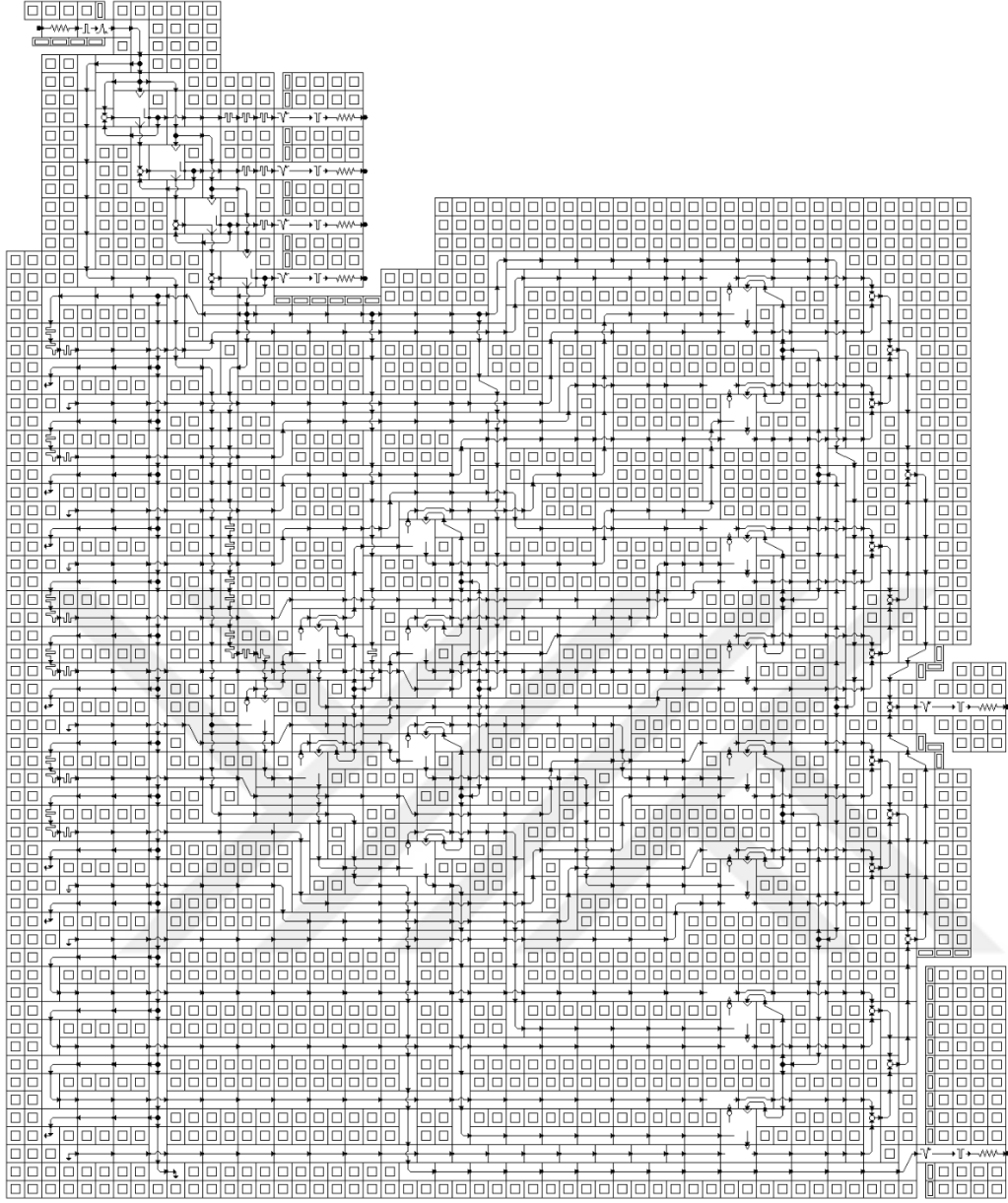
Qos Out çıktı noktasında oluşan mantık “0” adresi verilen ön okuma devresine ışınımın düşmediğini gösterirken, mantık “1” ise adresi verilen ön okuma devresinin üzerine ışınım düştüğünü belirtmektedir. Harici saat darbesi frekansında çalışan sayaç devresi, Çizelge 3.1’de gösterildiği gibi Qos Out çıktı noktasına ulaşan çıktının ait olduğu ön okuma devresinin adresini, eş zamanlı olarak belirtmektedir.

4-bit adresleme devresinin doğruluk tablosu tasarımın karmaşıklığı nedeniyle 2-bit adresleme devresine göre farklılık göstermektedir. 4-bit adresleme devresinin Şekil 3.2’deki blok diyagramından da görüleceği üzere harici saat darbesi RTFF hücrelerini tetiklemeden önce, sayaç tarafından üretilen reset darbesi RTFF hücrelerini sıfırlamaktadır. Harici saat darbesi RTFF hücrelerini tetiklediğinde, Şekil 3.1’de paylaşılan 2-bit adresleme devresinde olduğu gibi RTFF hücreleri tarafından ilk olarak DFF0 hücresinin saat darbesi oluşturulmaktadır. Bu durumda ilk olarak DFF0 hücresinde saklanmakta olan ÖOD0’in çıktısı gelen saat darbesi ile Qos Out çıktı noktasına ulaşmaktadır. Bu durumda “0000” adres biti ÖOD0’in adresini vermiş olur. İkinci saat darbesi RTFF0 hücresine ulaştığında, önceden tetiklenen RTFF0 hücresi “1” durumuna geçtiğinden “Dout1” portunda çıktı oluşturarak RTFF2 hücresini tetiklemektedir. “0” durumunda bulunan RTFF2 hücresinin “Dout0” portunda çıktı oluştuğundan tetiklenen bir sonraki hücre RTFF5 hücresi olmaktadır. “0” durumunda bulunan RTFF5 hücresi ise RTFF11 hücresinin girdi noktasına saat darbesini iletmektedir. RTFF11 hücresi de “0” durumunda olduğundan ilk olarak “Dout0” portunda çıktı oluşturarak bu çıktıyı DFF8 hücresine saat darbesi olarak göndermektedir. DFF8 hücresinde saklanmakta olan ÖOD8’in çıktısı da merger hücreleri ile Qos Out çıktı noktasına iletilmektedir. Bu durumda Qos Out çıktı noktasına ulaşan ikinci ÖOD çıktısı ÖOD8’e ait olduğundan “0001” adres biti ÖOD8’i adreslemek için kullanılmaktadır. Aynı şekilde üçüncü saat darbesi ÖOD4’ün, dördüncü saat darbesi de ÖOD12’nin çıktısını Qos Out çıktı noktasına ulaştırmaktadır. Bu şekilde devam eden döngü takip edildiğinde Çizelge 3.2’de verilen doğruluk tablosu çıkarılmıştır.

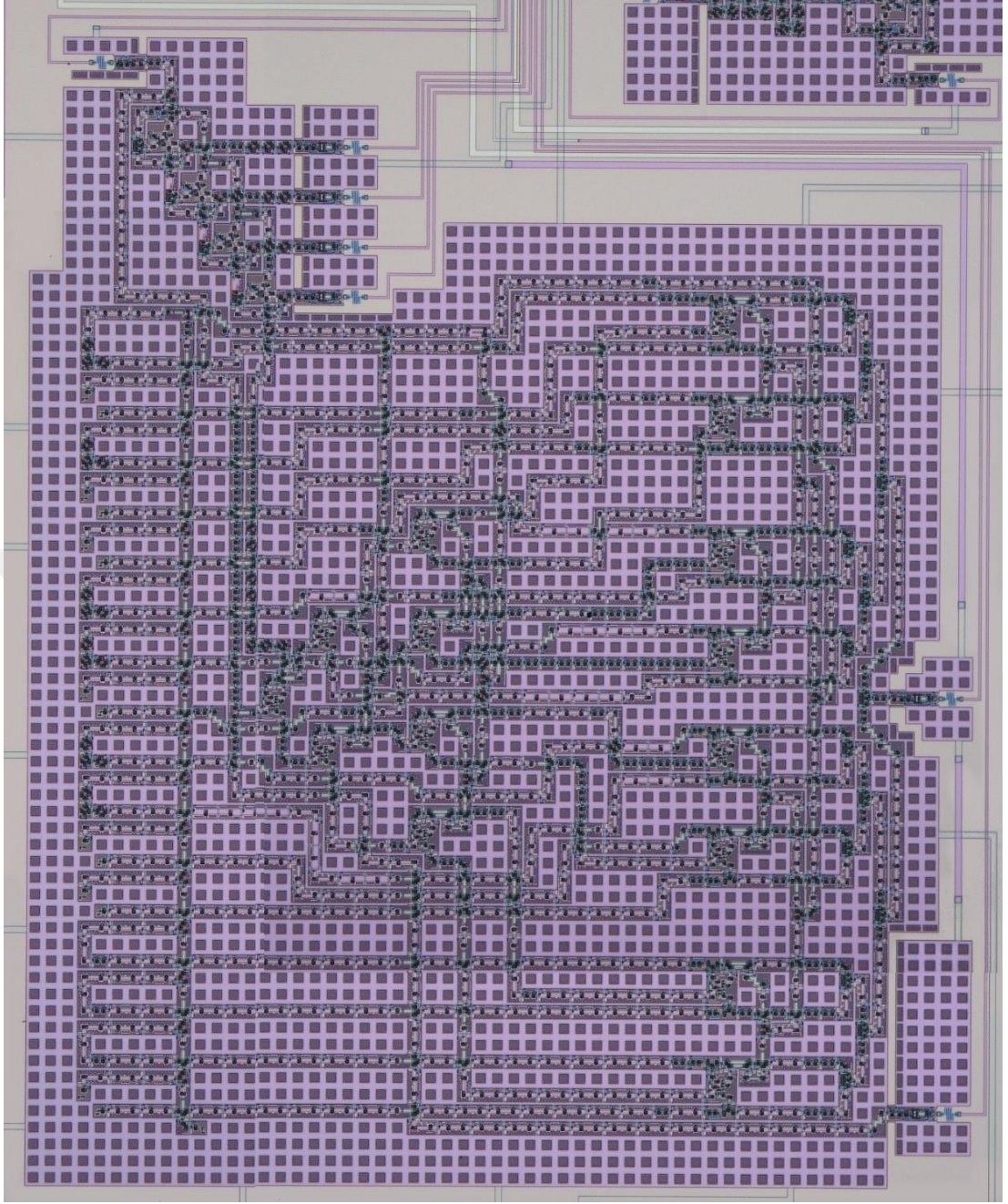
Çizelge 3.2 : 4-bit adresleme devresi doğruluk tablosu.

Dout3	Dout2	Dout1	Dout0	Adresi Verilen Ön Okuma Devresi
0	0	0	0	Ön Okuma Devresi 0
0	0	0	1	Ön Okuma Devresi 8
0	0	1	0	Ön Okuma Devresi 4
0	0	1	1	Ön Okuma Devresi 12
0	1	0	0	Ön Okuma Devresi 2
0	1	0	1	Ön Okuma Devresi 10
0	1	1	0	Ön Okuma Devresi 6
0	1	1	1	Ön Okuma Devresi 14
1	0	0	0	Ön Okuma Devresi 1
1	0	0	1	Ön Okuma Devresi 9
1	0	1	0	Ön Okuma Devresi 5
1	0	1	1	Ön Okuma Devresi 13
1	1	0	0	Ön Okuma Devresi 3
1	1	0	1	Ön Okuma Devresi 11
1	1	1	0	Ön Okuma Devresi 7
1	1	1	1	Ön Okuma Devresi 15

Tasarımı yapılan 4-bit adresleme devresinin şematik gösterimi Şekil 3.5’de, üretimi yapılan devrenin yonga üzerindeki görüntüsü de Şekil 3.6’de paylaşılmıştır.



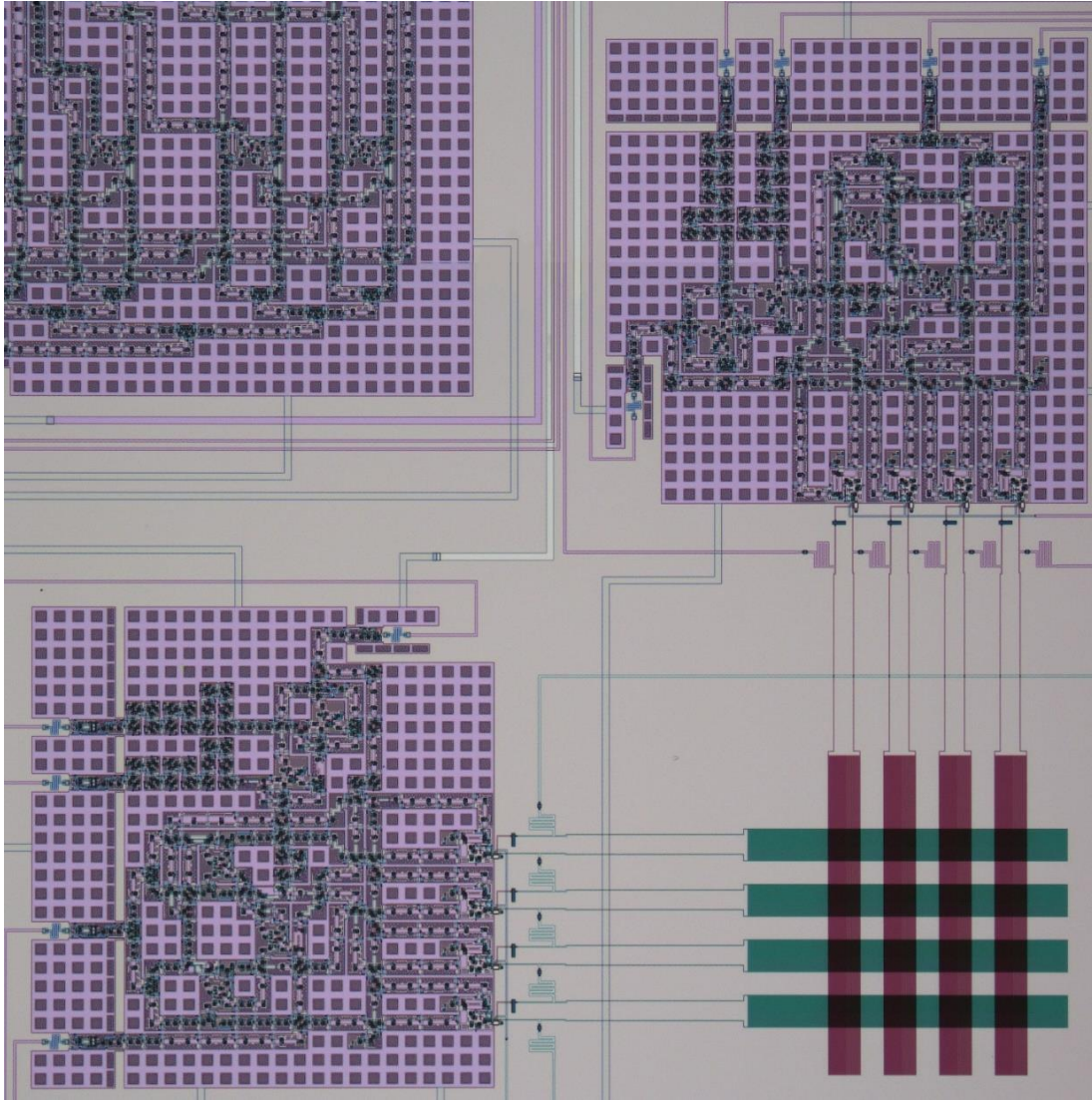
Şekil 3.5 : 4-Bit adresleme devresinin şematik gösterimi.



Şekil 3.6 : 4-Bit adresleme devresinin yonga üzerindeki görüntüsü.

3.4. Adresleme Devresi İki Eksenli Pksel Okuma

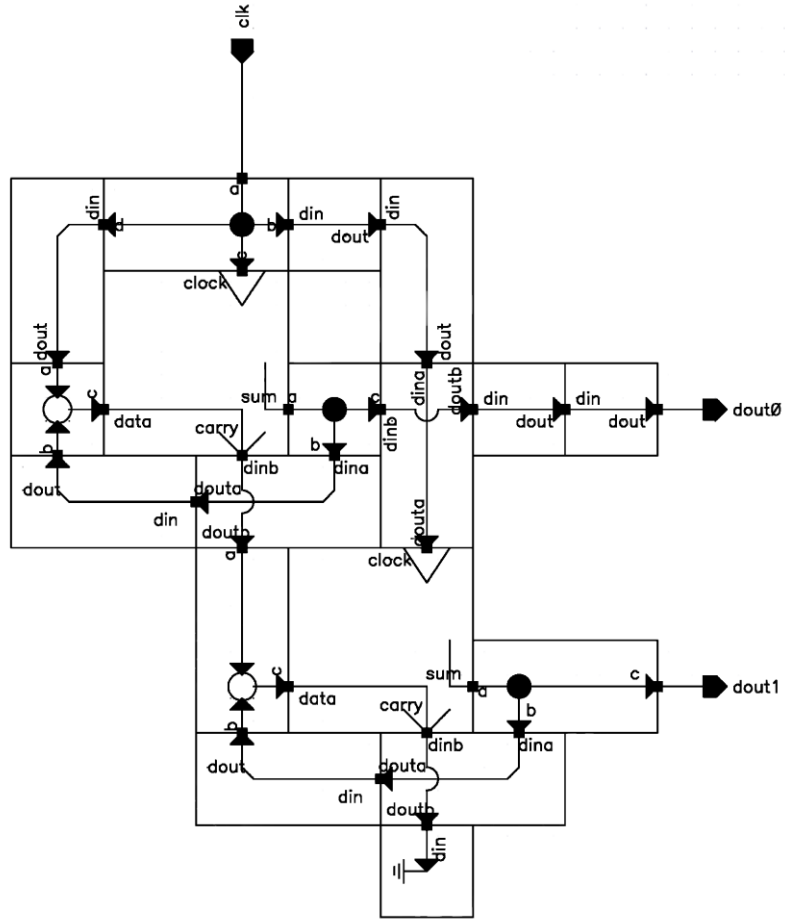
Ön okuma devreleri ile birleştirilmiş adresleme devrelerinin, matris oluşturacak şekilde yerleştirilmesi sonrasında üretimi gerçekleştirilen iki eksenli devrenin yonga üzerindeki görünümü Şekil 3.7'deki gibidir.



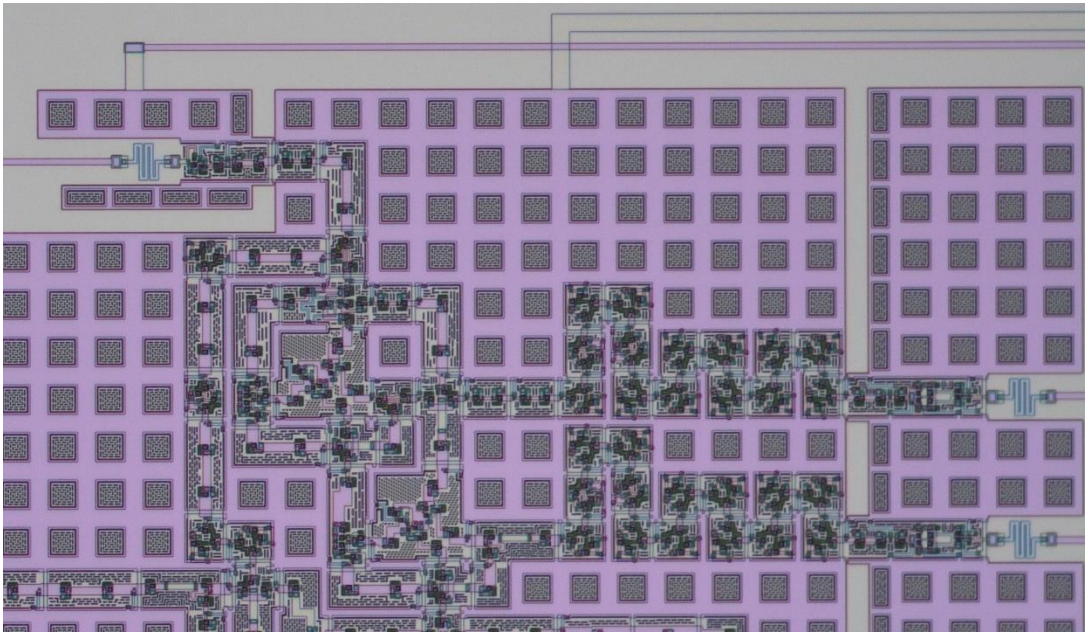
Şekil 3.7 : Ön okuma devreleri ile birleştirilmiş 2-Bit adresleme devrelerinin yonga üzerindeki matris görünümü.

3.5. Simülasyon Sonuçları

Tasarımı yapılan adresleme devrelerinin ve adresleme devrelerinde kullanılan sayaçların Verilog-XL ve JSIM simülatörlerinde simülasyonları gerçekleştirilmiştir. 2-bit adresleme devresinin Şekil 3.1’de gösterilen blok diyagramında yer alan 2-bit sayaç devresinin şematik gösterimi Şekil 3.8’de, yonga üzerindeki gösterimi ise Şekil 3.9’da verilmiştir.

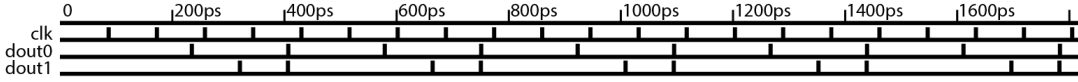


Şekil 3.8 : 2-Bit sayaç devresinin şematik gösterimi.

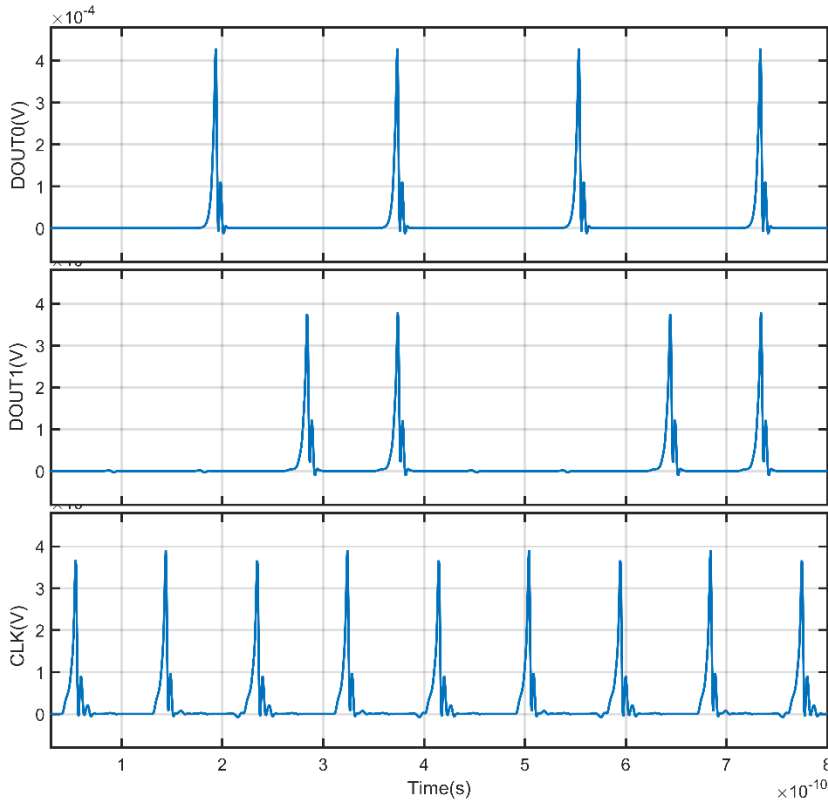


Şekil 3.9 : 2-Bit sayaç devresinin yonga üzerindeki gösterimi.

Sayaç devresi her saat darbesinde ikilik tabandaki sayıları 1 artırarak bir sonraki sayıya geçmektedir ve n bitlik bir sayaç devresi 2^n-1 'e kadar sayabilmektedir. Sayaç devresi 2^n-1 'e kadar saydıktan sonra başlangıç değeri olan 0'a dönmektedir ve devresinin bias akımı kesilene kadar bu döngü devam etmektedir. 2-bitlik sayaç devresi "00" 'dan başlayarak "11" 'e kadar sayabilmektedir. 2-bit sayaç devresinin Verilog-XL simülasyonu Şekil 3.10'da, JSIM simülasyonu ise Şekil 3.11'de paylaşılmıştır.



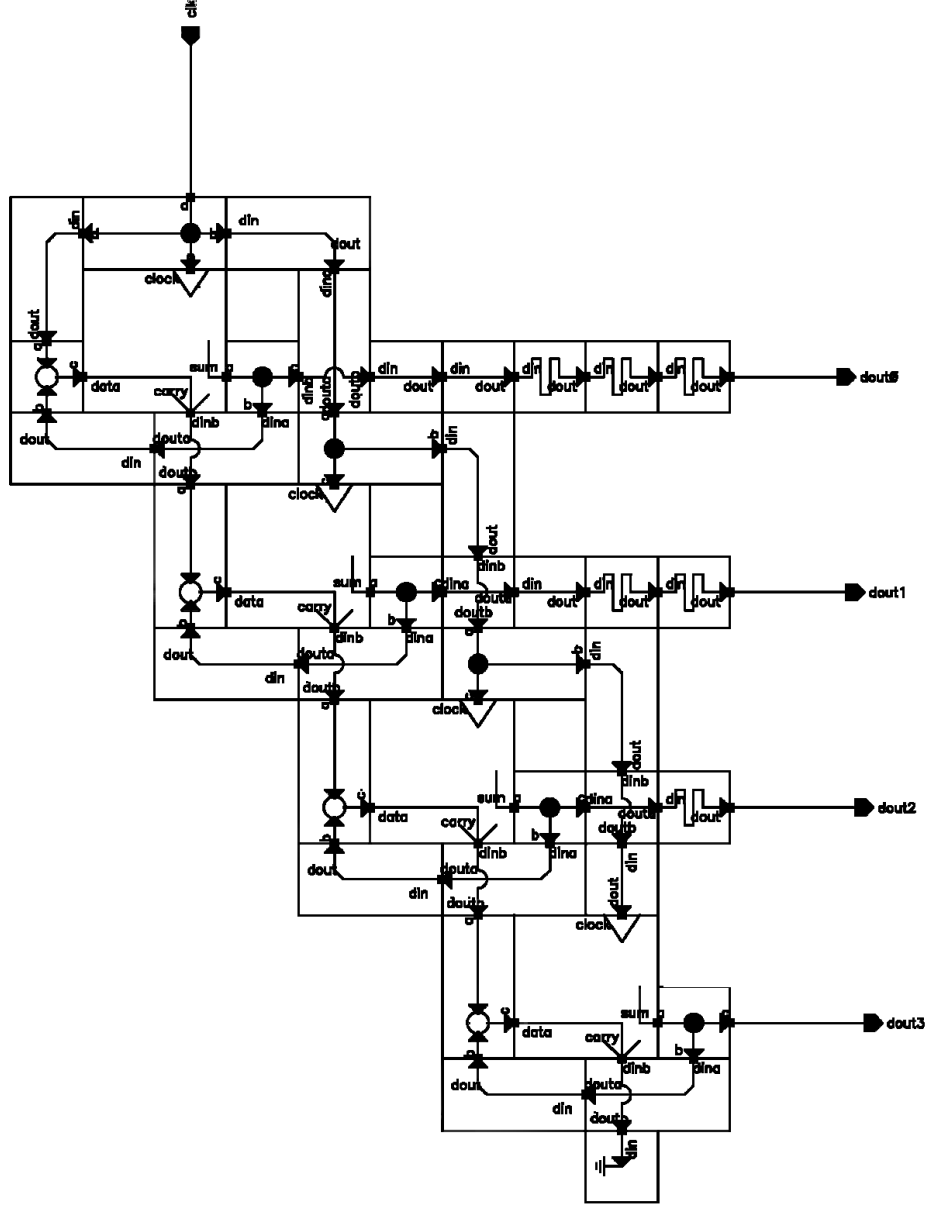
Şekil 3.10 : 2-Bit sayaç devresinin Verilog-XL simülasyonu.



Şekil 3.11 : 2-Bit sayaç devresinin JSIM simülasyonu.

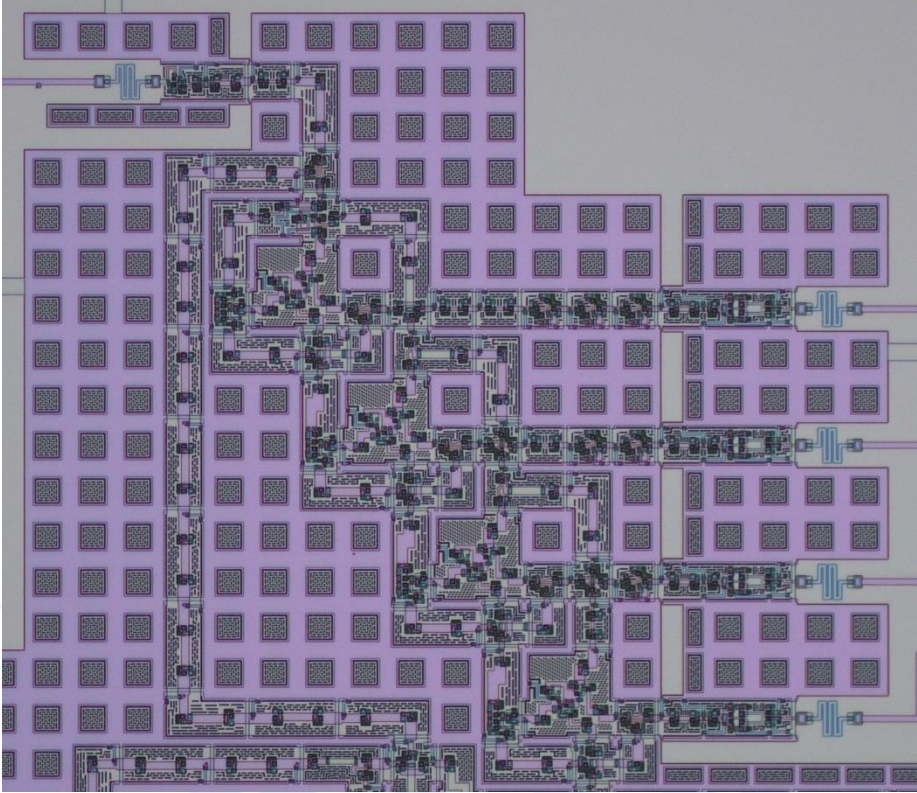
2-bit sayaç devresinin Verilog-XL ve JSIM simülasyonlarından da görüleceği üzere, bu devrenin "00" 'dan başlayarak "11" 'e kadar saydığını gösteren iki döngüsü paylaşılmaktadır. "Dout0" en önemsiz biti (least significant bit), "Dout1" ise en önemli biti (most significant bit) temsil etmektedir. 2-bit sayaç devresinin "Dout0" ve "Dout1" çıktı noktalarında oluşturduğu SFQ darbeleri, Çizelge 3.1'de de gösterildiği gibi ön okuma devrelerinin adreslerini belirtmektedir.

Şekil 3.2’deki 4-bit adresleme devresinin blok diyagramında yer alan 4-bit sayaç devresinin şematik gösterimi Şekil 3.12’de, yonga üzerindeki görünümü ise Şekil 3.13’de gösterilmiştir.

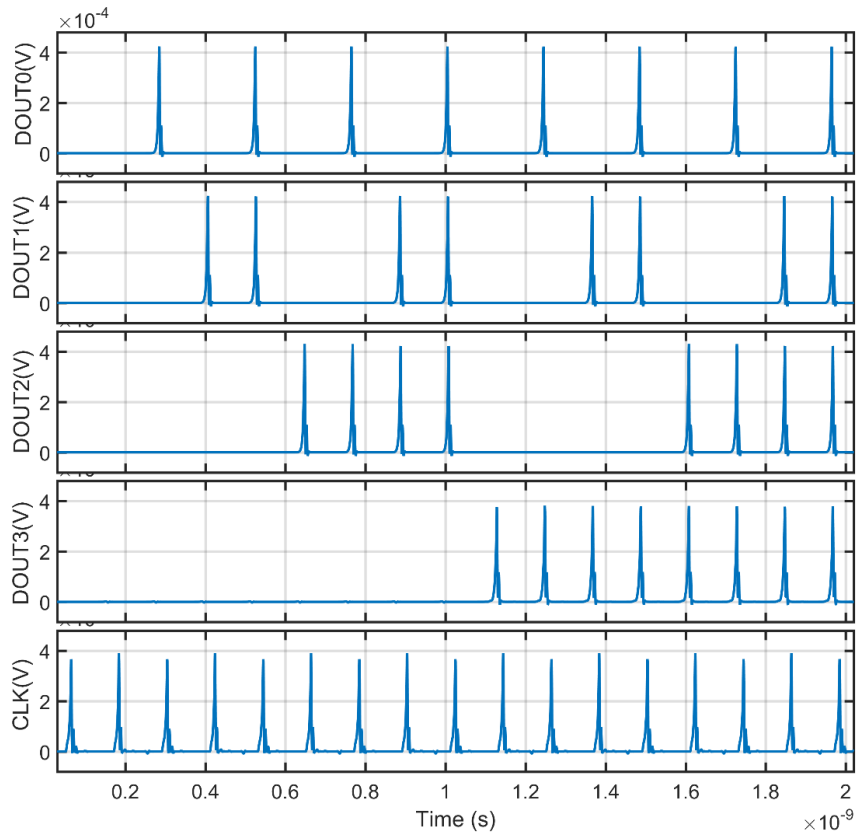


Şekil 3.12 : 4-Bit sayaç devresinin şematik gösterimi.

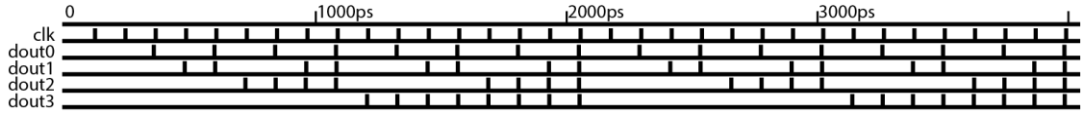
4-bitlik sayaç devresi her döngüsünde ikilik tabanda “0000” ’dan “1111” ’e kadar saymaktadır. Bu sayılar, 4-bitlik adresleme devresinde 0’dan 15’e kadar olan ön okuma devrelerinin adreslerini belirtmektedir. 4-bitlik sayaç devresinin gerçekleştirilen JSIM simülasyonu Şekil 3.14’de, Verilog-XL simülasyonu ise Şekil 3.15’de paylaşılmıştır.



Şekil 3.13 : 4-Bit sayaç devresinin yonga üzerindeki gösterimi.



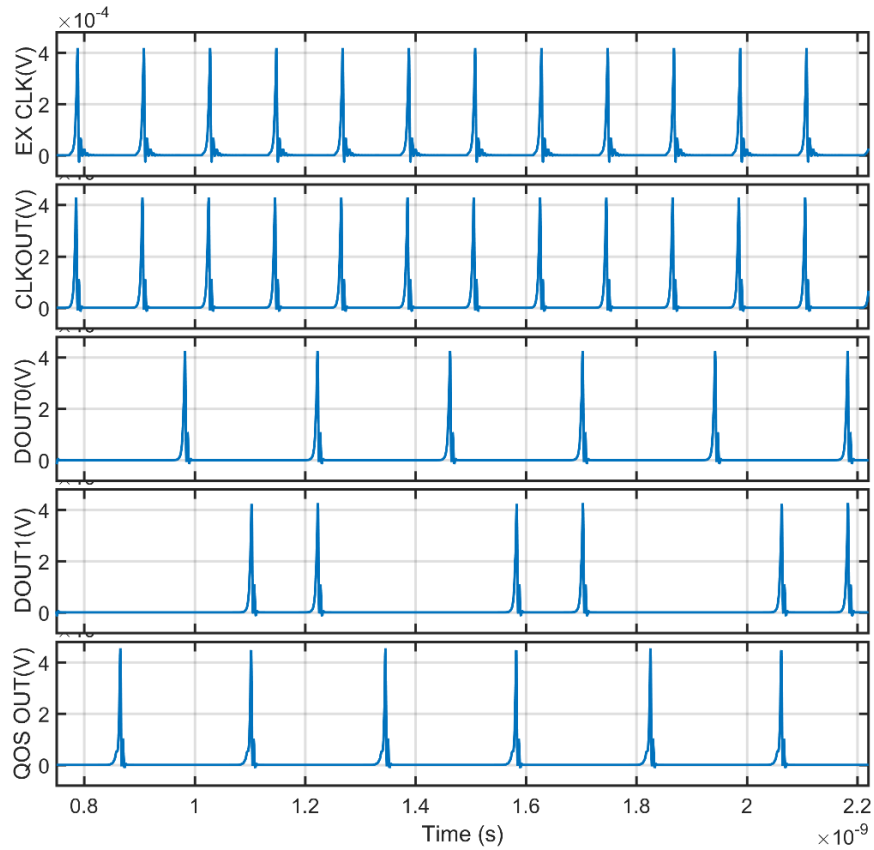
Şekil 3.14 : 4-Bit sayaç devresinin JSIM simülasyonu.



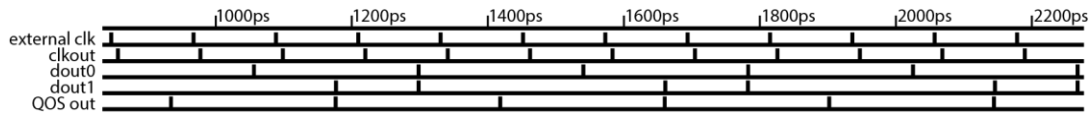
Şekil 3.15 : 4-Bit sayaç devresinin Verilog-XL simülasyonu.

Paylaşılan simülasyon sonuçlarından da görüleceği üzere 4-bitlik sayaç devresi, her saat darbesinde bulunduğu sayıyı 1 artırarak, “0000” ’dan “1111” ’e kadar saymaktadır. 4-bit sayaç devresinde “Dout0” en önemsiz biti temsil ederken, “Dout3” en önemli biti temsil etmektedir.

Tasarımları gerçekleştirilen 2-bit adresleme devresi ile 4-bit adresleme devresinin şematik gösterimleri, Şekil 3.3 ve Şekil 3.5’de paylaşılmıştı. Ön okuma devresi 0 ve ön okuma devresi 2’de çıktı olduğu durumda 2-bit adresleme devresinin gerçekleştirilen JSIM simülasyonu Şekil 3.16’da, Verilog-XL simülasyonu ise Şekil 3.17’de verilmiştir. Bu simülasyonlar incelendiğinde, 2-bit adresleme devresinin Çizelge 3.1’de verilen doğruluk tablosu ile simülasyon sonuçlarının uyuşması devrenin çalışmasını doğrulamaktadır.

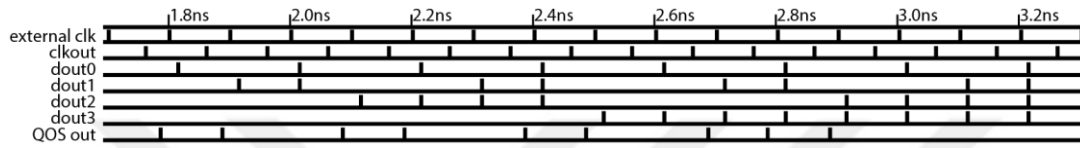


Şekil 3.16: 2-Bit adresleme devresinin JSIM simülasyonu.

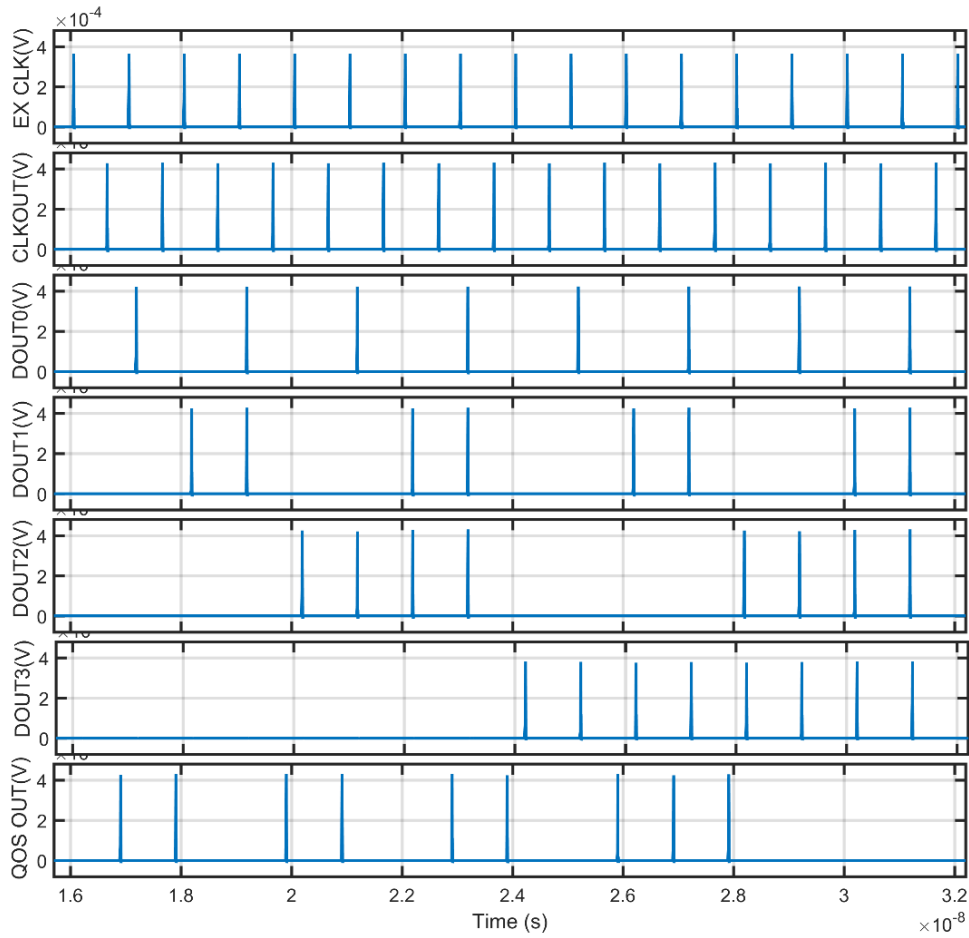


Şekil 3.17 : 2-Bit adresleme devresinin Verilog-XL simülasyonu.

4-bit adresleme devresinin simülasyon sonuçları da Çizelge 3.2’de verilen doğruluk tablosu ile uyduğundan, simülasyon sonuçları 4-bit adresleme devresinin çalıştığını kanıtlamaktadır. 4-bit adresleme devresinin Verilog-XL simülasyon sonucu Şekil 3.18’de, JSIM simülasyon sonucu da Şekil 3.19’de verilmiştir.



Şekil 3.18 : 4-Bit adresleme devresinin Verilog-XL simülasyonu.

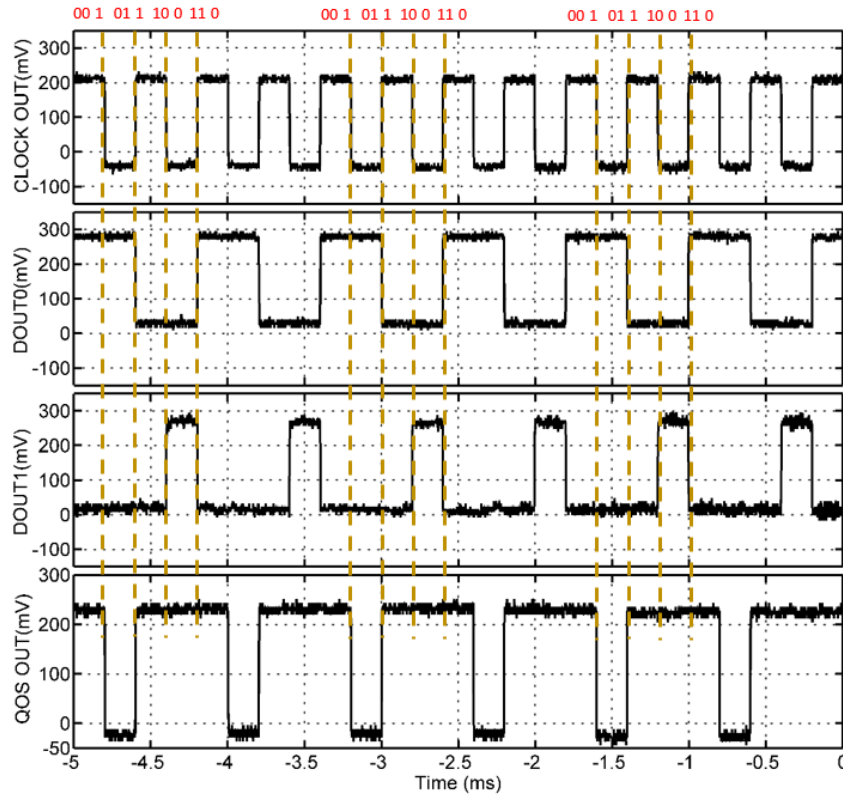


Şekil 3.19 : 4-Bit adresleme devresinin JSIM simülasyonu.

3.6. Deneysel Sonuçlar

Deneysel sonuçlar kısmında paylaşılan şekillerde “CLOCK OUT” etiketi, adresleme devresine uygulanan harici saat sinyalinin devrenin kritik yolunu takip ederek devreden çıkışını temsil etmektedir. 2 bit adresleme devresi için “DOUT0” ve “DOUT1” adres bitleri olup, “DOUT0” en önemsiz biti temsil ederken, “DOUT1” en önemli biti göstermektedir. “QOS OUT” etiketi ise ön okuma devrelerinin çıktılarının seri darbe treni halinde çıktılarını gösteren portu temsil etmektedir. Optik testlerde kullanılan lazer ise “LASER” etiketi ile gösterilmiştir.

Şekil 2.1’de verilen dijital devre test sistemi ile testi gerçekleştirilen 2-bit adresleme devresinin deney sonucu Şekil 3.20’de paylaşılmıştır. Bu şekilde görüleceği üzere 2-bit sayaç devresinin adres bitleri olan “Dout0” ve “Dout1” sırasıyla “00”, “01”, “10”, “11” değerlerini alırken, ön okuma devresi 0 ve ön okuma devresi 1’de çıktı olduğu gözlemlenmiştir.

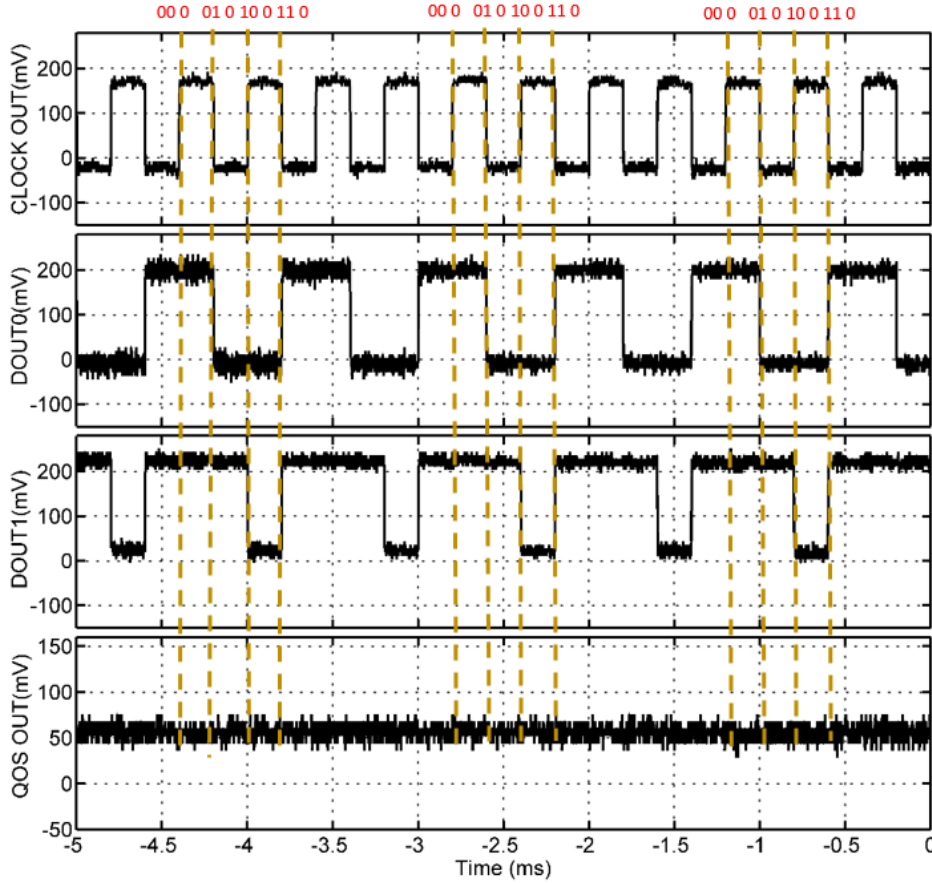


Şekil 3.20 : 2-Bit adresleme devresinin dijital deney sonucu.

Şekil 3.16’da verilen simülasyon sonucu ile 2-bit adresleme devresinin dijital deney sonucu incelendiğinde, ön okuma devresi 2’nin çıktı oluşturması beklenirken ön okuma devresi 1 çıktı oluşturmuştur. Bu durumun nedeni anlaşılammıştır ancak

yapılan optik testlerde, adresleme devresinin tetiklenen ön okuma devresinin adresini doğru vermesi ile devrenin beklenildiği gibi çalıştığı doğrulanmıştır. Yongayı taşıyan taşıyıcı ile yonga arasında yapılan “wire-bonding” işlemi esnasında “DOUT0” ve “DOUT1” çıktılarının birbirlerine ait pinlere bağlanması böyle bir sonuca sebep olabilmektedir.

Şekil 2.2’de blok diyagramı verilen optik test sistemi kullanılarak 4 tane ön okuma devresiyle birleştirilmiş 2-bit adresleme devresinin testi gerçekleştirilmiştir. Yapılan test ile 2-bit sayaç devresinin adresleme bitlerinin çalıştığı Şekil 3.20’de olduğu gibi tekrar doğrulanmıştır. Ön okuma devrelerinin şeritlerinin üzerinde ışımaya oluşturmak için lazer kullanılmadığı durumda hiç bir ön okuma devresinin çıktı oluşturmaması beklenmektedir. Bu durum Şekil 3.21’de paylaşılan osiloskop görüntüsü ile doğrulanmıştır.

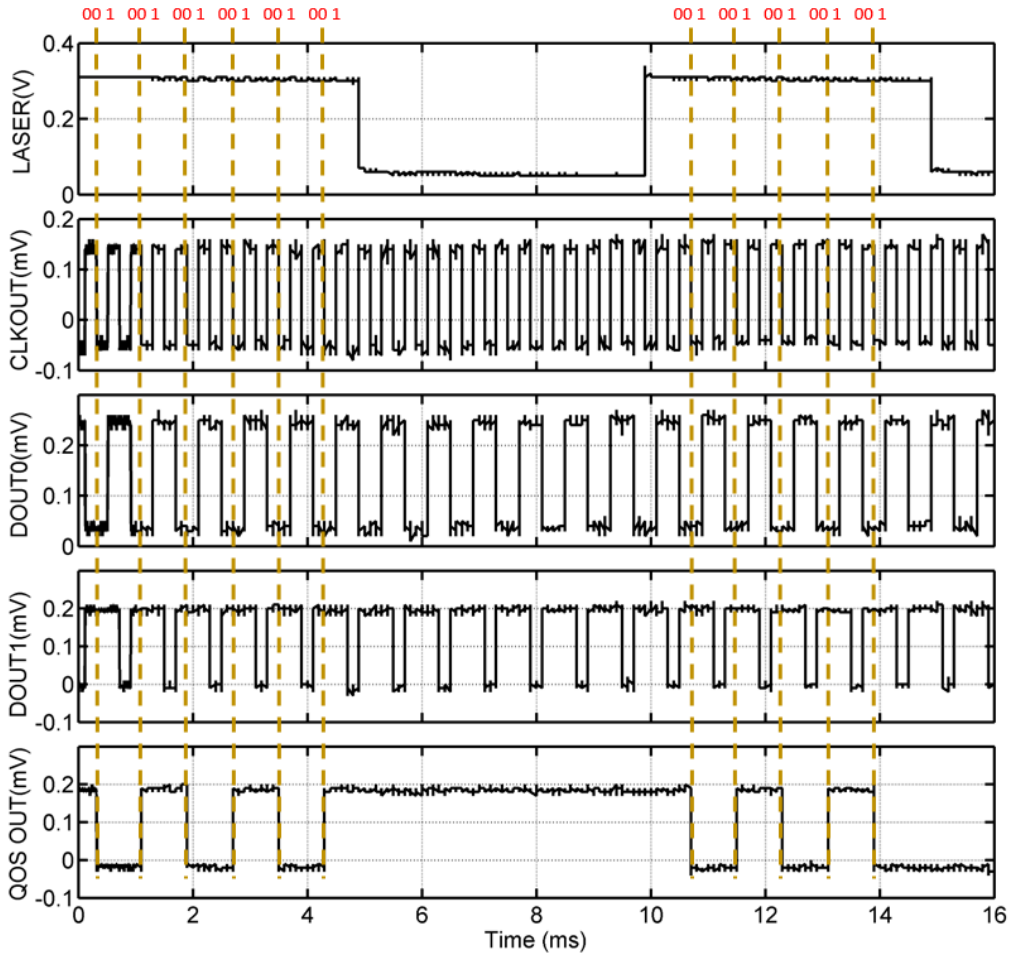


Şekil 3.21 : Lazer uygulanmadığı durumda ön okuma devreleri ile birleştirilmiş 2-Bit adresleme devresinin deney sonucu.

2-bit adresleme devresi ile birleştirilmiş 4 adet ön okuma devresi test edilirken, kullanılan filtreden dolayı çıktılar 1.2 ms gecikme ile gözlemlenmektedirler. Bu

yüzden sırasıyla ön okuma devresi 0, ön okuma devresi 1 , ön okuma devresi 2 ve ön okuma devresi 3'ün SSLD şeritlerine lazer uygulandıktan sonra elde edilen test sonuçlarında “LASER” çıktısı 1.2 ms kaydırılarak çizdirilmiştir. Şekil 3.22’de ön okuma devresi 0’ın üzerine lazer düşürüldüğünde elde edilen deneysel sonuç gösterilmiştir.

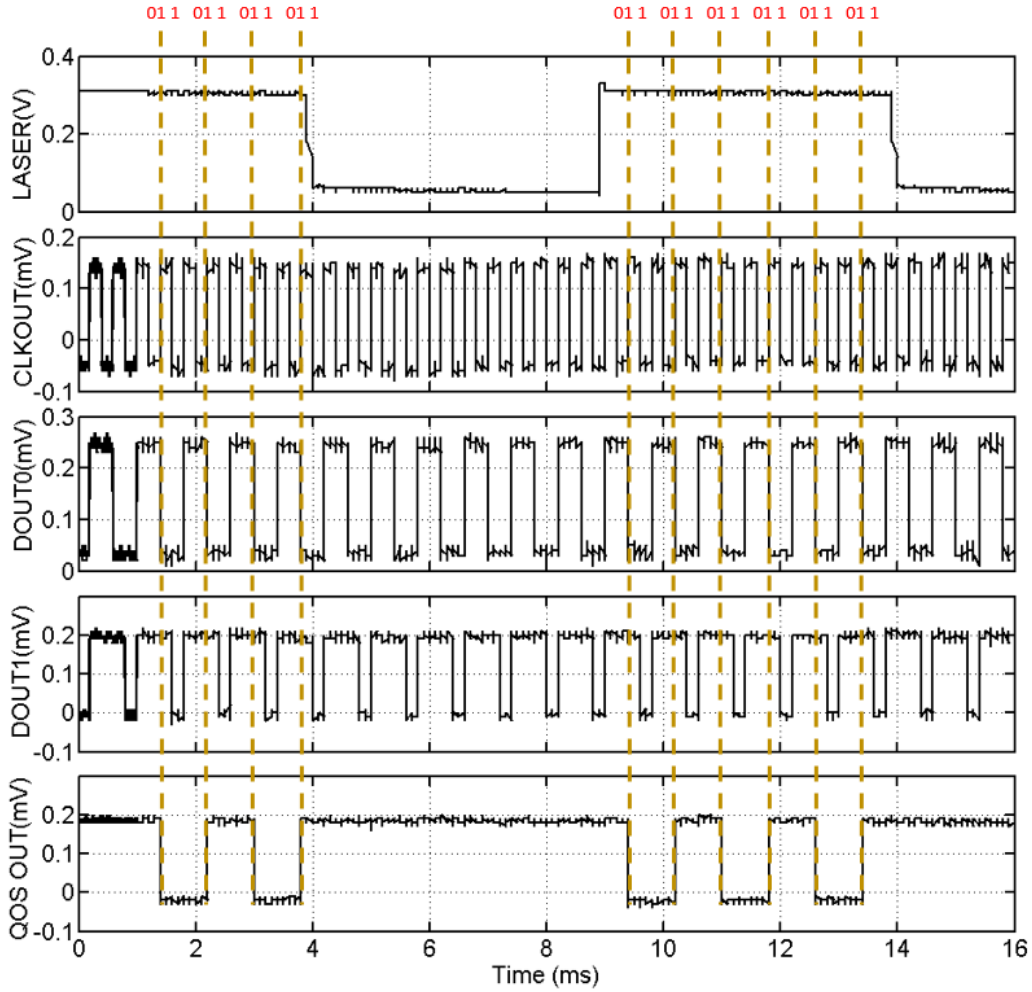
Çizelge 3.1’de paylaşılan doğruluk tablosunda görüleceği üzere “00” adres biti ön okuma devresi 0’ı temsil etmektedir. Şekil 3.22’de lazerin açık olduğu durumda “QOS OUT” çıktı noktasında mantık “1” çıktısı görüldüğünde, adres bitleri “00” durumunda bulunmaktadır. Ön okuma devresi 0’a lazer uygulandığında adres bitlerinin “00” durumunda bulunması, yapılan simülasyonların deneysel olarak da gerçekleştiğini göstermektedir.



Şekil 3.22 : Ön okuma devresi 0’ın SSLD şeritlerine lazer uygulandığında 2-Bit adresleme devresinin deney sonucu

Çizelge 3.1’de paylaşılan doğruluk tablosunda görüleceği üzere “01” adres biti ön okuma devresi 1’i temsil etmektedir. Şekil 3.23’de “QOS OUT” çıktı noktasında

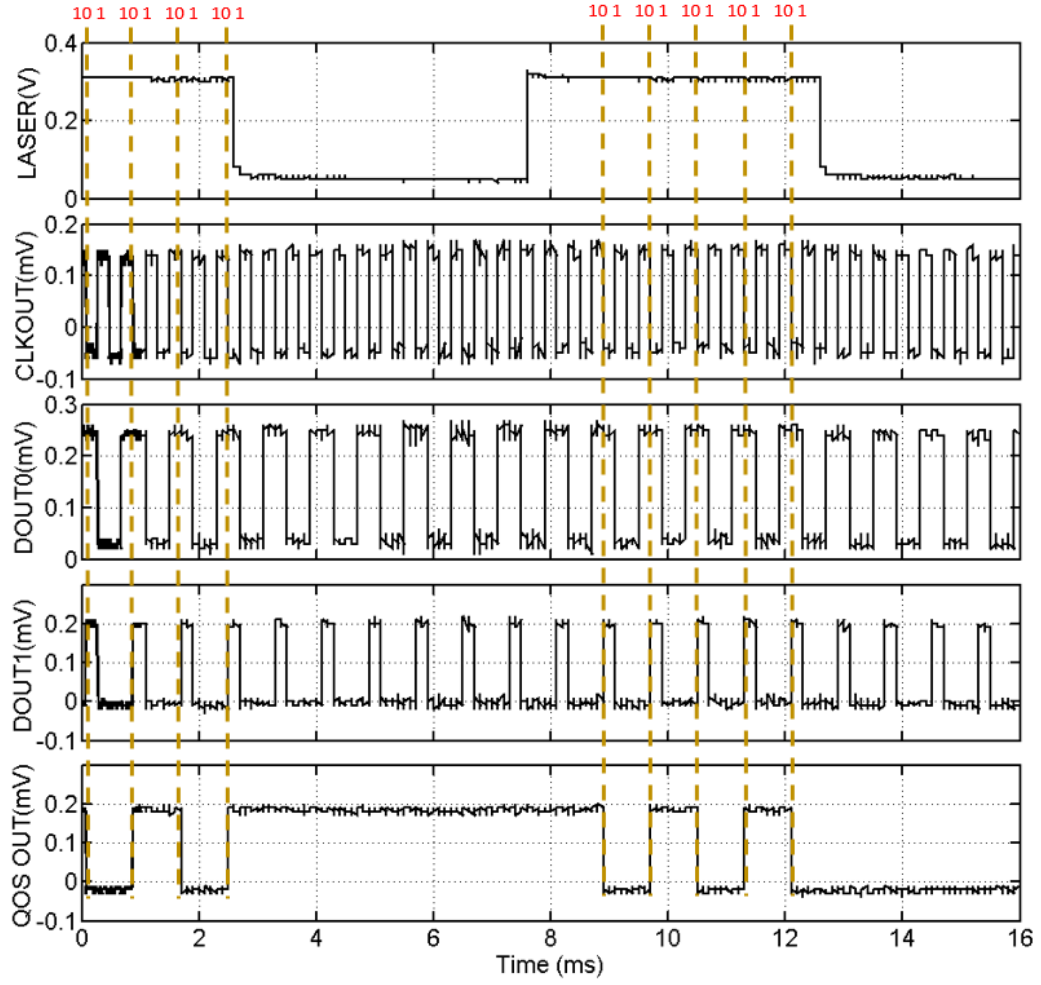
lazerin açık olduğu durumda mantık “1” çıktısı görüldüğünde, adres bitleri “01” durumunda bulunduğundan, elde edilen deney sonucu simülasyon sonucunu desteklemektedir.



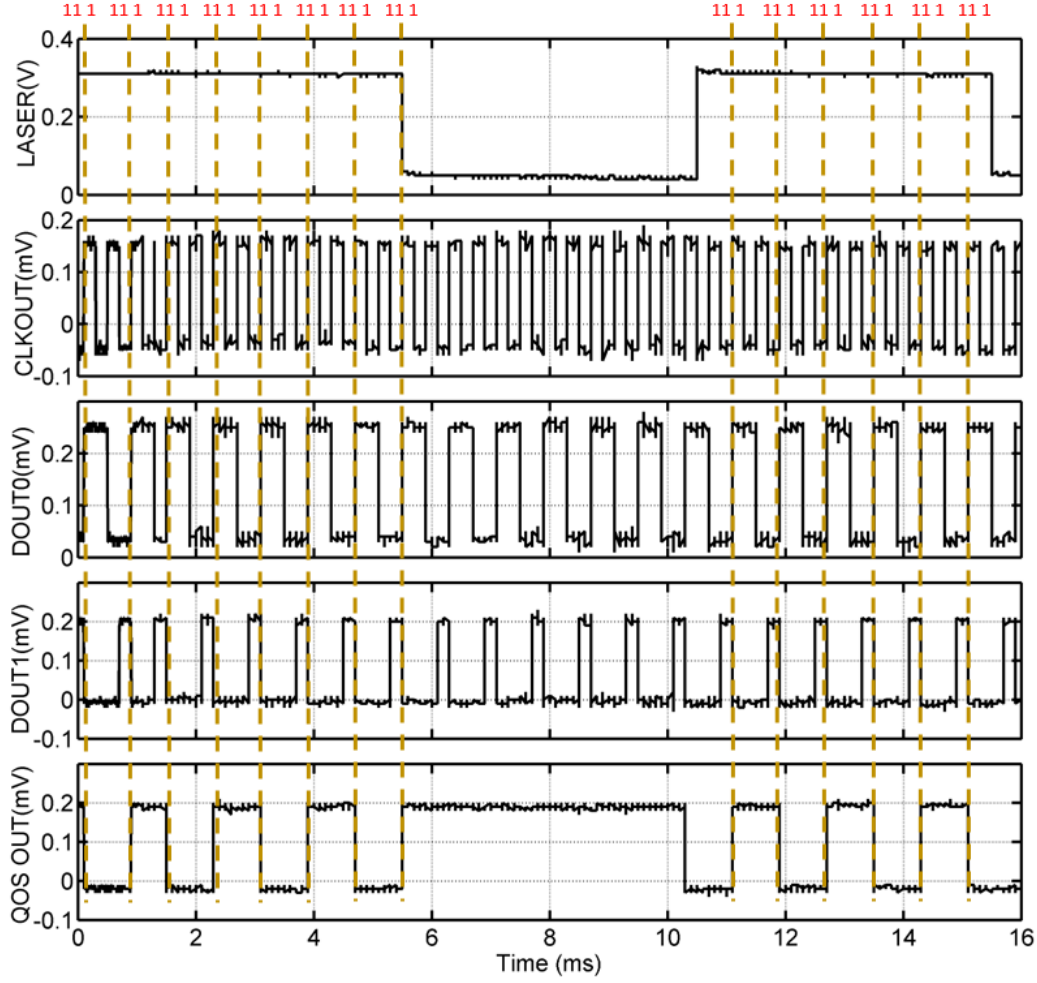
Şekil 3.23 : Ön okuma devresi 1’in SSLD şeritlerine lazer uygulandığında 2-Bit adresleme devresinin deney sonucu

Çizelge 3.1’de verilmiş olan doğruluk tablosunda ön okuma devresi 2, “10” durumu ile gösterilirken, ön okuma devresi 3 ise “11” durumu ile temsil edilmektedir. Bu ön okuma devrelerinin şeritlerinin üzerine lazer uygulandığında elde edilen deneysel sonuçlar sırasıyla Şekil 3.24 ve Şekil 3.25’de paylaşılmıştır. Şekil 3.24’deki deneysel sonuç incelendiğinde lazerin açık olduğu durumda “QOS OUT” çıktı noktasında mantık “1” çıktısı gözlemlenirken, adres bitleri “10” durumunda bulunmaktadır. Şekil 3.25’de ise lazerin açık olduğu durumda “QOS OUT” çıktı noktasında mantık “1” çıktısı gözlemlenirken, adres bitleri “11” durumunda bulunmaktadır. Sonuç olarak istenilen ön okuma devresi tetiklendiğinde adresleme devresi, tetiklenmiş olan

ön okuma devresinin adresini doğru bir şekilde vermektedir. Bu durum, tasarımı yapılan adresleme devresinin gerçekleştiğini göstermektedir.

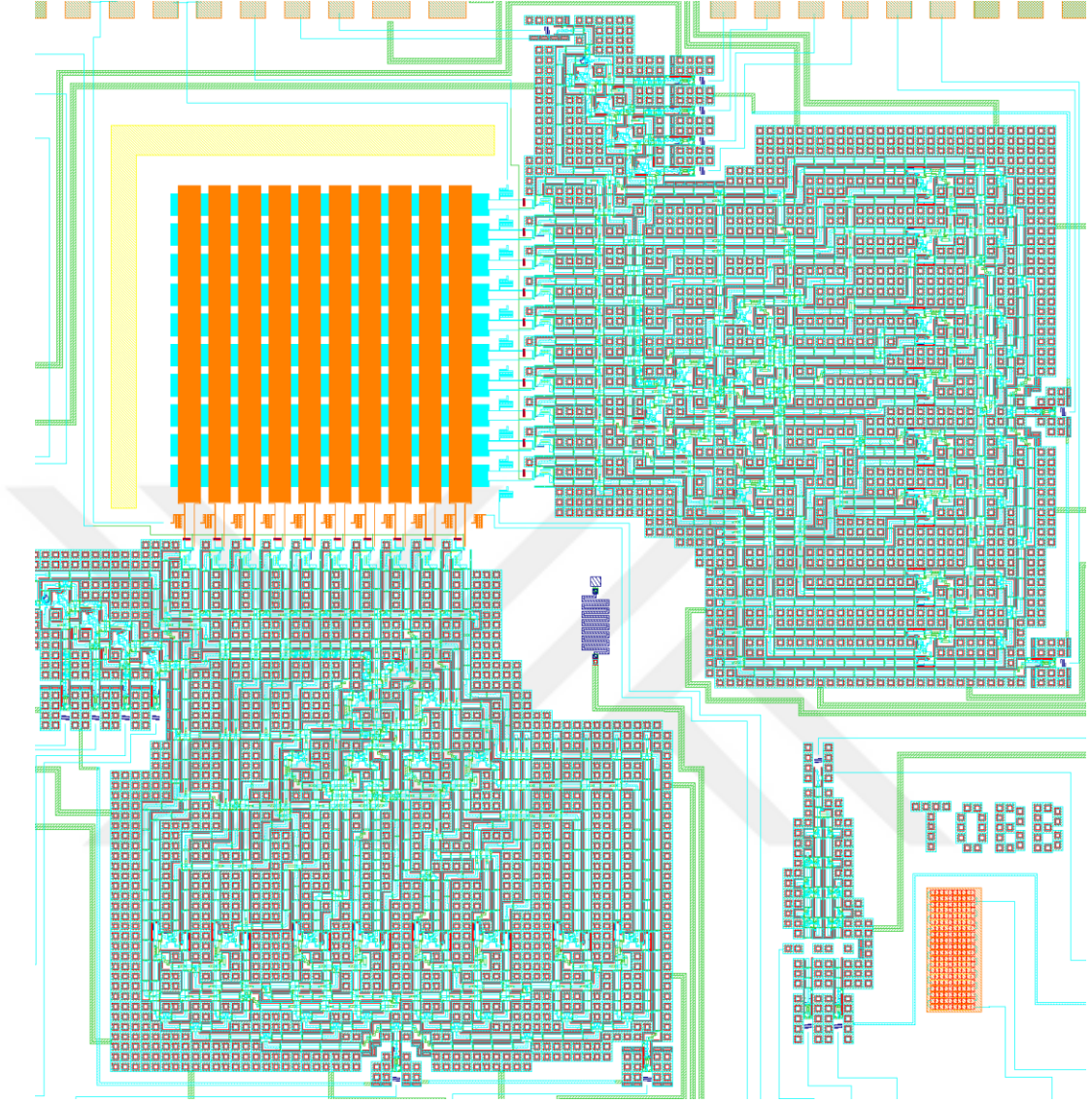


Şekil 3.24 : Ön okuma devresi 2'nin SSLD şeritlerine lazer uygulandığında 2-Bit adresleme devresinin deney sonucu



Şekil 3.25 : Ön okuma devresi 3'ün SSLD şeritlerine lazer uygulandığında 2-Bit adresleme devresinin deney sonucu

4-bit adresleme devreleri ile ön okuma devreleri birleştirilerek 100 piksellik bir matris oluşturulmuştur. Oluşturulan bu devre Şekil 3.26'da paylaşılmıştır ve testine devam edilmektedir.



Şekil 3.26 : Ön okuma devreleri ile birleştirilmiş 4-Bit'lik adresleme devrelerinin oluşturduğu 100 piksellik matrisin görünümü.



4. SONUÇ VE ÖNERİLER

Gerçekleştirilen çalışmalar ile ışınım dedektörleri için RSFQ dijital mantık hücreleri kullanılarak adresleme devresi tasarlanmıştır. Işınım dedektörleri üzerine düşen düşük enerjili foton, iyon, elektron gibi parçacıkların yaratmış olduğu potansiyel fark, analog sinyalin dijitalle dönüştürülmesi ile adresleme devresi girişine aktarılmaktadır. Her dedektör pikseline karşılık gelen bir ön okuma devresi olması nedeniyle, analog dedektör şeriti çıktıları adresleme devresine kendi şeritlerini temsil eden bir dijital sinyal verebilmektedir. Bu sinyaller, adresleme devresinde hangi dedektör pikselinde ışınım meydana geldiğinin belirlenmesi amacıyla kullanılmaktadır. Tasarlanan adresleme devresi yapısında, ön okuma devrelerinin çıktıları DFF depolama hücrelerinde tutulmaktadır. Ön okuma devrelerinin sayısal adreslerine karşılık gelen sayaç devresinin çıktıları, DFF hücrelerinde tutulan piksel ışınım verilerine eş zamanlı olarak boşaltılmaktadır. Bu kapsamda tasarlanan adresleme devresi için RSFQ dijital mantık kapıları ve bunlardan elde edilmiş farklı entegre devre örnekleri incelenmiştir. Bu incelemeler sonucunda oluşturulan adresleme devresi çalışma mantığı şematik üzerine RSFQ mantık hücreleri kullanılarak yansıtılmıştır. Tasarlanan 2-bit ve 4-bit adresleme devrelerinin Verilog-XL ve JSIM simülasyonları gerçekleştirilerek, tasarımın işlevselliği kontrol edilmiştir. Simülasyon sonuçları ile doğrulanan tasarımın katmanlı üretim yapısına uygun olarak yonga üzerine aktarımı gerçekleştirilmiş ve tasarlanan yongalar Japonya'da AIST STP2 üretim yöntemi ile üretilmiştir. Üretilen yongalar ile 2-bit adresleme devresinin dijital testi ve ön okuma devreleri ile birleştirilen 2-bit adresleme devresinin optik testi gerçekleştirilmiştir. Yapılan tasarım yonga üzerinde de doğrulanmıştır. Test sonuçları tez kapsamında paylaşılmış ve simülasyon sonuçları ile karşılaştırılmıştır. Tasarım öncesi, tasarım aşaması ve test süreci içerisinde dikkat edilmesi gereken en önemli durum, saat darbelerinin sayaç çıktısı ve ön okuma devre çıktıları arasında senkronize edilebilmesi durumudur. Bu devre içinde tasarıma dayalı olarak sağlanmamış ise, testler sırasında bu eş zamanlamanın dışardan sağlanabilmesi mümkün olmamaktadır. Yaklaşık ~10GHz frekans

değerlerinde çalışan adresleme devresinin ön okuma devresi çıktıları ve sayaç devresinin çıktılarının eş zamanlamasının devre içerisinde yapılması, tasarımın test edilebilir ve kullanılabilir olmasını sağlayan en önemli özellik olarak ortaya çıkmaktadır. Diğer dikkat edilmesi gereken durum ise, katmanlı üretim teknolojisi kullanılarak üretilen yongalar üzerindeki büyük ölçekli devrelerin gerçekleştirilen testler sırasında yüksek bias akımı gereksinimidir. Dijital entegre devrelerinin boyutlarının büyümesi durumunda, gereken main bias akımı seviyesi de artmaktadır. Kriyostat içinde bulunan yongaya testler sırasında ~350 mA değerinin üzerinde bias akımı uygulandığında, yonganın sıcaklık değeri kritik sıcaklık değerinin üzerine çıktığından, devre süperiletkenlik durumundan çıkmaktadır. 4-bit adresleme devresinin çalışması için gerekli olan bias akımının 350mA'den yüksek olması, tasarımı içeren yonganın ısınmasına sebep olmaktadır. Bu nedenle 4-bit adresleme devresinin dijital testi ve 4-bit adresleme devresinin ön okuma devreleri ile birleştirilmiş optik test çalışmalarına devam edilmektedir.

SSLD dedektör şeritleri ile birleştirilmiş RSFQ tabanlı adresleme devresinin üretiminde aynı katmanların kullanılabilmesi, dedektör şeritleri ile adresleme devresinin aynı yonga üzerinde kurulabilmesine ve aynı sıcaklık değerlerinde çalıştırılabilmelerine olanak sağlamıştır. Fakat süperiletkenlik durumunu bozabilecek yüksek akım uygulanması ya da ışınlam kaynağından kaynaklanan olası sıcaklık artışının, hem dedektör şeritlerini, hem okuma devresini hem de adresleme devresini olumsuz etkilediği gözlemlenmiştir. Testler sırasında dedektör yapısı içerisindeki herhangi bir kısmın işleyişini olumsuz etkileyen durum diğer devre bölümlerini de olumsuz etkileyebilmektedir. Yansımasız oda ya da diğer adı ile Faraday kafesi içerisinde en az gürültü ortamının da testler sırasında devre performansının doğru gözlemlenebilmesi için sağlanması gerekmektedir.

KAYNAKLAR

- [1] **Gross, R., Marx, A., Deppe, F.,** (2016) Applied Superconductivity: Josephson Effect and Superconducting Electronics, Berlin.
- [2] **Askerzade, I., Bozbey, A., Canturk, M.,** (2017) Modern Aspects of Josephson Dynamics and Superconductivity Electronics, New York, NY.
- [3] **Akaike, H., Tanaka, M., Takagi, K., Kataeva, I., Kasagi, R., Fujimaki, A., Takagi, K., Igarashi, M., Park, H., Yamanashi, Y., Yoshikawa, N., Fujiwara, K., Nagasawa, S., Hidaka, M., Takagi, N.,** (2009). Design of single flux quantum cells for a 10-Nb-layer process, *Physica C: Superconductivity*, 469, 1670-1673.
- [4] **Bozbey, A., Usenmez, K., Aydogan, E., Razmkhah, S., Fujimaki, A.,** (2017) Recent progress in the development of the current biased Superconducting Stripline Detector array and its associated address decoder, *10th Superconducting SFQ VLSI Workshop (SSV 2017)*, Nagoya, Japan, 20 February-21 February.
- [5] **Nagasawa, S., Hidaka, M.,** (2013) Design instruction for AIST standard process (AIST-STP2), Japan.
- [6] **Duzer, T.V., Turner, C.W.,** (2016) Principles of Superconductive Devices and Circuits, Upper Saddle River, N.J.
- [7] **Delft, V.D., Kes, P.,** (2011). The discovery of superconductivity, *Europhysics News*, 42, 21-25.
- [8] **Rogalla, H., Kes, P.H.,** (2011) 100 Years of Superconductivity, Boca Raton
- [9] <http://www.superconductors.org/history.htm> alındığı tarih:06.10.2017.
- [10] **Serway, R.A., Moses, C.J., Moyer, C.A.,** (2004) Modern Physics, Belmont, CA
- [11] <http://www.spaldinghigh.lincs.sch.uk/newspaper/article.asp?id=787> alındığı tarih:07.10.2017.
- [12] http://www.cengage.com/resource_uploads/static_resources/0534493394/4891/SerwayCh12-Superconductivity.pdf alındığı tarih:07.10.2017.
- [13] **Anderson, P.W., Rowell, J.M.,** (1963). Probable Observation of the Josephson Superconducting Tunneling Effect, *Phys. Rev. Lett.*, 10, 230-232.
- [14] **Day, P.K., LeDuc, H.G., Mazin, B.A., Vayonakis, A., Zmuidzinas, J.,** (2003). A broadband superconducting detector suitable for use in large arrays, *Nature*, 425, 817-821.

- [15] **Casaburi, A., Heath, R.M., Tanner, M.G., Cristiano, R., Ejrnaes, M., Nappi, C., Hadfield, R.H.,** (2014). Parallel superconducting strip-line detectors: reset behaviour in the single-strip switch regime, *Supercond. Sci. Technol.*, 27, 044029.
- [16] **Casaburi, A., Zen, N., Suzuki, K., Ejrnaes, M., Pagano, S., Cristiano, R., Ohkubo, M.,** (2009). Subnanosecond time response of large-area superconducting stripline detectors for keV molecular ions, *Appl. Phys. Lett.*, 94, 212502.
- [17] **Ejrnaes, M., Cristiano, R., Quaranta, O., Pagano, S., Gaggero, A., Mattioli, F., Leoni, R., Voronov, B., Gol'tsman, G.,** (2007). A cascade switching superconducting single photon detector, *Appl. Phys. Lett.*, 91, 262509.
- [18] **Kerman, A.J., Dauler, E.A., Keicher, W.E., Yang, J.K.W., Beggren, K.K., Gol'tsman, G., Voronov, B.,** (2006). Kinetic-inductance-limited reset time of superconducting nanowire photon counters, *Appl. Phys. Lett.*, 88, 111116.
- [19] **Casaburi, A., Esposito, E., Ejrnaes, M., Suzuki, K., Ohkubo, M., Pagano, S., Cristiano, R.,** (2012). A 2×2 mm² superconducting strip-line detector for high-performance time-of-flight mass spectrometry, *Supercond. Sci. Technol.*, 25, 115004.
- [20] **Bozbey, A., Kita, Y., Kamiya, K., Kozaka, M., Tanaka, M., Ishida, T., Fujimaki, A.,** (2016). Development of an advanced circuit model for superconducting strip line detector arrays, *IEICE Transactions on Electronics*, E99.C, 676-682.
- [21] **Yorozu, S., Kameda, Y., Terai, H., Fujimaki, A., Yamada, T., Tahara, S.,** (2002). A single flux quantum standard logic cell library, *Physica C: Superconductivity*, 378, 1471-1474.
- [22] **Connect Group.,** (2003) CONNECT cell library handbook, Nagoya.
- [23] **Likharev, K.K., Semenov, V.K.,** (1991). RSFQ logic/memory family: a new josephson-junction technology for sub-terahertz-clock-frequency digital systems, *IEEE Transactions on Applied Superconductivity*, 1, 3-28.
- [24] **Polonsky, S.V.,** (1991). New SFQ/DC converter for RSFQ logic/memory family, *Supercond. Sci. Technol.*, 4, 442.
- [25] **Bunyk, P., Dorojevets, M., Likharev, K., Litskevich, P., Polonsky, S., Sazaklis, G., Wittie, L., Zinoviev, D., Kameda, Y., Yorozu, S.,** (2000). RSFQ Subsystem for Petaflops-Scale Computing: "COOL-0".
- [26] **Gao, G., Likharev, K.K., Messina, P.C., Sterling, T.L.,** (1996) Hybrid technology multithreaded architecture, *Frontiers of Massively Parallel Computing*, 1996. Proceedings Frontiers '96., Sixth Symposium on the, Annapolis, MA, USA, USA, 27 October-31 October.
- [27] **Kaplan, S.B., Mukhanov, O.A.,** (1995). Operation of a superconductive demultiplexer using rapid single flux quantum (RSFQ) technology, *IEEE Transactions on Applied Superconductivity*, 5, 2853-2856.

- [28] **Zheng, L.** (2007). *High-speed Rapid-single-flux-quantum Multiplexer and Demultiplexer Design and Testing*(doctoral thesis). Adres: <https://www2.eecs.berkeley.edu/Pubs/TechRpts/2007/EECS-2007-106.pdf>
- [29] **Mukhanov, O.A., Kirichenko, A.F.,** (1995). Implementation of a FFT radix 2 butterfly using serial RSFQ multiplier-adders, *IEEE Transactions on Applied Superconductivity*, 5, 2461-2464.
- [30] **Sakashita, Y., Yamanashi, Y., Yoshikawa, N.,** (2015). 50 GHz Demonstration of an Integer-Type Butterfly Processing Circuit for an FFT Processor Using the 10 kA/cm² Nb Process, *IEICE Transactions on Electronics*, E98.C, 232-237.
- [31] **Sakashita, Y., Ono, T., Yamanashi, Y., Yoshikawa, N.,** (2015) Design and High-Speed Component Tests of an SFQ FFT Processor Using the 10 kA/cm² Nb Advanced Process 2015 15th International Superconductive Electronics Conference (ISEC), Nagoya, Japan, 6 July-9 July.
- [32] **Cooley, J.W., Tukey, J.W.,** (1995). An Algorithm for the Machine Calculation of Complex Fourier Series, *Mathematics of Computation*, 19, 297-301.
- [33] **Ono, T., Suzuki, H., Yamanashi, Y., Yoshikawa, N.,** (2017). Design and Implementation of an SFQ-Based Single-Chip FFT Processor, *IEEE Transactions on Applied Superconductivity*, 27, 1-5.
- [34] **Doroevets, M., Bunyk, P., Zinoviev, D.,** (2001). FLUX chip: Design of a 20-GHz 16-bit ultrapipelined RSFQ processor prototype based on 1.75- μ m LTS technology, *IEEE Transactions on Applied Superconductivity*, 11, 326-332.
- [35] **Doroevets, M., Bunyk, P., Zinoviev, D., Likharev, K.,** (1999). COOL-0: Design of an RSFQ subsystem for petaflops computing, *IEEE Transactions on Applied Superconductivity*, 9, 3606-3614.
- [36] **Tang, G.M., Takata, K., Tanaka, M., Fujimaki, A., Takagi, K., Takagi, N.,** (2016). 4-bit Bit-Slice Arithmetic Logic Unit for 32-bit RSFQ Microprocessors, *IEEE Transactions on Applied Superconductivity*, 26, 1-6.
- [37] **Polonsky, S., Semenov, V.K., Shevchenko, P.,** (1999). PSCAN: Personal superconductor circuit analyser, *Superconductor Science and Technology*, 4, 667.
- [38] **Whiteley, S.R.,** (1991). Josephson junctions in SPICE3, *IEEE Transactions on Magnetics*, 27, 2902-2905.
- [39] **Fang, E.S., Duzer, T.V.,** (1989). A Josephson integrated circuit simulator (JSIM) for superconductive electronics application, *Int. Superconductivity Electronics Conf.*, 407-410.
- [40] **Krasniewski, A.,** (1993). Logic simulation of RSFQ circuits, *IEEE Transactions on Applied Superconductivity*, 3, 33-38.

- [41] **Gaj, K., Cheah, C.H., Friedman, E.G., Feldman, M.J.,** (1997). Functional modeling of RSFQ circuits using Verilog HDL, *IEEE Transactions on Applied Superconductivity*, 7, 3151-3154.
- [42] **Hidaka, M., Nagasawa, S., Satoh, T., Hinode, K., Kitagawa, Y.,** (2006). Current status and future prospect of the Nb-based fabrication process for single flux quantum circuits, *Supercond. Sci. Technol.*, 19, S138.



ÖZGEÇMİŞ

Ad-Soyad : Eren Can Aydoğan
Uyruğu : TC
Doğum Tarihi ve Yeri : 16.08.1991
E-posta : eaydogan@etu.edu.tr

ÖĞRENİM DURUMU:

- **Lisans** : 2014, TOBB Ekonomi ve Teknoloji Üniversitesi, Mühendislik Fakültesi, Elektrik Elektronik Mühendisliği Bölümü
- **Yüksek lisans** : 2017, TOBB Ekonomi ve Teknoloji Üniversitesi, Elektrik Elektronik Mühendisliği, Mikro-elektronik Tasarım

MESLEKİ DENEYİM VE ÖDÜLLER:

<u>Yıl</u>	<u>Yer</u>	<u>Görev</u>
2012	TUSAŞ	Stajyer
2013	GATE Elektronik A.Ş.	Stajyer
2014	SASEL Elektromekanik A.Ş.	Stajyer
2015-2017	TOBB ETÜ	Proje Burslu YL Öğrencisi

YABANCI DİL: İngilizce

TEZDEN TÜRETİLEN YAYINLAR, SUNUMLAR VE PATENTLER:

- **Bozbey. A.**, Usenmez, K., Aydogan, E., Razmkhah, S., and Fujimaki, A. 2017. Development of Current Biased Superconducting Stripline Detectors and Signal Processing Circuits Compatible with Standard SFQ Foundry Processes, *Cryogenic Engineering Conference and International Cryogenic Materials Conference (CEC/ICMC 2017)*.