

**ÖZET**  
**MİKROİŞLEMCİLERDE KULLANIMA UYGUN BİR TEK YÖN KAYDIRMALI**  
**YENİDEN ADLANDIRMA TABLOSU DEVRESİ**

Bu buluş, boru hattı tekniği kullanan, tek çevrimde çoklu buyruk işlemleri yapan modern mikroişlemci, mikrodenetleyici, CPU gibi yapılarda kullanıma uygun, okumadan sonra yazma (Write After Read (WAR)), yazmadan sonra yazma (Write After Write (WAW)) ve yazmadan sonra okuma (Read After Write(RAW)) risklerini önleyen yeniden adlandırma tablolarının (Register Aliasing Table (RAT)) donanımsal yapıları ile ilgilidir. Bu buluşun amacı, tekniğin bilinen durumunda yer alan uygulamalara göre daha az güç tüketen, daha az alan kullanan ve gecikmesi düşük bir devre gerçekleştirmektir.

## İSTEMLER

1. Boru hattı tekniği kullanan, tek çevrimde çoklu buyruk işlemleri yapan modern mikroişlemci, mikrodenetleyici, CPU yapılarında kullanılan, okumadan sonra yazma, yazmadan sonra yazma ve yazmadan sonra okuma risklerini önleyen bir yeniden adlandırma tablosu devresi (1) **olup özelliği aşağıdakileri içermesidir;**
  - Yazma sırasında aktif olmak için uyarlanmış önceden belirlenmiş sayıda yanyana dizilmiş yazıcı sürücü (3),
  - Okuma yazma yapılmadığı anlarda veriyollarının stabil düzeyde beklemesini sağlamak için uyarlanmış yazıcı sürücülerine (3) aynı sayıda veriyolu ile bağlanmış aynı sayıda yanyana dizilmiş ön şarj bloğu (4),
  - Ön şarj bloklarına (4) aynı sayıda veriyolu ile bağlanmış aynı sayıda sütuna ve önceden belirlenmiş başka bir sayıda satıra sahip olacak şekilde birbirine bağlı olarak dizilmiş hücre (5) gruplarından oluşan SRAM hücre bloğu (5),
  - Hangi satırdaki hücre (51) grubunda bilgilerin kopyalanacağını belirleyecek ve hangi satırdaki bilgilere dönülüp işlem yapılacağını bildiren buyrukları çalıştırmak için uyarlanmış, SRAM hücre bloğunun (4) herbir satırına bir tane bağlanmış çıkışa sahip bir ikinci dekoder (6),
  - SRAM hücre bloğuna (4) sütun sayısı kadar veriyolu ile bağlı, düşük (low) çıkışı okunabilecek seviye çekmek için uyarlanmış sütun sayısı kadar yanyana dizilmiş duyu yükselteci (7),
  - Duyu yükselteçlerine (7) sütun sayısı kadar veriyolu ile bağlanmış, okuma yapmak için gereken çıktının hangi 7 bitlik SRAM hücre (5) grubundan alınacağını seçmek için uyarlanmış sütun sayısı kadar yanyana dizilmiş çoklayıcı (8),
  - Okuma yazma işlemlerinin SRAM hücre bloğunda (5) bulunan hücre (51) gruplarından hangisine yapılacağını ve işlemler sırasında bahsedilen yanyana dizilmiş tüm çevre birimlerinden hangilerinin çalışacağını belirlemek için uyarlanmış bir birinci dekoder (2).
2. 7 bitlik 32 adet hücre (5) grubu, 7 bitlik 5X32 dekoder (2), 32 adet 7 bitlik yazıcı sürücü (3), 32 adet 7 bitlik ön şarj bloğu, 7 bitlik 32 adet duyu yükselteci (7) ve 7 bitlik 32 adet çoklayıcı **içeren** İstem 1'deki gibi bir yeniden adlandırma tablosu devresi (1)

3. Atlama komutu aldıđında içindeki verinin bir altındaki hücreye (51) iletmesi için işlemsel yükseltece sahip hücreler (51) **içeren** İstem 1'deki gibi bir yeniden adlandırma tablosu devresi (1).

## TARİFNAME

### MİKROİŞLEMCİLERDE KULLANIMA UYGUN BİR TEK YÖN KAYDIRMALI YENİDEN ADLANDIRMA TABLOSU DEVRESİ

#### Teknik Alan

Bu buluş, boru hattı tekniği kullanan, tek çevrimde çoklu buyruk işlemleri yapan modern mikroişlemci, mikrodenetleyici, CPU gibi yapılarda kullanıma uygun, okumadan sonra yazma (Write After Read (WAR)), yazmadan sonra yazma (Write After Write (WAW)) ve yazmadan sonra okuma (Read After Write(RAW)) bağımlılıklarını önleyen yeniden adlandırma tablolarının (Register Aliasing Table (RAT)) donanımsal yapıları ile ilgilidir.

#### Önceki Teknik

Günümüzde kullanılan mikroişlemcilerde birden fazla buyruğun aynı anda işlenmeye çalışması okumadan sonra yazma, yazmadan sonra yazma ve yazmadan sonra okuma (RAW), riskleri oluşturmaktadır. Bu riskleri ortadan kaldırmak için Yeniden Adlandırma Tablosu (Register Aliasing Table (RAT)) kullanılmaktadır. Bu kullanımın temel mantığı, bir buyruğun sonuç yazmacı başka bir buyruk tarafından kullanılıyorsa, sonucun başka bir yere kaydedilmesi ve sonuç yazmacının kullanımı bittiğinde sonucun yazmaca geri yazılmasına dayanmaktadır. Bunu gerçekleştirebilmek için mikroişlemci mimarisinde tanımlanmış yazmaçlardan çok daha fazla fiziksel yazmaç işlemciye yerleştirilmektedir. Fiziksel yazmaçların mimari yazmaçlarla eşleştirilmesi yeniden adlandırma tabloları ile yapılmaktadır.

Boru hattı tekniği kullanan ve tahmine dayalı çalışan (speculative execution) mikroişlemcilerde şartlı buyruklara bağlı olarak oluşan dallanmalardan (branch) tahmin neticesinde seçilen yol gerçek sonuç belli olana kadar izlenmektedir. Gerçek sonuç elde edilene kadar tahmin edilen yola göre gerçekleştirilen işlemlerin yerine doğru işlemlerin yapılmasına geçebilmek için şartlı buyruk alındığı anda atlama öngörüsü ile beraber yeniden adlandırma tablosunun kopyalanması gerekmektedir. Böylece tahminin hatalı olması durumunda tuttuğu değerlerin farklı olduğu doğru

tabloya tekrar ulařılarak iřlemlere devam edilebilmektedir.

Tekniđin bilinen durumunda bu amaçla kullanılan uygulamalar bulunmaktadır. SRAM hafızalı ve CAM hafızalı yeniden adlandırma tabloları olarak bilinen bu uygulamalarda yeniden adlandırma tablolarının kopyalama iřlemleri kaydırılarak yapılmaktadır. Geriye dođru bir defa, ileri dođru da yazmaç sayısının bir eksiđi kadar kaydırma yapıldıđı için bu uygulamalar çok karmařık devrelere sahiptir ve bu devrelerin kullandıkları alan ve güç tüketimleri çok fazladır. Her dallanmada yeniden adlandırma tablosunun bir kopyası alınmaktadır. Yanlıř tahmin olduđunda bu kopyaya geri dönölmektedir. Kopyalama ve kopyayı geri getirme iřlemleri kaydırarak yapıldıđı için bu veri hareketi çok fazla enerji tüketimine sebep olmaktadır. Ayrıca kopyaların saklanacađı alanın büyüklüđü kullanılan devrelerin üretim maliyetini arttırmaktadır. Tekniđin bilinen durumunda yer alan bazı patent dokümanlarına ařađıda yer verilmiřtir.

Tekniđin bilinen durumunda yer alan GB2503612A sayılı İngiliz patent dokümanında açıklanan yeniden adlandırma sisteminde; kayda alınan veriden eřlenik tablodaki deđer seçilerek okuma sađlanmaktadır. Depolama tablosunda belirli verinin alınarak iřlemesi durumu kullanıldıđından daha az süre gerektiren iřlemler yapılabilmektedir. Mevcut bařvuruda yatay mimari ile verinin çekilmesi açasından farklılıklar bulunmaktadır.

Tekniđin bilinen durumunda yer alan CN101582025A sayılı Çin patent dokümanında, bir yeniden adlandırma tablosu açıklanmaktadır. Söz konusu dokümanda açıklanan yapıda, yazmadan sonra yazma ve okumadan sonra yazma iliřkileri okunarak iřlem yapmaktadır. Böylece eřleřmelerin ve seçimlerin hızlandırılması sađlanmıřtır. Mevcuda göre %1'lik alan kaplayarak maliyet avantajı sađlamıřtır. Mevcut bařvuruda açıklanan teknik yapı ve kullanılan mimari tamamen farklıdır.

### **Buluřun Kısa Açıklaması ve Amaçları**

Bu buluřun amacı, tekniđin bilinen durumunda yer alan uygulamalara göre daha az güç tüketen, daha az alan kullanan ve gecikmesi düşük bir devre gerçekteřtirmektir.

## **Buluşun Ayrıntılı Açıklaması**

Bu buluşun amacına ulaşmak için gerçekleştirilen yeniden adlandırma devresi, ekli şekillerde gösterilmiş olup bu şekiller;

**Şekil 1.** Yeniden adlandırma tablosu devresinin şematik görünüşüdür.

**Şekil 2.** Bir hücrenin şematik görünüşüdür.

Şekillerdeki parçalar tek tek numaralandırılmış olup, bu numaraların karşılığı aşağıda verilmiştir.

1. Yeniden adlandırma devresi
2. Birinci dekode
3. Yazıcı sürücü
4. Ön şarj bloğu
5. SRAM hücre bloğu
51. Hücre
6. İkinci dekode
7. Duyu yükseltici
8. Çoklayıcı

Buluş konusu mikroişlemcilerde kullanıma uygun bir tek yön kaydırmalı yeniden adlandırma tablosu devresi (1) en temel halinde aşağıdaki unsurları içermektedir;

- \* Yazma sırasında aktif olmak için uyarlanmış önceden belirlenmiş sayıda yanyana dizilmiş yazıcı sürücü (3),
- \* Okuma yazma yapılmadığı anlarda veriyollarının stabil düzeyde beklemesini sağlamak için uyarlanmış yazıcı sürücülerine (3) aynı sayıda veriyolu ile bağlanmış aynı sayıda yanyana dizilmiş ön şarj bloğu (4),
- \* Ön şarj bloklarına (4) aynı sayıda veriyolu ile bağlanmış aynı sayıda sütuna ve önceden belirlenmiş başka bir sayıda satıra sahip olacak şekilde birbirine bağlı olarak dizilmiş hücre (5) gruplarından oluşan SRAM hücre bloğu (5),
- \* Hangi satırdaki hücre (51) grubunda bilgilerin kopyalanacağını belirleyecek ve hangi satırdaki

- bilgilere dönülüp işlem yapılacağını bildiren buyrukları çalıştırmak için uyarlanmış, SRAM hücre bloğunun (4) herbir satırına bir tane bağlanmış çıkışa sahip bir ikinci dekode (6),
- \* SRAM hücre bloğuna (5) sütun sayısı kadar veriyolu ile bağlı, düşük (low) çıkışı okunabilecek seviye çekmek için uyarlanmış sütun sayısı kadar yanyana dizilmiş duyu yükselteci (7),
  - \* Duyu yükselteçlerine (7) sütun sayısı kadar veriyolu ile bağlanmış, okuma yapmak için gereken çıktının hangi 7 bitlik SRAM hücre (5) grubundan alınacağını seçmek için uyarlanmış sütun sayısı kadar yanyana dizilmiş çoklayıcı (8),
  - \* Okuma yazma işlemlerinin SRAM hücre bloğunda (5) bulunan hücre (51) gruplarından hangisine yapılacağını ve işlemler sırasında bahsedilen yanyana dizilmiş tüm çevre birimlerinden hangilerinin çalışacağını belirlemek için uyarlanmış bir birinci dekode (2).

Buluş konusu yeniden adlandırma tablosu devresinde (1) birinci dekode (2) okuma yazma işlemlerinin SRAM hücre bloğunda (5) bulunan hücre (51) gruplarından hangisine yapılacağını belirlemektedir. SRAM hücre bloğu (5) devrede (1) verileri saklayan, transistörler içeren hücrelerden (5) oluşmaktadır. Buluşun tercih edilen uygulamasında 7 bitlik 32 adet hücre (5) grubu ve 7 bitlik 5X32 dekode (2) kullanılmaktadır. Bu uygulamada dekode 32 adet veriyoluna sahiptir. Bu veriyollarının hepsi 7 bitlidir.

Yazma işlemi yapılacağı zaman yazıcı sürücü (3) aktif hale gelmektedir. Okuma yapılacağı zaman yazıcı sürücü (3) aktif değildir. Buluşun tercih edilen uygulamasında 32 adet 7 bitlik yazıcı sürücü (3) kullanılmaktadır.

Ön şarj bloğu (4) devrede (1) mikroişlemcinin herbir saat vuruşunun ilk yarısında (yani okuma yazma işlemi yapılmadığı sırada) veriyollarındaki gerilimin stabil düzeyde tutulmasını sağlamaktadır. Buluşun tercih edilen uygulamasında 32 adet 7 bitlik ön şarj bloğu kullanılmaktadır.

Duyu yükselteçleri (7) devredeki (1) veri yollarındaki gerilim değişimlerini fark ederek okuma işleminin daha hızlı gerçekleşmesini sağlamaktadır.. Buluşun tercih edilen uygulamasında 7 bitlik 32 adet duyu yükselteci (7) kullanılmaktadır.

Çoklayıcılar (8) kendilerine gelen hücre (51) gruplarından hangisinin seçileceğini belirlemektedir.

Okuma yapılırken satırdaki hücre (51) grubundan seçilmiş olanın bilgileri çıktı olarak alınmaktadır. Buluşun tercih edilen uygulamasında 7 bitlik 32 adet çoklayıcı kullanılmaktadır.

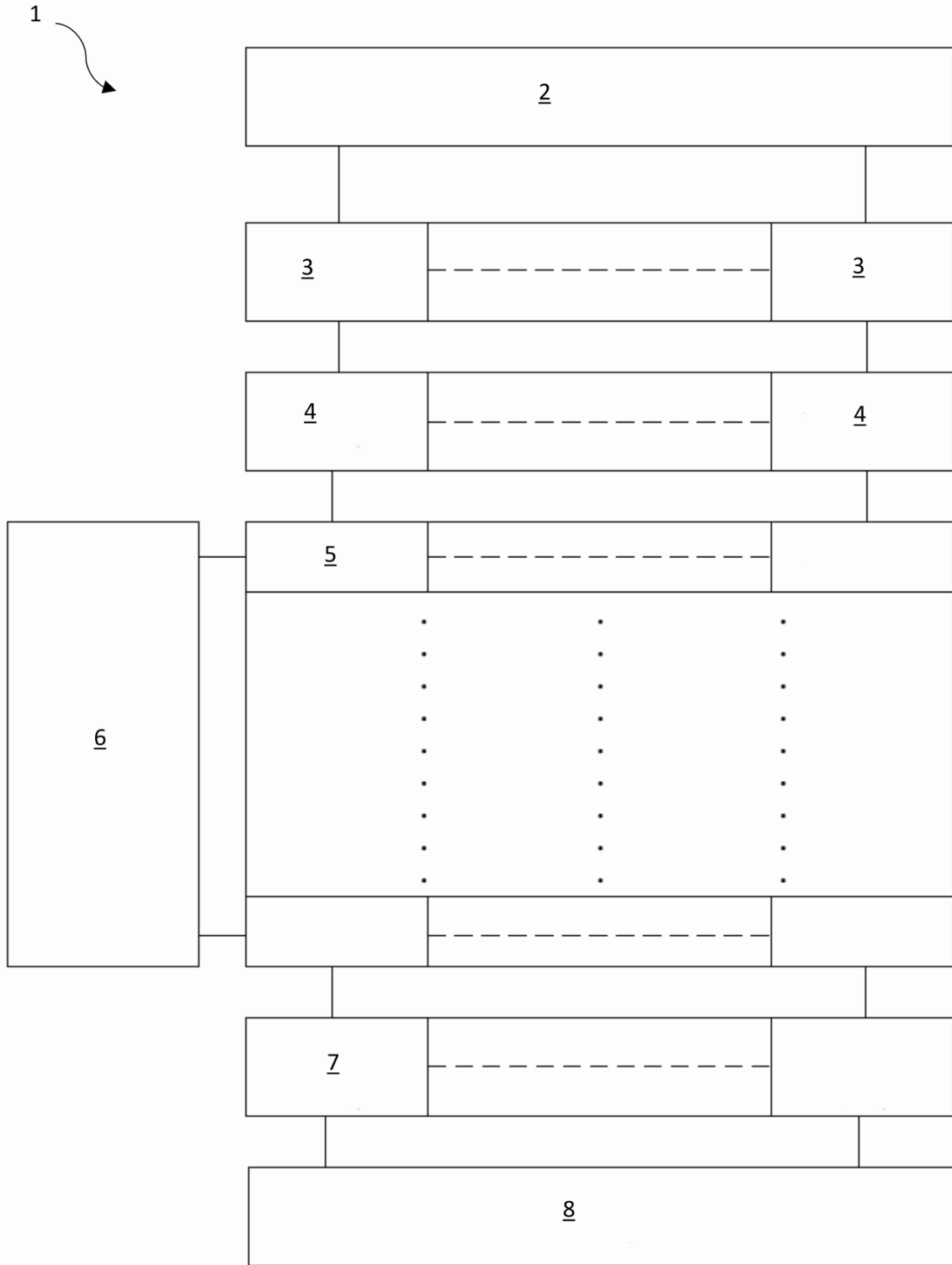
İkinci dekoder (6), boru hattı çalışma tekniğine göre şartlı bir buyruk geldiğinde tahmine dayalı yürütme yapılabilmesi için atlama komutu aldığı anda verileri kopyalamak için hücre (51) gruplarından oluşan satırlardan o an işlemde olanın bir alt satıra verileri geçirmesini sağlamaktadır. Böylece kopyalanması istenen veriler bir önceki satırda kalarak okuma yazma işlemlerine kopyanın alındığı yeni satırdan devam edilmektedir. Kopyalanan verilere geri dönülmesi gerektiğinde ikinci dekoder (6) tekrar bir önceki satıra dönülerek okuma yazma işlemlerinin saklanmış veriler üzerinden yapılmasını sağlamaktadır. Örneğin; ikinci dekoder (6) eğer 0. Satır gösteriyorsa ve kopyalama emri gelirse, bütün veri 1. Satıra kopyalanmaktadır ve artık 1. Satır üzerinden işlemler yapılmaktadır. Eğer geri dönmek istenilirse yeniden 0. Satır gösterilmektedir. Bu sayede kopyalama işleminde sadece 1 bitlik kaydırma yapıp, kopyaya dönme durumunda ise sadece satır değiştirilmektedir.

Birinci dekoder (2) okuma yazma işlemlerinin SRAM hücre bloğunda (5) bulunan hücre (51) gruplarından hangisine yapılacağını belirlemesine benzer olarak ayrıca bahsedilen yanyana dizilmiş tüm çevre birimlerinden (yazıcı sürücü (3), ön şarj bloğu (4), duyu yükselteci (7)) hangilerinin çalışacağını belirlemektedir. Okuma yazma işlemlerinin gerçekleşeceği hücre gruplarına bağlı olarak çevre birimlerinin sadece ilgili sütunda yer alan birimi çalışmaktadır. Böylece güç tüketiminde azalma sağlanabilmektedir.

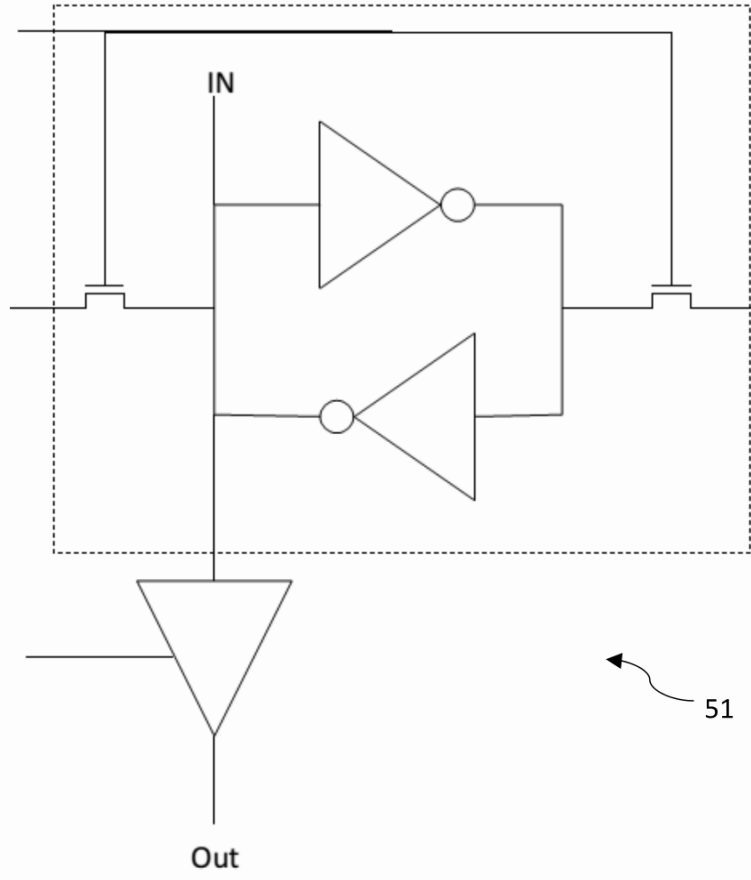
Buluş konusu devrede (1) hücreler (51) normal bir SRAM hücresine ek olarak atlama komutu geldiğinde hücrenin (51) içindeki veriyi bir altındaki hücreye (51) iletmesini sağlayan işlemsel yükselteç içermektedir. Her hücrenin çıkış (OUT) pini bir altındaki hücrenin (IN) pinine bağlanmıştır. En alt satırda bulunan hücrenin çıkışı ise en üst satırda bulunan hücrenin giriş pinine bağlanmıştır. Böylece tüm hücreler (51) birbirine bağlı olmakta ve hücre bloğunun (5) satır ve sütunlarını oluşturmaktadır. Bu sayede buluş konusu devrede (1) dögüsel yapıda çalışmaya imkan sağlayan bir donanım oluşturulmaktadır. En alt satırdaki veri kopyalandığında üst satırlardan ihtiyaç artık ihtiyaç olmayan herhangi birisine kopyalanan bilgi eklenebilmektedir.



1/2



Şekil 1



Şekil 2