

**DURAĐAN ENERJİ KAYBINA KARŐI GELİŐTİRİLEN İÇERİK
UYARLAMALI BİT HÜCRELERİ İLE ÖZGÜN SRAM TASARIMI: CSRAM**

FAHRETTİN KOÇ

**YÜKSEK LİSANS TEZİ
BİLGİSAYAR MÜHENDİSLİĐİ**

**TOBB EKONOMİ VE TEKNOLOJİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**AĐUSTOS 2013
ANKARA**

Fen Bilimleri Enstitü onayı

Prof. Dr. Necip Camuřcu
Müdüř

Bu tezin Yüksek Lisans derecesinin tüm gereksinimlerini sağladıđını onaylarım.

Doç. Dr. Erdoğan Dođdu
Anabilim Dalı Başkanı

Fahrettin KOÇ tarafından hazırlanan DURAĐAN ENERJİ KAYBINA KARŐI
GELİŐTİRİLEN İÇERİK UYARLAMALI BİT HÜCRELERİ İLE ÖZGÜN SRAM
TASARIMI: CSRAM adlı bu tezin Yüksek Lisans tezi olarak uygun olduđunu
onaylarım.

Doç. Dr. Ođuz ERĐİN
Tez Danıřmanı

Tez Jüri Üyeleri

Başkan : Yrd. Doç. Dr. Murat ÖZBAYOĐLU

Üye : Doç. Dr. Ođuz ERĐİN

Üye : Doç. Dr. Ali BOZBEY

TEZ BİLDİRİMİ

Tez içindeki bütün bilgilerin etik davranış ve akademik kurallar çerçevesinde elde edilerek sunulduğunu, ayrıca tez yazım kurallarına uygun olarak hazırlanan bu çalışmada orijinal olmayan her türlü kaynağa eksiksiz atıf yapıldığını bildiririm.

Fahrettin KOÇ

Üniversitesi : TOBB Ekonomi ve Teknoloji Üniversitesi
Enstitüsü : Fen Bilimleri
Anabilim Dalı : Bilgisayar Mühendisliği
Tez Danışmanı : Doç. Dr. Oğuz ERGİN
Tez Türü ve Tarihi : Yüksek Lisans – Ağustos 2013

Fahrettin KOÇ

DURAĞAN ENERJİ KAYBINA KARŞI GELİŞTİRİLEN İÇERİK UYARLAMALI BİT HÜCRELERİ İLE ÖZGÜN SRAM TASARIMI: CSRAM

ÖZET

Gelişen teknoloji ile küçülen transistör boyutları, hem direkt olarak azalan boyutların etkisi ile hem de transistör yoğunluğundan kaynaklanan ısı problemler gibi etkilerle transistör sızdırma akımlarını artırmakta ve kendi içinde beslemeli bu döngü ise durağan enerji kaybının güç tüketimi üzerine etkisini giderek daha da artırmaktadır. Modern işlemcilerde bu soruna karşı, derleyici seviyesinden işlemci birimleri seviyesine, SRAM seviyesinden transistör seviyesine kadar her seviyeden birçok teknik geliştirilmiştir. Fazla transistör yoğunluğuna ve işlemci içerisinde önemli paya sahip bellek yapıları ve özellikle SRAM üzerine transistör seviyesinde tasarımlara halen ihtiyaç duyulmaktadır.

Bu amaçlarla durağan enerji kaybına karşı geliştirilen İçerik Uyarlamalı Bit Hücreleri ve bu bit hücrelerinin kullanıldığı özgün bir SRAM tasarımı olan CSRAM tez kapsamında anlatılacaktır. Önerilen bit hücresi, kendi transistörlerinin bias gerilimlerini, içinde tuttuğu bit değerine uyarlamaktadır ve uyarlanan bias gerilimleri ile mantık 0 veya 1 tutulurken kapalı transistörlerin eşik değeri voltajları daha yüksek ayarlanmaktadır. Sonuç olarak, geliştirilen İçerik Uyarlamalı CSRAM Bit Hücresi sayesinde her durumda sızdırma akımları önemli oranda azaltılmaktadır.

Tez içerisinde ayrıca, bazı üretim teknolojilerinde NMOS transistörler için farklı alttaş gerilimlerine izin verilmemesi ve NMOS bias gerilimi için gerekli negatif güç besleme devresinin karmaşıklığından kurtulmak için geliştirilen ve durağan enerji kaybında %35 oranlarına kadar azalma sağlayan yalınlaştırılmış CSRAM bit hücresinden; yazmaç öbeği gibi birimlerin ihtiyaç duyduğu çok portlu devrelerde azalan alan maliyetinin, önbellek gibi birimlerde kullanılacak az portlu devrelerde oldukça yükselmesi sorununa karşı geliştirilen ve alan maliyetini %6'lara kadar düşürebilen Çoklu İçerik Uyarlamalı CSRAM bit hücrelerinden bahsedilecektir.

Anahtar Kelimeler: Yazmaç Öbeği, SRAM, Durağan Enerji Kaybı, Sızdırma Azaltma, Alttaş Kutuplama

University : TOBB Economics and Technology University
Institute : Institute of Natural and Applied Sciences
Science Programme : Computer Engineering
Supervisor : Associate Professor Dr. Oğuz Ergin
Degree Awarded and Date : M.Sc. – August 2013

Fahrettin KOÇ

CONTENT AWARE BITCELLS DEVELOPED TO REDUCE STATIC ENERGY DISSIPATION FOR A NEW SRAM DESIGN: CSRAM

ABSTRACT

Shrinking feature sizes of transistors with rising technology increase the transistor leakage currents by this alteration in sizes directly and also by effects caused by transistor density and this loop with own feedback increase the rate of the static energy dissipation on total power consumption. To this problem, at all levels in modern processors from compiler level to processor units level and then SRAM to transistor level from top to bottom there are so many techniques developed. There is still a need of transistor level solutions and designs to memory structures especially for SRAM which have high transistor density and a large proportion of processor.

On account of these purposes, Content-aware Bitcells developed to reduce static energy dissipation and a novel SRAM design called CSRAM by using these bitcells will be introduced within the scope of this thesis. Suggested bitcell adapt the bias voltages to its own transistors and by this adaptive voltage regulation while storing the logic value of one or zero the threshold voltages adjusted to high. Thus, by developed Content-Aware bitcells in all cases the leakage currents are shortened effectively.

Furthermore, the Simplified CSRAM bitcells; developed to unravel the case that the different body bias voltages are not allowed in some manufacturing technologies and also to get rid of the complexity of the necessary negative power supply circuitry while providing gain rates by %35 for static energy dissipation, and the Multicontent-aware CSRAM bitcells; emerged as a solution to massive rise of the area overhead when the CSRAM is used in a circuitry with small number of ports while this cost is relatively little for a one having a large number of ports, and can provide a reduction in area overhead by %6, will be mentioned in this thesis.

Keywords: Register File, SRAM, Static Energy Dissipation, Leakage Reduction, Body Biasing

TEŐEKKÜR

Çalıőmalarım boyunca deęerli yardım ve katkılarıyla her konuda beni yönlendiren hocam Doç. Dr. Oęuz Ergin'e, yine kıymetli tecrübelerinden faydalandığım TOBB Ekonomi ve Teknoloji Üniversitesi Bilgisayar ve Elektrik Elektronik Mühendislięi Bölümleri öğretim üyelerine, gerek devre üzerine gerekse kararlarım ile ilgili konularda tavsiyelerini esirgemeyen Doç. Dr. Ali Bozbey hocama ve üzerimde emeęi geçen deęerli hocalarıma, her daim yardımına koőan Kasirga Z10 Ailesi arkadaşlarıma, üniversiteye girdiğim ilk günden beri hep yanımda olan Giray Yaęlıkçı'ya ve tüm dostlarıma, çalıştığım kuruma ve iş arkadaşlarıma, bıkmadan usanmadan ve her şartta beni destekleyen ve yanımda olan aileme ve yüksek lisans eğitimim boyunca bursumu karşılayan TÜBİTAK BİDEB'e teşekkürü bir borç bilirim.

İÇİNDEKİLER

ÖZET	iv
ABSTRACT	v
TEŞEKKÜR	vi
İÇİNDEKİLER	vii
ÇİZELGELERİN LİSTESİ	x
ŞEKİLLERİN LİSTESİ	xi
KISALTMALAR	xiii
SEMBOL LİSTESİ	xiv
1 GİRİŞ	1
1.1 CMOS VLSI Devreler	1
1.2 CMOS VLSI Devrelerde Sığa	3
1.2.1 Kapı Sığası	4
1.2.2 Difüzyon Sığası	5
1.2.3 Tel Sığası	5
1.3 CMOS VLSI Devrelerde Enerji Kayıpları	6
1.3.1 Devingen Enerji Kaybı	6
1.3.2 Durağan Enerji Kaybı	9
1.4 Bellek Yapıları	14
1.4.1 Rasgele Erişimli Bellek (RAM)	15
1.4.2 Seri Erişimli Bellek (SAM)	18
1.4.3 İçerik Adreslenebilir Bellek (CAM)	19
2 MEVCUT SRAM YAPISI VE ANAÇİZGİ ÇALIŞMALARI	22
2.1 SRAM Tasarımı	22
2.1.1 SRAM Bileşenleri	23

2.2	SRAM Tabanlı Mimari Yapılar	38
2.2.1	Yazmaç Öbeği	38
2.2.2	Ön Bellek	41
2.2.3	Diğer	43
3	DURAĞAN ENERJİ KAYBINA KARŞI İLGİLİ ÇALIŞMALAR	45
3.1	Sızdırmaya Karşı Üst Seviye Tedbirler ve SRAM Tabanlı Yazmaç Öbeği Odaklı Uygulamaları	46
3.1.1	Dar Değerlerin Kullanımı	46
3.1.2	Kısa Ömürlü Değerlerin Kullanımı	47
3.1.3	Bölümlendirme Kullanımı	48
3.2	Sızdırmaya Karşı Alt Seviye (Transistör) Tedbirler ve SRAM Bit Hücreleri Üzerine Uyarlamalar	48
3.2.1	Üretim Sırasında Yüksek Eşik Değeri Voltajlarına Ayarlama	50
3.2.2	Üretim Sırasında Çoklu Seviyede Eşik Değeri Voltajı Ayarlama	51
3.2.3	Devingen Olarak Uygulanan Eşik Değeri Voltajı	52
3.2.4	Güç Beslemesi Voltajını Düşürme	53
3.2.5	Güç Anahtarlama	54
3.2.6	Uyku Transistörleri	54
3.2.7	ASRAM	55
4	SIZDIRMAYA KARŞI ÖZGÜN SRAM TASARIMI, CSRAM	59
4.1	Motivasyon	59
4.1.1	Neden Durağan Enerji Kaybı..?	59
4.1.2	Neden Bellek Yapıları..?	60
4.1.3	Neden SRAM ve Bit Hücreleri..?	61
4.1.4	Neden Transistör Seviyesinde Çözümler..?	61
4.1.5	Neden Eşik Değeri Voltajı ile Sızdırma Azaltma Yöntemi..?	61

4.1.6	Neden CSRAM..?	62
4.2	İçerik Uyarlamalı Bit Hücreleri ve CSRAM	64
4.2.1	CSRAM Bit Hücresi ile Mevcut SRAM Bit Hücresi Farkları	64
4.2.2	İçerik Uyarlamalı Bit Hücreleri ve CSRAM Tasarımı	65
4.3	CSRAM için Benzetim ve Devre Analiz Ortamı	68
4.4	Yalınlaştırılmış CSRAM	69
4.4.1	Yalınlaştırılmış CSRAM Bit Hücresi Tasarımı	69
4.4.2	Yalınlaştırılmış CSRAM Bit Hücresi Analizi ve Deneysel Sonuçlar	72
4.4.3	Yalınlaştırılmış CSRAM Bit Hücresi Benzetim Sonuçları	77
4.5	Çoklu İçerik Uyarlamalı CSRAM	78
4.5.1	Çoklu İçerik Uyarlamalı Bit Hücresi Tasarımı	78
4.5.2	Çoklu İçerik Uyarlamalı CSRAM Analizi ve Deneysel Sonuçlar	81
4.5.3	Çoklu İçerik Uyarlamalı Bit Hücresi Benzetim Sonuçları	86
5	SONUÇ VE DEĞERLENDİRME	87
5.1	Gelecek Çalışmalar	89
5.1.1	CSRAM Farklı Mimari Bileşenlerle Uygulamaları	89
5.1.2	CSRAM Farklı Tekniklerle Uygulamaları	89
5.1.3	Farklı Amaçlar için CSRAM Uyarlamaları	90
5.1.4	İleri Teknolojilerde CSRAM Uygulamaları	90
	ÖZGEÇMİŞ	96

ÇİZELGELERİN LİSTESİ

Çizelge	Sayfa
Çizelge 1.1 Transistör Çalışma Bölgesine göre Toplam Kapı Sığası	4

ŞEKİLLERİN LİSTESİ

Şekil	Sayfa
Şekil 1.1 Temel Evirici Gösterimi	2
Şekil 1.2 Plakalar (Farklı gerilimde) dolayısı ile oluşan sığa basit gösterimi	3
Şekil 1.3 Transistör bağlantıları (Plakalar halinde görünümü)	3
Şekil 1.4 Farklı yollar arası sığalar	5
Şekil 1.5 Tümleyen MOSFET'ler ile Evirici Devre Şematiği	6
Şekil 1.6 Sızdırma Akımlarının NMOS transistör üzerinde gösterimi	9
Şekil 1.7 Kapı sızdırma akımı üzerine yığıt etkisi	12
Şekil 1.8 Alt Eşik Değeri sızdırma akımı üzerine yığıt etkisi	13
Şekil 1.9 Arka Arkaya Evirici	16
Şekil 1.10 SRAM Bit Hücresi	16
Şekil 1.11 DRAM Bit Hücresi	17
Şekil 1.12 Basit Kaydırma Yazmacı Görüntüsü	18
Şekil 1.13 NOR (sol) veya NAND (sağ) mantığı ile oluşturulan 2 farklı CAM Hücresi	20
Şekil 2.1 6 transistörlü SRAM Bit Hücresi Serimi	23
Şekil 2.2 4 Portlu bir SRAM Bit Hücresi	24
Şekil 2.3 4 Portlu SRAM Bit Hücresi Serimi	25
Şekil 2.4 Ve Kapıları ile 2 bit girişlik temel seviye Kod Çözücü	27
Şekil 2.5 Eviriciler üstte, 2 bitlik Kod Çözücü	27
Şekil 2.6 Eviriciler altta, 2 bitlik Kod Çözücü	28
Şekil 2.7 Ve Değil ve Veya Değil ile basit bir Ve Devresi	28
Şekil 2.8 Temel bir akım aynası devresi	32
Şekil 2.9 Akım aynaları ile oluşturulan Fark Algılayıcı Devresi	33
Şekil 2.10 Okuma olmadığında akım aynalarını kapatan fark algılayıcı devresi	34
Şekil 2.11 Kapatılıp Açılabilen Akım Aynalarından Oluşan Fark Algılayıcı Serimi	34
Şekil 2.12 Yazma Sürücüsü	35
Şekil 2.13 1 port, 7 bit ve 64 satır SRAM serim görüntüsü	37
Şekil 2.14 32 Bitlik MIPS Yazmaç Öbeği	39
Şekil 2.15 32 Bitlik bir Yazmaç Öbeği SRAM Dizini	40

Şekil 3.1 Üretimde ayarlanmış Yüksek V_{th} parametrelili transistörler ile Evirici	50
Şekil 3.2 Sadece belirli transistörleri Yüksek V_{th} değerine sahip olan bir evirici	51
Şekil 3.3 Devingen V_{th} 'li Transisörlerden Evirici	53
Şekil 3.4 Asimetrik SRAM Bit Hücresi (Tutulan Bit Değeri 1 İken Az Sızdıran)	57
Şekil 3.5 Asimetrik SRAM Bit Hücresi (Tutulan Bit Değeri 0 İken Az Sızdıran)	58
Şekil 4.1 Bias gerilimlerinin transistör iç yapısı gösterilerek oluşturulan bir evirici	65
Şekil 4.2 İçerik Uyarlamalı CSRAM Bit Hücresi	66
Şekil 4.3 Yalınlaştırılmış CSRAM Bit Hücresi Devre Tasarımı	70
Şekil 4.4 12 portlu Yalınlaştırılmış CSRAM Bit Hücresi Serimi	71
Şekil 4.5 12 portlu Yalınlaştırılmış CSRAM Bit Hücresi Serimi (pmos geçiş transistörleri sağa alınmış)	72
Şekil 4.6 CSRAM Bit Hücresi Serimleri ve SRAM Bit Hücresi Serimi	73
Şekil 4.7 4 Portluk CSRAM ve SRAM Bit Hücreleri Serimleri	75
Şekil 4.8 CSRAM Bit Hücresi Alan Maliyetinin Port Sayısı ile Değişimi	75
Şekil 4.9 Uygulanan Bias Gerilimi ile bit hücresi erişim zamanlarındaki gecikme artışı	76
Şekil 4.10 P-Bias gerilimi ile Durağan Enerji Kaybında Azalma Oranları	77
Şekil 4.11 Yazmaç Öbeğindeki 1 tutulma oranları	77
Şekil 4.12 İki komşu bit hücresinden oluşan Çoklu İçerik Uyarlamalı CSRAM	80
Şekil 4.13 İki komşu bit hücresinden oluşan Çoklu İçerik Uyarlamalı CSRAM Serimi	81
Şekil 4.14 4 Bitlik Bit hücreleri gruplarının serimleri ve alanlarının karşılaştırılması	81
Şekil 4.15 8 bitlik gruplar için Serimler ve Alan maliyetleri	82
Şekil 4.16 2 Bitlik Gruplar için Durağan Enerji Kaybındaki Azalma Oranları	84
Şekil 4.17 4 Bitlik Gruplar için Durağan Enerji Kaybındaki Azalma Oranları	84
Şekil 4.18 8 Bitlik Gruplar için Durağan Enerji Kaybındaki Azalma Oranları	84
Şekil 4.19 2,4 Ve 8 Bit Gruplar İçin Ortalama Durağan Enerji Azalma Oranları	85
Şekil 4.20 1 baytta en sağdaki bit 0 olduğunda diğer her bir bit için 0 olma olasılıkları	86
Şekil 4.21 1 baytta en sağdaki bit 1 olduğunda diğer her bir bit için 1 olma olasılıkları	86

KISALTMALAR

Kısaltmalar Açıklama

ASRAM	Asymmetrical SRAM (Asimetrik SRAM)
CAD	Computer Aided Design (Bilgisayar Destekli Tasarım)
CAM	Content Addressable Memory (İçerik Adreslenebilir Bellek)
CMOS	Complementary Metal Oxide Semiconductor (Tümleyen MOS)
CSRAM	Conscious SRAM (Bilinçli Durağan Rasgele Erişimli Bellek)
DRAM	Dynamic RAM (Devingen Rasgele Erişimli Bellek)
FIFO	First In First Out (İlk Giren İlk Çıkar)
FİNFET	Fin Field Effect Transistor
FN	Fowler-Nordheim (FN Tünelleme)
ITRS	International Technology Roadmap for Semiconductors (Yarıiletkenler için Uluslararası Teknoloji Yol Haritası)
LIFO	Last In First Out (Son Giren İlk Çıkar)
MIPS	Million Instructions per Second (Saniye başına milyon buyruk)
MOSFET	Metal Oxide Semiconductor Field Effect Transistor (Metal Oksit Yarıiletken Alan Etkili Transistor)
NMOS	N Type Metal Oxide Semiconductor
RAM	Random Access Memory (Rasgele Erişimli Bellek)
RAT	Register Alias Table (Yazmaç Eşleme Tablosu)
ROB	Reorder Buffer (Yeniden Sıralam Belleği)
SAM	Serial Access Memory (Seri Erişimli Bellek)
SRAM	Static Random Access Memory (Durağan Rasgele Erişimli Bellek)
VLSI	Very Large Scale Integrated Circuits (Çok Geniş Ölçekli Tümleşik Devreler)

SEMBOL LİSTESİ

Bu çalışmada kullanılmış olan simgeler açıklamaları ile birlikte aşağıda sunulmuştur.

Simgeler	Açıklama
A	Üretimden Gelen Parametre
B	Üretimden Gelen Parametre
C	Sığa
C_g	Kapı Sığası
C_{gb}	Kapı Alttaş Arası Sığa
C_{gs}	Kapı Kaynak Arası Sığa
CL	Yük Sığası
F	Sıklık
I_c	Sığa Akımı
I_s	Katkılama oranına ve p-n eklemi difüzyon alanına bağlı parametre
K	Boltzman Sabiti
L	Kanal Boyu
P	Güç
q	Yük
T	Sıcaklık
Toprakbias	Topraktan düşük bias gerilimi
Tox	Oksit kalınlık
V_{dd}	Güç Beslemesi
V_{ddbias}	Güç Beslemesinden yüksek bias gerilimi
V_{gs}	Kapı kaynak arası gerilim

V_T	Isıl Gerilim
V_{th}	Eşik Deęeri Voltajı
V_{th0}	Eşik Deęeri Voltajı İlk Deęeri
W	Kanal Geniřlik
A	Sıklık Faktörü

1 GİRİŞ

Bu tez içerisinde, geliştirilen teknik ve önerilen fikirlerde kullanılacak olan güç tüketimi ve bileşenleri, devingen güç tüketiminin bileşenleri, bu bileşenlerden yük sığasının ne olduğu ve nelere bağlı olduğu ve asıl önemli olarak durağan enerji kayıpları ve bunun sebebi olan sızdırma akımlarının nerelerde, nasıl ve ne oldukları ve kaynakları, bellek yapılarının ne oldukları ve nasıl çalıştıkları gibi birçok temel bilgi giriş kısmında, 1. Bölümde, anlatılacaktır. Geliştirilen tekniğin uygulanacağı yer olan SRAM ve anaçizgi tasarımı üzerine detayların verildiği mevcut SRAM ve Anaçizgi çalışmaları Bölüm 2’de, ve SRAM üzerine ve genel olarak işlemciler üzerine sızdırma akımlarından kaynaklı durağan enerji kayıplarını azaltmaya yönelik üst seviye ve alt seviye çözümlerin anlatıldığı ilgili çalışmalar kısmı ise Bölüm 3’de yer almaktadır.

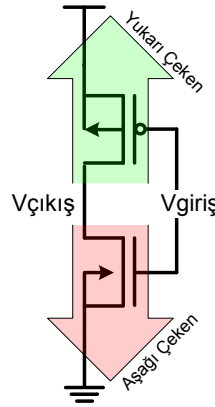
Tarafımızdan önerilen fikrin ve yapılan işin anlatıldığı asıl kısım olan Bölüm 4 içerisinde, içerik uyarlamalı CSRAM bit hücreleri, bunların farklı tasarımları olan yalınlaştırılmış CSRAM ve Çoklu içerik Uyarlamalı CSRAM bit hücreleri anlatılmaktadır. Deneysel ve benzetim sonuçlarının aktarılacağı ve analiz edileceği kısımlar ise yine 4. bölümde ayrıntılı olarak yer almaktadır. CSRAM üzerine deneysel ve benzetim çıktılarının ve uygulanan tüm yöntemlerin bu çıktıların üzerinden uygulanabilirliğinin değerlendirildiği ve ayrıca CSRAM ve İçerik Uyarlamalı Bit Hücreleri özgün fikrinin gelecek çalışmalarının yer aldığı Sonuçlar ve Değerlendirme kısmı ise Bölüm 5’de sunulmaktadır.

1.1 CMOS VLSI Devreler

CMOS devreler birbirini tümleyen MOS transistör yapılarından (nmos ve pmos) oluşmaktadır. Bu devrelerde MOSFET’lerin fiziksel özelliklerinden ve detay olarak elektron hareketlilik parametresinden dolayı pmos yapıları yukarı çeken (pull up) bloklar ve nmos yapıları da aşağı çeken bloklar olarak kullanılmaktadır. Bu blokların tümleyen olarak kullanıldığı devreler çıkışlarındaki yükleri sürmekte ve böylece giriş sinyaline ve var olan mantığa bağlı olarak bir çıkış sinyali üretilmektedir.

Giriş sinyalinin değişimine göre yukarı çeken bloğu yük kapasitörünü uygulanan V_{dd} gerilimi üzerinden doldurarak yukarı gerilim seviyesine çıkarmakta ve aşağı çeken blok ise yine bu giriş sinyali değişimi ile yukarı çeken blok pasif hale geldiğinde aktifleşerek kapasitör dolu ise bu kapasitörü boşaltarak aşağı gerilim seviyesine çekmektedir.

Bu şekilde bir anahtarlama süreci ile girişe bağlı çıkış sinyali elde edilmektedir. Şekil 1.1'de MOSFET'lerle oluşturulan basit bir devre üzerinden yukarı ve aşağı çeken bloklar ve temel düzeyde CMOS devre mantığı gösterilmektedir.



Şekil 1.1 Temel Evirici Gösterimi

MOSFET'lerin oluşturduğu aşağı çeken ve yukarı çeken blokların anahtarlama ile birbirinin tümleyeni olarak çalışması temeline dayanarak başta tez içerisinde sıklıkla göreceğimiz en temel bileşen olan eviricilerden diğer mantık kapılarına ve bu kapılardan oluşan milyonlarca transistör içeren Çok Geniş Ölçekli Tümleşik Devre (VLSI) yapılarına kadar tasarımlar geliştirilmekte, üretilmekte ve günlük hayatta takibi bile zor bir ilerlemeyle uygulanmaktadır.

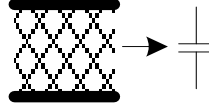
Evirici gibi temel devre düzeyinde önemsiz görülen veya etkisi görülemeyen birçok parametre çok daha karmaşık, VLSI devrelerde ciddi bir problem olarak çıkmaktadır. Modern işlemci birimlerinde birim üretim teknolojisindeki özellikle kapı genişliğinin

16nm ve aşağısını görmesi ve bu sebeple birim alana düşen transistör sayısının artması gibi gelişmelerle bu parametreler aynı zamanda birçok problemi tetikleyerek darboğaz oluşturmaktadır [1], [2], [3], [4].

Not: Bu sebeplerle ve tez içerisinde önerilen yöntemin ITRS tarafından da raporlandığı gibi bu tip darboğazlardan birine, transistör sızdırma akımlarına, karşı uygulanmasından dolayı temel konulara değinilirken evirici gibi basit devreler üzerinden gidilirken bile CMOS VLSI Devreler terimi kullanılmaktadır.

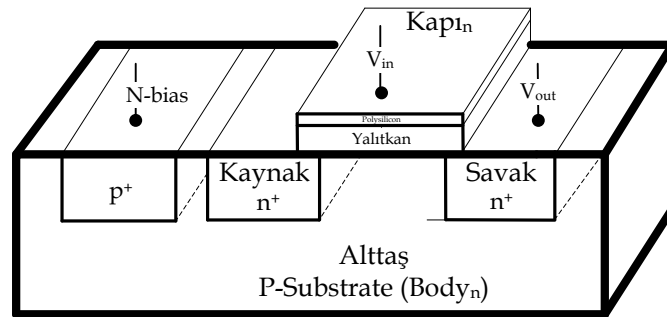
1.2 CMOS VLSI Devrelerde Sığa

Nerde farklı gerilim seviyesine sahip paralel plaka, orada sığa!



Şekil 1.2 Plakalar (Farklı gerilimde) dolayısı ile oluşan sığa basit gösterimi

Transistör yapısındaki kapı, savak, kaynak ve alttaş olarak geçen bağlantılar ve kanal da dâhil olmak üzere, Şekil 1.3'den de görülebileceği üzere, aslında farklı gerilim seviyelerine sahip olabilen, Şekil 1.2'deki gibi, birer plakadır. Dolayısı ile her biri arasında sığalar bulunmaktadır.



Şekil 1.3 Transistör bağlantıları (Plakalar halinde görünümü)

Bu kısımda özellikle anahtarlama sırasında enerji kaybına sebep olan ve bir sonraki kısımda genel olarak CMOS VLSI devrelerde sürülen yükü ve toplam sığayı ifade etmek için kullanılacak olan yük sığasından, içeriğindeki temel üç sığa: Kapı Sığası, Difüzyon Sığası ve Tel Sığası kavram olarak kısaca anlatılarak, bahsedilecektir.

1.2.1 Kapı Sığası

Transistör üzerinde kapı ile savak, kaynak ve alttaş alanlarının arasında oluşan sığalar toplamıdır. Bu sığaların değerleri, transistörün çalışma bölgesine (kapalı, doğrusal ve doyum) bağlı olarak değişmektedir [3].

Çizelge 1.1 Transistör Çalışma Bölgesine göre Toplam Kapı Sığası

ÇALIŞMA BÖLGESİ	Toplam Kapı Sığası (Cg)
Kapalı	$C_g = C_{gb}$
Doğrusal	$C_g = C_{gs} + C_{gd}$
Doyum	$C_g = C_{gs}$

Çizelge 1.1’de transistörlerin çalışma bölgesine göre hangi bağlantılar arası sığaların etkin değere sahip olduğu ve bunlar cinsinden toplam kapı sığası gösterilmektedir. Bu tabloya göre:

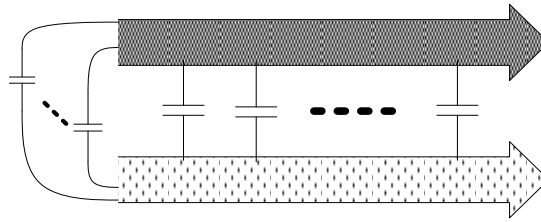
- Transistör kapalı iken ($V_{gs} < V_{th}$ olduğu durumda) kapı sığası kapıdan alttaşa olan sığaya eşit olarak alınır.
- Transistör açıldığında ve kanal oluşurken veya büyüme halinde iken ($V_{gs} > V_{th}$ ve $V_{ds} < (V_{gs} - V_{th})$ olduğu durumda) kapı sığası kapı ile kaynak ve savak arasındaki sığa olarak hesaplanır.
- Kanal oluştuğunda ve transistör doyuma ulaştığında ($V_{gs} > V_{th}$ ve $V_{ds} < (V_{gs} - V_{th})$ iken) ise kapı sığası kapı ile savak arasındaki sığa olarak alınmaktadır.

1.2.2 Difüzyon Sığası

Kaynak ya da savak difüzyon alanı ile kapı arasında oluşan p-n ekleminden oluşan diyottan kaynaklı sığadır. Literatürde parazitik gecikmenin sebebi olarak geçmektedir ve bu sebeple parazitik sığa (Not: Bazı kaynaklarda kapı sığası ile birlikte parazitik sığa olarak geçmektedir.) olarak da kullanılmaktadır [5], [6], [7].

1.2.3 Tel Sığası

CMOS VLSI devrede bir bileşenin veya kapının çıkışına bağlı ve sürdüğü yolların veya bağlantıların toplam sığası her birinin sahip olduğu tel sığaları hesaplanarak bulunur. Burada bir yolun tel sığası telin bulunduğu katmandan farklı potansiyele sahip diğer katmana olan alandaki sığadır. Bu sığa direkt olarak telin en altından veya en üst çizgisinden diğer plakanın en alt veya üst noktalarına olan sığalara ek olarak birde diğer noktalardan (yan noktalar vb.) diğer plakanın alt veya üst noktalarına olan sığaların toplam değeridir [4]. Bu sığayı oluşturan farklı yollar arasındaki sığaların temsili ve temel bir gösterimi Şekil 1.4'te yer almaktadır.



Şekil 1.4 Farklı yollar arası sığalar

Bahsedilen Kapı, Difüzyon ve Tel Sığaları CMOS devrelerinde güç tüketimi ve gecikmelerin temel bileşenlerindedir ve devre tasarımı ve analizi de bu parametreler dikkate alınarak yapılmaktadır. Bu tasarım ve analizler için bu sığaların toplam değeri olarak yük sığası kullanılmaktadır. Uzun bağlantı ve yolları süren bir kapı için yük sığası yaklaşık olarak tel sığasına veya daha büyük veya parazitik sığaları daha fazla ama daha kısa telleri süren bir kapı içinse kapı sığası yük sığasına yaklaşık olarak eşit alınarak hesaplamalar yapılabilmektedir.

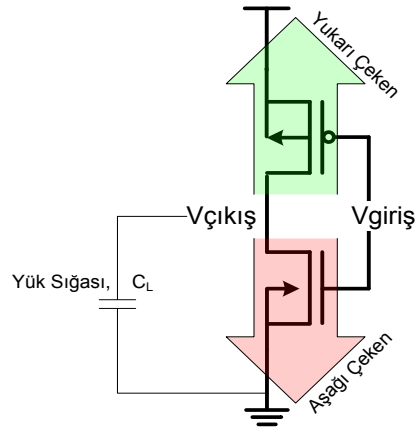
1.3 CMOS VLSI Devrelerde Enerji Kayıpları

1.3.1 Devingen Enerji Kaybı

1.3.1.1 Anahtarlamadan Kaynaklı Devingen Enerji Kaybı

CMOS VLSI devrelerde devingen enerji kaybının asıl sebebi bu sürekli devam edegelen anahtarlama ve daha da temel olarak yük sığasının her seferinde dolup boşalmasından kaynaklanmaktadır. Detaylı güç analizleri için ise bu yük sığasının içerisinde transistörlerin kendi parazitik sığalarının dolup boşalması için harcanan enerji de eklenmektedir. Devingen enerji kaybının temelinde yatan ve hesaplamalarda kullanılan yük sığası ve bileşenleri olan kapı sığası, tel sığası ve difüzyon sığası Bölüm 1.2’de detaylı olarak anlatılmaktadır.

Şekil 1.5’te tümleyen cmos devre tasarımına örnek olarak farklı bileşenlerden oluşan yük sığasının da çıkışta görüldüğü bir evirici verilmektedir.



Şekil 1.5 Tümleyen MOSFET'ler ile Evirici Devre Şematığı

Vc gerilim ve C sığası olan bir kapalı devrede sığa üzerinden geçen akım

$$I_c(t) = C \frac{dV_c(t)}{dt} \quad (1.1)$$

ve herhangi bir devredeki enerji

$$\epsilon = \int_0^{\infty} I(t)V(t)dt \quad (1.2)$$

olduğundan aralarındaki gerilim farkı V_c olan 2 paralel plaka arasında oluşan sığanın dolması için gereken enerji Denklem (1.3) ile hesaplanır [3], [8].

$$\epsilon_c = \int_0^{\infty} C \frac{dV}{dt} V(t)dt = C \int_0^{V_c} V_c(t)dV = \frac{1}{2} CV_c^2 \quad (1.3)$$

Aynı şekilde, CMOS Devrede yük sığası, C_L üzerindeki gerilimin, uygulanan V_{dd} gerilimi ile aynı olduğunu varsayarsak (Transistör üzerinde eksilen gerilimden dolayı V_{out} ve V_{dd} eşit olmayabilirdi, fakat bu durumda çıkış gerilimini kapasitör boşalırken sıfırdan farklı alacağımızdan dolayı ve burada negatif ifade geleceğinden toplam enerji hesabında çıkış gerilimine bağlı ifadeler birbirini yaklaşık olarak götürecektir.) bu devredeki anahtarlama sırasında harcanan devingen enerji Denklem (1.4)' deki gibi hesaplanır [3].

$$\epsilon_{c_L} = \int_0^{\infty} C_L \frac{dV}{dt} V_{dd} dt = C_L V_{dd} \int_0^{V_{dd}} dV = C_L V_{dd}^2 \quad (1.4)$$

Devingen güç tüketimi ise birim zamanda yapılan iş gereği ile bu anahtarlama periyoduna bölünerek bulunur ve frekans haline çevrildiğinde ise anahtarlama sıklığına bağlı devingen güç tüketimi için denklem (1.5)'deki gibi ifade elde edilir .

$$P_{c_L} = \frac{1}{T} C_L V_{dd}^2 = f C_L V_{dd}^2 \quad (1.5)$$

Tek bir saat üzerinden ve saat sıklığının ortak düşünüldüğü devrelerde bir kapının anahtarlama sıklığı saat sıklığından farklı olabileceğinden, Denklem (1.6)'da da belirtildiği gibi, bu 2 terim arasında bir faktör belirlenebilir veya direkt hesaplama için o kapı veya devreye ait anahtarlama sıklığı parametresi kullanılabilir.

$$P_{C_L} = f_x C_L V_{dd}^2 = \alpha f C_L V_{dd}^2 \quad (1.6)$$

(1.4) ve (1.6) eşitliklerinden de kolayca görülebildiği gibi; belirli bir mantığa bağlı olarak bir yük sığası olarak topladığımız bir yük sürmekte olan herhangi bir CMOS devresinde kaybedilen enerji güç beslemesi olan Vdd geriliminin karesi ile ve sürülen yük ile doğru orantılıdır. Harcanan güç tüketimi ise bu sürme işleminin veya anahtarlamaların ne kadar sıklıkla yapıldığı ile doğru orantılı olarak artmakta veya azalmaktadır.

1.3.1.2 Kısa Devre Devingen Enerji Kaybı

Bahsedilen anahtarlama işlevi ve buradaki güç tüketimi aslında yukarı çeken veya aşağı çeken bloklarından birisinin aktif ve diğerinin pasif olmasına dayanmaktadır. Fakat bu blokların aktif halden pasif hale geçerken ve pasif halden aktif hale geçerken gecikmeleri olmaktadır. Bu gecikmeler kısa da olsa belirli bir süre bu 2 bloğunda aynı anda aktif olduğu durumlara neden olmaktadır.

Peki, Vdd'ye bağlı ve buradan yükü süren, yukarı çeken bir pmos bloğu ve aşağıdan Gnd'a bağlı ve yine aynı yükü süren, aşağı çeken bir nmos bloğu aynı anda aktif olursa ne olur?

Anahtarlama sırasında gerçekleşen ve dolayısı ile devingen enerji kayıpları arasında hesaplanan, Vdd'den Gnd'a açılan kanaldan kaynaklanan bu kayba Kısa Devre Devingen Enerji Kaybı denilmektedir. Devingen enerji kaybı, anahtarlama sırasındaki kapasitör doldurup boşaltmadan kaynaklı kayba ek olarak bir de bu anahtarlama sırasında oluşan kısa devrelerden kaynaklanan kayıpları da içermektedir.

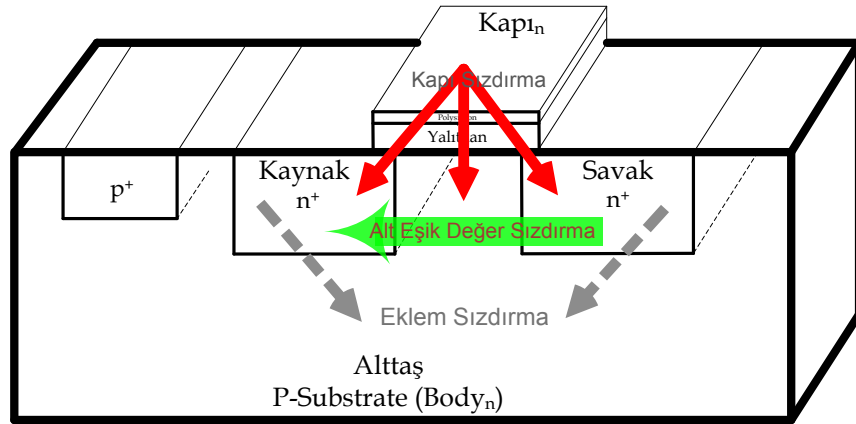
Kısa devreden kaynaklı enerji kayıpları giriş ve çıkış sinyallerine ait yükselme ve düşme zamanlarının eşleştirilmesi ve ayarlanması ile azaltılabilmektedir. Bunun için de yük kapasitörleri değiştirilmekte veya ek kapasitörler kullanılabilir. Ayrıca [9]'da öneriline benzer şekilde geri beslemeli veya uyarlamalı teknikler de kısa devre enerji kaybını azaltmaya yönelik kullanılmaktadır.

1.3.2 Durağan Enerji Kaybı

MOSFET'lerden oluşan bir CMOS devrede bu transistörler kapalı iken istenmeyen veya ters yönlü sızdırma akımı diye adlandırılan bir akım oluşmakta ve bu sızdırma akımları CMOS VLSI devrelerde durağan enerji kayıplarına sebep olmaktadır.

Durağan enerji kaybına sebep olan bu sızdırma akımları: Alt Eşik Değeri Sızdırma (Subthreshold Leakage), Kapı Sızdırma (Gate Leakage) ve Eklem Sızdırma (Junction Leakage) akımları olarak 3 temel başlıkta incelenecektir.

Bu sızdırma akımlarının hangi alanlar arasında, ne yönde ve ne oldukları özet bir önbilgi olarak NMOS MOSFET yapısı üzerinde, Şekil 1.6'da, gösterilmektedir.



Şekil 1.6 Sızdırma Akımlarının NMOS transistör üzerinde gösterimi

1.3.2.1 Alt Eşik Değeri Sızdırma Akımı Kaynaklı Durağan Enerji Kaybı

Transistörün kapalı olduğu yani $V_{gs} < V_{th}$ olduğu çalışma aralığındaki uzun kanallı bir MOSFET için teorik olarak kanal üzerinde taşıyıcı (Carriers) olmaması, bir akım oluşmaması ve I_{ds} akımının sıfır olması beklenmektedir. Fakat uygulamada, $V_{gs} < V_{th}$ iken veya kapı ile kaynak arası potansiyel farkın transistörün eşik değerinin altında olduğu kısımda, V_{ds} potansiyel farkından kaynaklanan kanaldaki zayıf oluşumdan ve taşıyıcıların oluşmasından kaynaklanan Alt Eşik Değeri Sızdırma

Akımı oluşmaktadır ve oluşan akımın yönü, savaktan kaynağa doğru, Şekil 1.6'da gösterilmektedir [3], [8], [10].

Alt eşik değeri sızdırma akımının hesaplanması ve bağlı olduğu parametrelerin yer aldığı eşitlikler Denklem (1.7)' de verilmiştir [10].

$$I_{alteşik} = I_0 e^{\frac{V_{gs}-V_{th}}{nV_T}} (1 - e^{-\frac{V_{ds}}{V_T}}) \quad (1.7)$$

$$I_0 = \frac{W\mu C_{ox} V_T^2 e^{1.8}}{L} \quad (1.8)$$

$$V_T = \frac{KT}{q} \quad (1.9)$$

Denklem (1.7)'de verilen I_0 ve V_T (ısıl gerilim) bileşenleri (1.8) ve (1.9) eşitliklerinde verilmektedir. Burada verilen n değeri alt eşik değeri salınım katsayısıdır. Denklem (1.8)'de ise W kanal genişliği, L kanal boyu, μ taşıyıcı hareketliliği ve C_{ox} gate oxide sığasıdır.

Denklem (1.7)'den anlaşılacağı üzere savak ile kaynak arası uygulanan V_{ds} gerilimi 0 olduğunda alt eşik sızdırma akımı 0 olacaktır, fakat ısıl gerilimden büyük ve katları seviyelerinde uygulanan gerilim arttıkça bu sızdırma akımı da artacaktır. Ayrıca yine Denklem (1.7)'den görülebileceği üzere transistör eşik geriliminin artması ile alt eşik sızdırma akımı azaltılabildiği görülmektedir.

Dolayısı ile CMOS VLSI devrelerde alt eşik değeri sızdırma akımı kaynaklı durağan enerji kaybını engellemek için eşik değeri yüksek seçilebilmektedir, fakat burada yüksek eşik değerinin neden olacağı gürültünün ve hata oranının artması durumu ile ödünleşim bulunmakta ve bir tasarım kararı gerekmektedir.

Son olarak yine aynı denklemden anlaşılacağı üzere ısıl gerilimin karesinden dolayı alt eşik değeri sızdırma akımı sıcaklıkla doğru orantılı bir ilişkiye sahiptir.

1.3.2.2 Kapı Sızdırma Akımı Kaynaklı Durağan Enerji Kaybı

Gelişen teknoloji ve azalan boyutlara paralel olarak ve bu gelişimin getirdiği kanal etkisi gibi etkileri azaltmak amacı ile kapı yalıtkanı (malzeme olarak uzun yıllardır SiO₂, Silikon Dioksit kullanılmaktadır) üzerine kalınlığı düşürmek, yüksek dielektrik malzeme kullanımı gibi teknikler uygulanmaktadır [2]. Yüksek elektrik alanında ve daha düşük kapı yalıtkan kalınlığında bir transistörde taşıyıcılar, kalınlığı azaltılmış yalıtkan olan bu ince bariyer üzerinden diğer tarafa geçebilmektedir.

Elektronların (veya deliklerin) altaş üzerinden veya savak ve kaynak alanlarından kanal yerine kapı tarafına geçmesi veya elektronların tünellenmesi olayına kapı tünellemesi denilmekte ve bu da kapı sızdırma akımına ve durağan enerji kaybına neden olmaktadır [11], [12]. Kapı tünellemesinin yönü NMOS transistör üzerinden temel seviyede Şekil 1.6'da gösterilmektedir.

(Not: Temel olarak NMOS ve PMOS transistörleri için mantık aynı çalışmaktadır ve dolayısı ile bu gösterim doğrudur. Fakat detayda Tünelleme veya kapı sızdırma akımının NMOS için PMOS'dan daha fazla olması gibi farklılıklar bulunmaktadır. Bunun sebebi elektronların iletim bandından tünellenmesi ama deliklerin valans bandından tünellenmesi yüzünden daha kalın bariyerle karşılaşmasıdır.)

Kapı tünellemesi; elektronların oksit katmanın iletken bandına tünellendiği Fowler-Nordheim (FN) tünelleme ve elektronların doğrudan kapıya tünellendiği direkt tünelleme olarak 2 mekanizma halinde gerçekleşebilmektedir [11], [12].

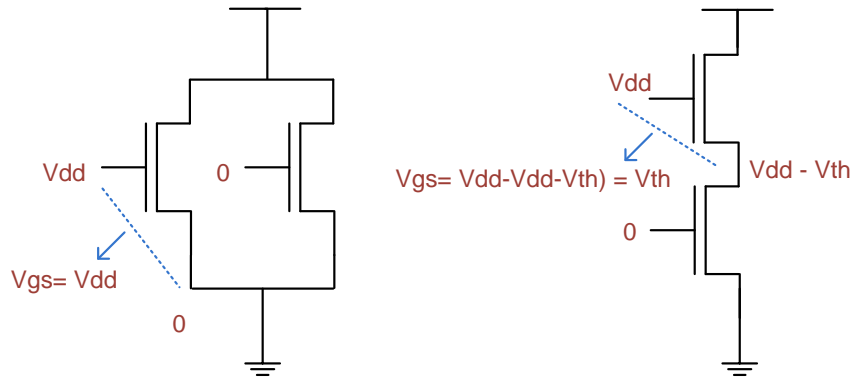
Yüksek voltaj güç beslemesine ve daha kalın kapı yalıtkanına sahip devrelerde FN tünelleme ve gelişen teknolojilerde karşımıza çıkan ve bizim içinde daha kritik hale gelen düşük (V_{dd}) güç beslemeli ve daha ince kapı yalıtkanı olan devrelerde ise direkt tünelleme daha önemlidir ve kapı sızdırma akımı olarak alınabilir. Kapı sızdırma akımı her angstromluk bir yalıtkan kalınlığındaki azalmada yaklaşık olarak 2 katlık bir artışa ve daha çok enerji kaybına neden olmaktadır [13].

Kapı tünellemesinin modellenmesi Denklem (1.10)'da gösterildiği gibi yapılabilmektedir [14].

$$I_{kapıtünelleme} = W A \left(\frac{V_{DD}}{t_{ox}} \right)^2 e^{-B \frac{t_{ox}}{V_{DD}}} \quad (1.10)$$

Denklem (1.10)'da A ve B parametreleri üretici tarafından belirtilen teknolojiye ait sabitlerdir. Bu denklemden de görülebileceği gibi kapı tünellemesi sızdırma akımının ve buna bağlı durağan güç tüketimini uygulanan güç beslemesi (Vdd) ile artmakta ve kapı yalıtkanın kalınlığının artırılması ile ise azalmaktadır.

Kapı sızdırma akımı için bir diğer önemli husus, sızdırma akımının Vgs voltajına veya genel olarak kanala uygulanan voltaja bağlı olmasından dolayı birden fazla transistörün birlikte yer aldığı devrelerde transistörlerin birbirine bağlantılarına göre sızdırma akımının değişebilmesidir. Bu duruma yığıt etkisi denilmektedir.



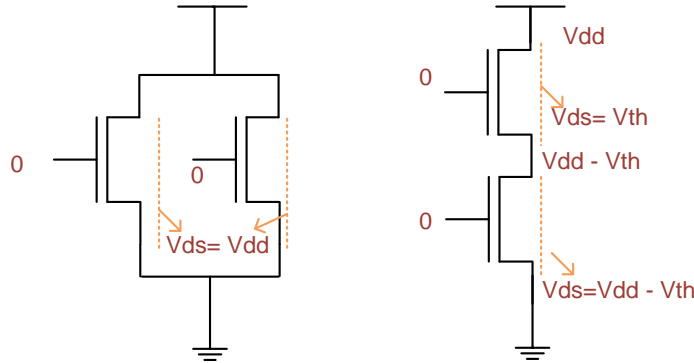
Şekil 1.7 Kapı sızdırma akımı üzerine yığıt etkisi

Şekil 1.7'de kapı sızdırma akımı üzerine yığıt etkisi uygulanan Vgs geriliminin transistörlerin bağlantı şekline bağlı değişimi üzerinden gösterilmektedir. Burada her 2 bağlantıda transistörlerin birine mantık 1 ve diğerine mantık 0 uygulandığını varsayalım. Bu durumda paralel bağlı transistör için en kötü durum geçerli olacak ve $V_{gs} = V_{dd}$ olduğu için kapı sızdırma etkisi fazla olacaktır.

Seri bağılı nmos serilerinde ise yukardaki transistöre mantık 1 alttakine mantık 0 uygulandığında yukardaki için $V_{gs} = V_{th}$ olacak ve bu kapı sızdırma akımının önemli ölçüde azalmasını sağlayacaktır. İşte, bu da yığıt etkisidir

Hatırlatma: Alt eşik değeri sızdırma akımını etkileyen en önemli faktör V_{ds} gerilimi idi ve bu gerilim farkı arttıkça sızdırma akımı artıyordu. Peki, yığıt etkisi alt eşik değeri sızdırma akımı için de geçerli mi? EVET.

Şekil 1.8'den de görülebileceği gibi alt eşik değeri için de yığıt etkisi bulunmaktadır [3]. Burada V_{ds} paralel bağlıda her 2 transistör içinde V_{dd} , seri bağlıda alt transistör için $V_{dd} - V_{th}$ ve üst transistör için ise V_{th} olduğu için sızdırma akımları büyüklükleri de bu sıralamadır.



Şekil 1.8 Alt Eşik Değeri sızdırma akımı üzerine yığıt etkisi

1.3.2.3 Eklem Sızdırma Akımı Kaynaklı Durağan Enerji Kaybı

Transistör yapısı p-n eklemlerinden oluşmaktadır ve bu p-n eklemleri ise bağlantılar arası veya n veya p type alanlar arası diyotları oluşturmaktadır. Her ne kadar bu diyotlar çalışırken her durumda ters kutuplu olacak şekilde ayarlanmış olsa bile az da olsa bir sızdırma akımı bu diyotlar üzerinden geçmektedir [3].

$$I_D = I_S \left(e^{\frac{V_D}{V_T}} - 1 \right) \quad (1.11)$$

Oluşan sızdırma akımının modellenmesi Denklem (1.11)'de, eklem sızdırma akımı yönü ve nmos üzerinden gösterimi ise Şekil 1.6'da verilmektedir. Burada I_s katkılama oranına ve p-n eklemi difüzyon alanına bağlı bir parametredir. V_T ısı gerilimi ve V_D ise diyot halini alan p-n eklemine uygulanan gerilimi belirtmektedir.

Bu p-n eklemlerinin veya bu eklemlerde oluşan ters kutuplu diyotların üzerinde oluşan eklem sızdırma akımlarından dolayı durağan enerji kaybı olmaktadır. Bu enerji kaybı diğer kayıplara göre göreceli bakıldığında daha düşük değerlere sahiptir, fakat daha düşük transistör boyutları ile gelen kısıtlar ve birim alana düşen transistör sayısının çok artması bu kaybında önemli olduğunu göstermektedir.

1.4 Bellek Yapıları

Modern işlemcilerde buyrukların saklanması, kuyrukta tutulması, yeniden sıralanması, yazmaçların kendi işlevlerini yerine getirebilmesi, yazmaçların saklanması, işlem birimlerinin işlemek için aldıkları ve işledikten sonra koydukları verilerin saklanması gibi bir işlemcide ilk işlemde, buyruğun yakalanmasından son işleme, tamamlanmasına kadar her işlem adımında bellek yapılarına ihtiyaç duyulmaktadır.

Bellek birimleri modern işlemcilerde çok çeşitli görevlerde kullanılmakta ve göreve uygun özelleştirilmiş farklı tipte bellek yapıları bulunmaktadır. İşlemci yapısında çok fazla tipte ve sayıda bellek birimi olması dolayısı ile bellek birimleri bir işlemcide sadece işlev ve önem açısından değil aynı zamanda güç tüketimi, kapladığı alan ve sebep olduğu gecikmeler açısından da yüksek oranda bir paya sahiptir [15], [16].

Bu sebeple şimdiye kadar birçok çalışma, örneğin güç tüketimi ile ilgili veya daha detay olarak durağan enerji kayıpları ile ilgili çalışmalar, bellek yapıları üzerine ve özellikle işlemcinin toplam güç tüketimini önemli ölçüde etkileyen ve yonga alanı üzerinde yüksek paya sahip SRAM bellek yapısına uygulanmış ve hala birçok çalışma bu alanda devam ettirilmektedir. (Bunlara örnek bazı çalışmalar Bölüm 3'de yer almaktadır.)

Tez asıl konusu ve önerisi olan durağan enerji kaybına karşı tedbir olarak geliştirilen fikir de bellek yapılarından var olan SRAM bellek yapısına yönelik yazmaç öbeği üzerinden gidilerek sunulmaktadır. SRAM ile ilgili detaylı anlatım 2.kısımda yapılacak olmasına rağmen önerilen fikrin diğer bellek yapılarına ve bu bellek yapılarını kullanan diğer mimari bileşenlerine de uygulanabilmesi mümkün olduğu için diğer bellek yapılarından ve SRAM tabanlı diğer mimari bileşenlerden bahsedilecektir.

Bellek yapılarında veri saklamak için gerekli hücreler ve bu hücelere okuma ve tipine bağlı olarak yazmak amacı ile erişim için bileşenler bulunmaktadır. Bu erişimi bazı bellek tiplerinde adres ile, bazılarında sıra ile ve bazılarında ise anahtar karşılaştırma ile yapılmaktadır. Bu erişim tiplerine göre bellek yapıları Rasgele Erişimli Bellek, Seri Erişimli Bellek ve İçerik Adreslenebilir Bellek olarak 3 ana başlıkta incelenecektir.

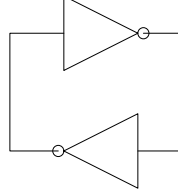
1.4.1 Rasgele Erişimli Bellek (RAM)

Veri saklayan hücrelerden herhangi birine belirtilen adres üzerinden ulaşılabilen ve işlem yapılabilen bellek tipine rasgele erişimli bellek denilmektedir. Rasgele erişimli bellek, veri saklama hücrelerinin ana güç beslemesi geldiği durumda içerisinde tuttuğu veriyi kullandığı geri besleme devresi ile sürekli olarak saklayabiliyorsa durağan, eğer içerisinde bir sığa yardımı ile veri tutuyorsa ama bu veriyi sığa boşalacağı için belirli bir zaman sonra kaybediyorsa ve bunun için dinamik olarak tekrar işlem yapılması gerekiyorsa devingen rasgele erişimli bellek olarak sınıflandırılabilir.

1.4.1.1 Durağan Rasgele Erişimli Bellek (SRAM)

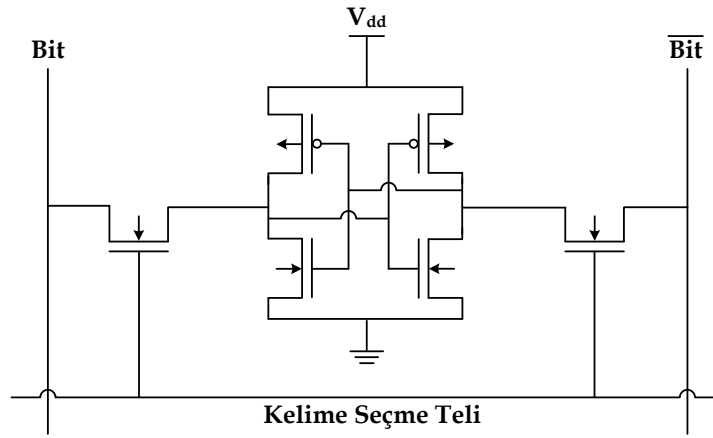
Saklaması gereken veriyi ana güç beslemesi olduğu sürece yeniden yazma veya okumaya gerek kalmadan saklayabilen geri beslemeli devreye sahip hücrelerden oluşan bellek yapısıdır [3], [8].

Güç beslemesi uygulandığı sürece içerisinde bir bit veri saklayabilen bu yapıya SRAM bit hücresi denilmektedir. Bu yapı içerisinde 1 bitlik veriyi tutmak için Şekil 1.9'da gösterilen arka arkaya bağlanmış (back to back) 2 eviriciden oluşmaktadır.



Şekil 1.9 Arka Arkaya Evirici

Bir SRAM bit hücresi eviricilerin haricinde kelime seç telinin kapı girişine, diğer girişlerinin ise bit (veya bit değil) tellerine ve bu eviricilere bağlı olduğu geçiş transistörlerini içermektedir. Bu geçiş transistör sayısı port sayısına bağlı olarak değişmektedir. Şekil 1.10'da 1 portluk bir SRAM bit hücresinin transistör seviyesi şematik gösterimi yer almaktadır.

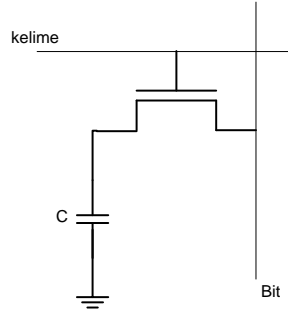


Şekil 1.10 SRAM Bit Hücresi

SRAM bellek birimi temel olarak, SRAM Bit Hücrelerinden, belirtilen adreste bu hücrelerden herhangi birine erişimi sağlayan kod çözücülerden, yüksek sığalı uzun hatlarda yazmayı yapmak için teli süren yazma sürücülerinden, hem yazma hem okuma sırasında kullanılan kelime seç tellerini süren kelime sürücülerinden, okuma işlemi için erişim zamanını kısaltmaya yönelik geliştirilen öndolduruculardan, ve yine okuma sırasında kullanılmakta olan fark algılayıcılardan oluşmaktadır. Detaylı SRAM ve bileşenleri tasarımı Bölüm 2'de anlatılacaktır.

1.4.1.2 Devingen Rasgele Eriřimli Bellek (DRAM)

DRAM, verileri sığa doldurup boşaltarak saklayan hücrelerden oluşmaktadır. Adresleme ve sürme yine SRAM'e benzer mantıkla çalışmaktadır ve yine kelime seç, kelime telleri, yazma sürücü, bit telleri gibi bileşenler bulunmaktadır. Fakat en büyük farkı geri besleme döngüsü yerine sığa kullanmasıdır. Sığa kullanımı tasarımı basitleştirmekte ve boyutları küçülttüğü için daha az alan kaplamaktadır. Bu avantajların yanında DRAM içerisindeki sığaların belirli bir zaman sonra boşalmaya başlaması ve içerisinde sakladığı veriyi kaybetmemesi için periyodik olarak yeniden doldurulması ve okunması gerekliliği ve SRAM'e göre daha fazla gecikme değerleri gibi dezavantajları da bulunmaktadır [17], [18].



Şekil 1.11 DRAM Bit Hücresi

Şekil 1.11'de DRAM bit hücresinin transistör seviyesindeki şematik gösterimi yer almaktadır. Bir DRAM dizininde verilen bir adres kod çözücülerle çözülür, sonra kelime sürücülerle kelime teli sürülerek ilgili satır veya kelime seçilerek okuma ve yazma işlemi gerçekleştirilir. Burada okuma sırasında içerdeki sığanın yükü transistörün açılması ile bit teline aktarılarak ve yazma sırasında da bit telinden sığa sürülerek işlemler gerçekleştirilir.

Geniş Ölçekli DRAM dizinleri alt dizinlere bölünebilmektedir. Ayrıca geniş ölçekli DRAM dizinlerinde yüksek sığalı telleri sürebilmek ve burada sürülen tellerden gelen verileri daha hızlı okuyabilmek adına analog devre tasarımında fark algılayıcılar, verilen adrese göre erişilecek bit hücrelerini sağlayan kod çözücüler,

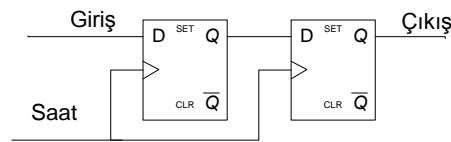
yüksek sığalı uzun telleri sürebilmek adına yazma sürücülerini gibi devreler kullanılmaktadır. Ayrıca SRAM'deki precharge veya öndoldurma devresine benzer bir devre olan ve bit teli çiftlerini $V_{dd}/2$ ye getiren (öndoldurma işlemi) ve bunları eşitleyen bit teli koşullama devresi de geniş ölçekli DRAM dizin uygulamalarında kullanılmaktadır [17].

DRAM'in birim alanda daha çok sayıda ve daha yoğun olarak üretilebilmesi SRAM'e alternatif olarak yer almasını sağlamakta, fakat gecikme gibi dezavantajları bulunmaktadır. Bu yüzden DRAM üzerine birçok çalışma ve sinyali güçlendirme vb. amaçlarla birden fazla transistör kullanımı gibi teknikler geliştirilmektedir. [18]

1.4.2 Seri Erişimli Bellek (SAM)

Herhangi bir adreslemeye gerek duymadan veri saklanan hücreye erişim sağlanabilen bellek tipidir. Kaydırma Yazmaçları ve Kuyruk Yapıları (FIFO, LIFO vb.) seri erişimli bellek yapılarıdır.

Kaydırma yazmaçları sıklıkla D flip flopları ile birden fazla etaptan oluşan ve her bir saat darbesinde bu serinin girişine verilen veriyi bir yana kaydıran ve en son flip flop girişindeki veriyide bu saat darbesinde serinin dışına vererek bu şekilde kaydırarak veri saklayan yapılardır. Şekil 1.12'de kaydırma yazmacına ait temel seviye sembolik bir görüntü yer almaktadır.



Şekil 1.12 Basit Kaydırma Yazmacı Görüntüsü

Bu tip yazmaçlar genel olarak sinyal işlemede gelen sinyalin gecikme eklenerek ve saklanarak tekrar gönderilmesi için kullanılmaktadır. Burada girişteki flip flop sayısı artırılarak her bir etapta daha çok bitin kaydırılması ve bu etapların artırılarak daha

çok gecikme eklenmesi ve saklanması gibi yöntemler uygulanmaktadır [19]. Paralel giriş seri çıkış ve seri giriş paralel çıkış olarak farklı kaydırma yazmacı tipleri bulunmaktadır.

Kuyruk yapıları (FIFO Queues) tampon bellek olarak asenkron devrelerde sıklıkla kullanılmakta olan, kaydırma yazmacı gibi döngüsel yapıya sahip bir bellek tipidir. İçerisinde yazma ve okuma işaretleyicileri bulunmaktadır. Bunlar reset zamanı ilk elemanı ve aynı yeri gösterirler. Bu aynı zamanda kuyruğun boş olduğunu gösterir. Bu şekilde bir sonraki elemana doğru giden bir yapı bulunur. En son yazma işaretçisi okuma işaretçisi ile aynı yeri gösterirse de bu kuyruğun dolu olduğunu gösterir. Bu yapı ilk giren ilk çıkar mantığı ile çalışmaktadır [20].

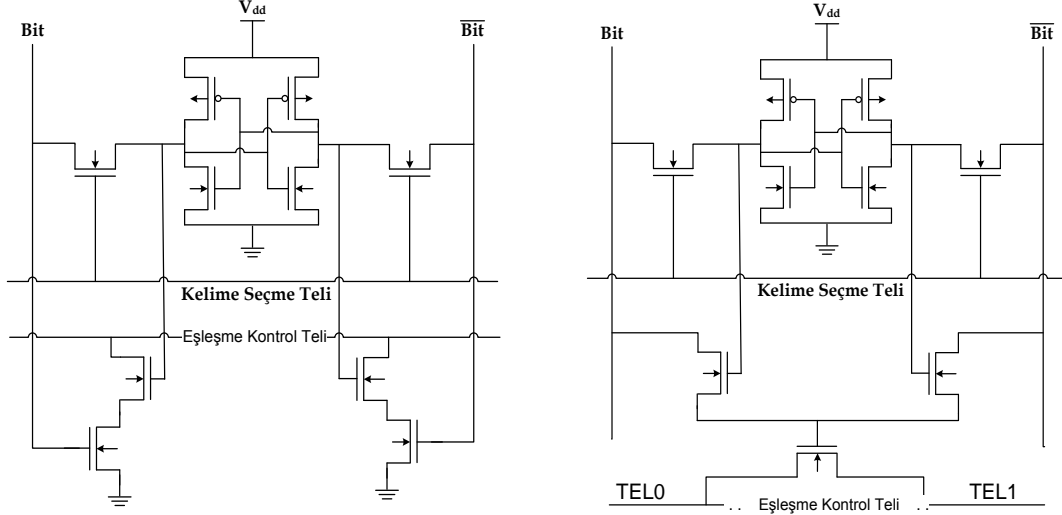
Diğer bir seri erişimli bellek tipi son giren ilk çıkar prensibine dayalı yığıtlardır. Yazma işaretçisi baştan okuma işaretçisi sondan başlar ve her adımda kayarak ilerlerler. Bu sebeple en son bir veri yazıldığında bir öncekinden sona daha yakın yazılacak ve okunurken sondan başa gelindiği için daha çabuk okunacağı için son giren ilk çıkar prensibi çalışacaktır. Yığıt bellek tipinde 2 işaretçi yerine aslında tek işaretçi de kullanılabilir. O zamanda yine işaretçi yazarken baştan sona doğru kaydırılacak ve okurken de yine aynı işaretçi bu sefer 1 azaltılacak veya sondan başa doğru kaydırılacak ve böylece en son yazılan ilk okunacağı son giren ilk çıkar mantığı kurulmuş olacaktır [3].

1.4.3 İçerik Adreslenebilir Bellek (CAM)

Belirli bir adrese ek olarak birde o adreste verilen anahtara göre eşleşme olup olmadığı sorgusu yapılarak veri saklayan ve bit hücrelerine erişimi yapabilen bellek tipidir.

Temel olarak SRAM dizin yapısı ile aynı mantıkla çalışmakta, fakat ek olarak eşleştirme sorgusu için gerekli karşılaştırma devreleri içermektedir. Bu devrelerin temel yapısı arka arkaya eklenmiş evirici ve geçiş transistörlerine ek getirilen NOR

veya NAND mantığını oluşturan transistör devreleridir ve bu 2 mantık kullanılarak oluşturulan 2 farklı CAM hücresine ait devreler Şekil 1.13'te gösterilmektedir [21].



Şekil 1.13 NOR (sol) veya NAND (sağ) mantığı ile oluşturulan 2 farklı CAM Hücresi

Şekil 1.13'te sol tarafta normal SRAM bit hücresi üzerine ek 4 transistör eklenerek toplamda, temel hali, 10 transistörlü olan ve NOR mantığı ile oluşturulmuş bir CAM hücresi yer almaktadır. Bu devrede, arka arkaya eviricilerde tutulan değer bit tellerinden gelen değerden farklı olduğunda (aynı şekilde bit değil içinde) eklenen transistörler açılarak Eşleşme Kontrol Teline topraktan besleme gelir ve tel üzerinde mantık 0 değeri görülür. Diğer durumda, değerler aynı olduğunda ise tel üzerinde mantık 1 değeri görülür. Bu şekilde yan yana dizilen bit hücreleri ile oluşturulan bir kelime karşılaştırılabilir ve bu hücrelerin tümü 1 olunca yani eşleşme durumunda telin sonunda mantık 1 ve herhangi biri 0 olduğunda ise mantık 0 değerleri görülmektedir.

Şekil 1.13'te sağ tarafta ise normal SRAM bit hücresi üzerine ek 3 transistör eklenerek toplamda, temel hali, 9 transistörlü olan ve NAND mantığı ile oluşturulmuş bir CAM hücresi yer almaktadır. Bu devrede, arka arkaya eviricilerde tutulan değer bit tellerinden gelen değerden farklı olduğunda (aynı şekilde bit değil içinde) eklenen geçiş transistörü kapanmakta ve bu yüzden TEL0 noktasından TEL1 noktasına akım kesilmekte, Eşleşme Kontrol Telinde bağlantı kopmaktadır. Diğer durumda, değerler aynı olduğunda ise tel üzerinde akım akmakta ve tel üzerindeki

TEL0 ve TEL1 noktaları arasında bağlantı devam etmektedir. Bu şekilde yan yana dizilen bit hücreleri ile oluşturulan bir kelime karşılaştırılabilir ve bu hücrelerin tümü 1 olduğunda, eşleşme durumunda, telin sonunda mantık 1 ve herhangi biri 0 olduğunda ise mantık 0 değeri görülebilecektir. Sonuç olarak her 2 farklı CAM hücresi ve yan yana dizilen hücrelerle yukardan bit ve bit değil tellerinden verilen Anahtar'lar ile verilen adresteki hücre içerisinde tutulan değerler ile aynı olup olmadığı belirlenecektir.

Bu hücreleri kullanarak oluşturulan işlemci mimarisi birimlerinden en yaygın örnek etkin sayfalar önbelleği, TLB olmaktadır. Bu yapıda sanal adreslerin gerçek adresler arasında olup olmadığı CAM mantık devrelerinden geçirilerek tespit edilir ve eğer kaçırma (miss) olmadı ise CAM ile birlikte yer alan ve gerçek adreslerin olduğu SRAM bloğuna gidilerek işlem yapılır. Bunun gibi CAM mantığını kullanan birçok örnekler bulunmaktadır [21], [31].

Sonuç olarak farklı tipte bellek yapıları ve bunların kullanıldığı farklı işlemci birimleri bulunmakta ama ortak nokta bu bellek yapılarının veriyi saklayan bit hücrelerinden ve bu hücrelere erişimi ve işlemi sağlayan bileşenlerinden oluşmasıdır. En önemlisi de dizin yapısında çok sayıda olabilen kritik bileşen bit hücresinin özellikle veri sakladığı yapısıdır. Bu hücrelerden SRAM bit hücresi için uyguladığımız ve tez içerisinde önerilen teknik diğer bellek yapılarına, örneğin bit hücresine benzeyen hücrelerden oluşan CAM bellek yapısına, ve bunlardan oluşan işlemci birimlerine de uygulanabilir. Dolayısı ile bu bölümde SRAM için arka arkaya eviricilerden, DRAM için sığadan, SAM için D flip floptan ve CAM için karşılaştırma, NOR veya NAND mantığı ile oluşturulan hücreden bahsedilmiştir.

2 MEVCUT SRAM YAPISI VE ANAÇIZGİ ÇALIŞMALARI

2.1 SRAM Tasarımı

Bellek yapılarından bahsedilen bölümde, Bölüm 1.4.1.1, durağan rasgele erişimli bellek anlatılırken SRAM'in arka arkaya eviriciler kullanan, geri beslemeli veya güç beslemesi geldiği müddetçe içerisindeki 1 bitlik veriyi saklayan bit hücrelerinden oluştuğunu ve ayrıca bu bit hücrelerine erişim ve işlem için gerekli kod çözücüler, yazma ve kelime teli sürücüler, ön doldurucular ve fark algılayıcılar gibi bileşenlerin kullanıldığı aktarılmıştı [3], [8], [22].

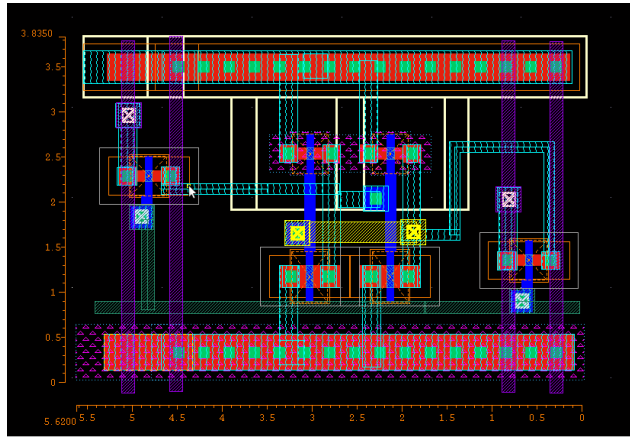
Bu bölümde ise, bahsedilen bit hücreleri daha detaylı olarak anlatılacak, bileşenlere ve transistör seviyesi tasarımlarına değinilecek ve baştan sona bir SRAM dizin yapısı tasarımı anlatılacaktır. Ayrıca bu tasarımların serim (layout) görünümleri de alan ve yerleşim bakımından fikir vermesi açısından sunulacaktır.

(Not: Bu bölümde verilecek olan bu temel serim çizim ve tasarımları çalıştığım Kasırga Mikroişlemciler Tasarım labında oluşturduğumuz kütüphanede yer almaktadır. Bu kütüphanedeki, ilgili kişilerin önceden oluşturduğu veya birlikte oluşturduğumuz veya tarafımızca oluşturulan temel ve hali hazırda çalışır durumdaki bileşenleri küçük mecburi değişiklikler haricinde çalışmalarımızda baseline (ana çizgi) olarak kullanmaya ve bu ana çizgiyi, önerdiğimiz özgün fikirlerin ve geliştirdiğimiz yeni tekniklerin kabul edilebilir olup olmadıklarının objektif tespiti için korumaya çalıştık. Tez kapsamında da önerdiğimiz yeni fikrin karşılaştırıldığı ve geliştirdiğimiz özgün tasarımların uygulandığı ve tez içerisinde belirttiğim ana çizgi tasarımları da bu kütüphanedeki temel bileşenler olarak yer almaktadır. Örnek olarak, 12 portlu Mevcut SRAM Bit Hücresi ve bunlardan oluşan SRAM dizgi çevre devreleri bu kütüphanede anaçizgi tasarımları olarak yer almaktadır.)

2.1.1 SRAM Bileşenleri

2.1.1.1 Bit Hücresi

Bit hücresi bir bitlik veriyi tekrar yenilemeye gerek kalmadan güç beslemesi olduğu sürece saklayan temel bileşendir. Temel bit hücresi her biri 2'ser transistor den oluşan 2 arka arkaya evirici ve bit ve bit değil telleri için 2 geçiş transistörü olmak üzere Şekil 1.10'da verilen 6 transistörlük bir yapıdır. Şekil 2.1'de ise bir 6T SRAM Bit Hücresinin temel seviye seriminin görünümü boyutları ile birlikte gösterilmektedir.



Şekil 2.1 6 transistörlü SRAM Bit Hücresi Serimi

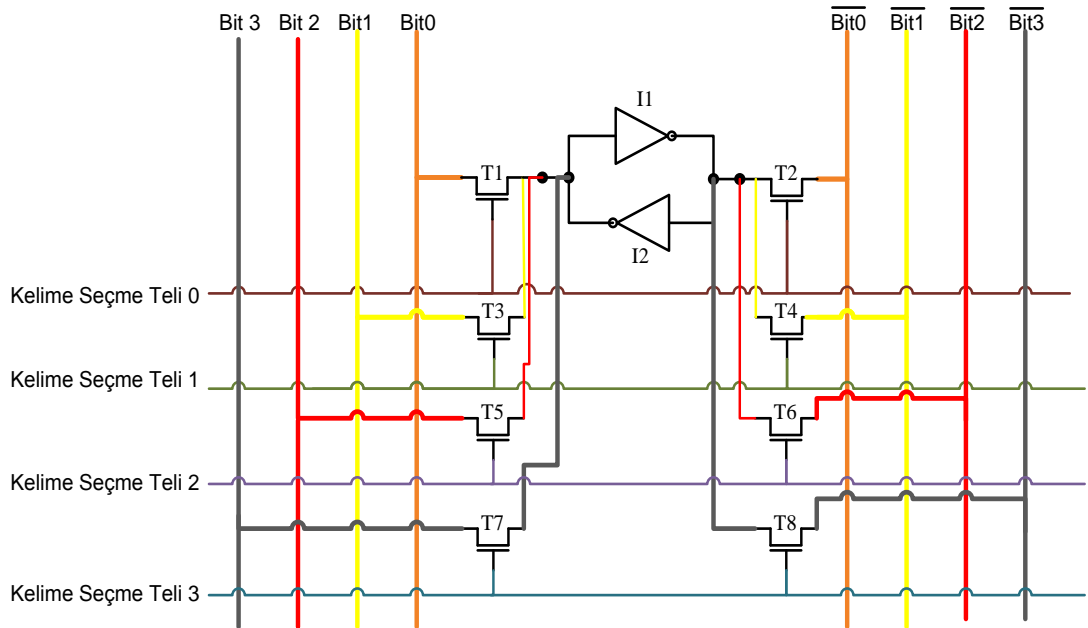
Çok basamaklı (Superscalar) işlemcilerde birden fazla buyruk aynı anda boru hattına getirilir ve sonra çözme işleminden sonra farklı işlem birimlerine yürütme işlemi için dağıtımları gerçekleştirilir. (Bu arada kuyruksa beklemeler, yeniden adlandırma işlemleri ve çözmeye göre kuyruktan hangi birime gideceğinin belirlenmesi işlemleri gerçekleşir.) [16]

Birden fazla buyruk aynı anda tek bir saat darbesinde işlemcide yürütüldükleri için farklı adımlarda kullandıkları ortak bellek yapılarına, örneğin veri belleğine, yazmaç öbeğine aynı anda erişimleri gerekmektedir ve bu erişim aynı bit hücresine de yapılabilmektedir.

Eğer bu çoklu buyruk yürütümü gerçekleştirilmek isteniyorsa, bu buyrukların erişimleri sırasında beklemelerin ve hataların olması istenmiyorsa bir bit hücresinin aynı anda birden fazla noktadan erişime açık olmasını sağlayacak bir yapı gerekmektedir. Bir bit hücresinin aynı anda farklı noktadan erişilebilmesi için mevcut 6 Transistör SRAM yapısına getirilen bu yapılar portlardır.

Temel bit hücreğine eklenecek her bir port üzerinden farklı bir birim tarafından aynı bit hücreesindeki veri okunabilir ve farklı zamanlarda (farklı bit değerlerini aynı anda yazmaya çalışarak veri kaybına neden olmamak için) aynı yolla aynı bit hücreesine yazma işlemi gerçekleştirilebilir.

Port yapısı temel olarak bit ve bit değil tellerine bağlanan her bir port için ekstra 2 geçiş transistöründen oluşmaktadır. Okuma sırasında arka arkaya eviricilerin sakladığı veriyi tel üzerine aktarması için devam eden kısımda açıklanacak öndoldurma ve fark algılayıcı uygulamaları haricinde geçiş transistörü üzerinde de geçiş transistörünün genişliğinin, geçiş sırasındaki kaybı azaltmak ve sürmeyi kolaylaştırma adına, azaltılması gibi teknikler kullanılmaktadır [3].

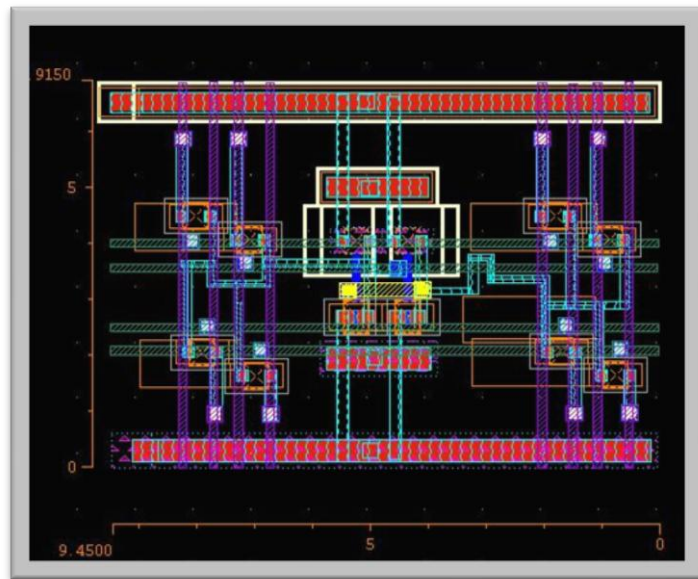


Şekil 2.2 4 Portlu bir SRAM Bit Hücresi

Şekil 2.2’de port sayısı 4 olan bir SRAM Bit Hücresi transistör seviye tasarımı verilmektedir. Burada her bir port için ilave 2 transistör eklendiği için toplamda 4 port x 2 + 2 evirici x 2 olmak üzere 12 transistörden oluşan bir bit hücresi bulunmaktadır. Ayrıca her bir port için ilave 1 tane kelime seç teli, bit ve bit değil olmak üzere 2 bit teli yer almaktadır.

Bit hücresinin çalışma mantığı ise bir örnekle basitçe şu şekilde anlatılabilir. Buyruk 2, eviricilerdeki 1 bitlik veriyi okumak için önce kelime seç teli 2’yi sürer ve teli mantık 1 seviyesine çeker. Bu durumda 5. ve 6. transistörler olan T5 ve T6 açılır. Bu durumda eviriciler içerisindeki bit bit telleri üzerine aktarır veya eviriciler sahip oldukları mantık seviyesine göre bu bit ve bit değil tellerini sürerler. Bu şekilde bit ve bit telleri anlamlandırılarak eviricilerde saklanan bir bitlik veri okunmuş olur.

Yazma için de bir örnek verecek olursak; buyruk 3 bit hücreğine bir veri yazmak istesin. Bu durumda yazmak için önce kelime seç teli 3’ü sürer ve teli Mantık 1 seviyesine getirir. Ayrıca yukardan bit3 ve bit değil 3 tellerini de yazmak istediği değer mantık seviyesine çekmiş ve sürmektedir. Bu durumda açılan T7 ve T8 geçiş transistörleri üzerinden eviriciler sürülerek veri eviricilere bit ve bit değil olarak yazılır ve saklanır. Böylece bir bitlik veri bit hücreğine yazılmış olur.



Şekil 2.3 4 Portlu SRAM Bit Hücresi Serimi

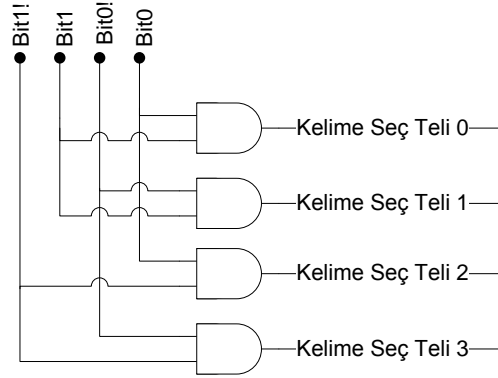
Şekil 2.3'te Cadence platformu üzerinde UMC 90nm tasarım kiti kullanılarak Virtuoso ile çizilen ve Şekil 2.2'de şematiği verilmiş 4 portlu SRAM Bit Hücresinin serimi gösterilmektedir. Burada sol tarafta çapraz sıralı kısımlar bit tellerine bağlı geçiş transistörlerini ve bit tellerini ve sağ taraftaki kısımlar ise bit değil tellerini ve bunlara bağlı geçiş transistörlerini göstermektedir. Ortadaki kısımda ise arka arkaya bağlı eviriciler yer almaktadır.

2.1.1.2 Kod Çözücüler

Bir SRAM dizininde belirli bit sayısında kelimelerden oluşan satırlar ve bu kelimelerdeki bit hücreleri bulunmakta idi, peki bu bit hücrelerine erişim nasıl sağlanacak? Satır ve sütun devreleri ile...

Satır devreleri dediğimiz yukardan verilen adrese göre satırı veya kelime tellerini seçen devredir. Bu adrese göre seçeceği teli bulan veya adresi çözen devreye ise kod çözücü denilmektedir. Aslında kod çözücü dediğimiz temel bir Ve kapısı veya kapılarından oluşmaktadır.

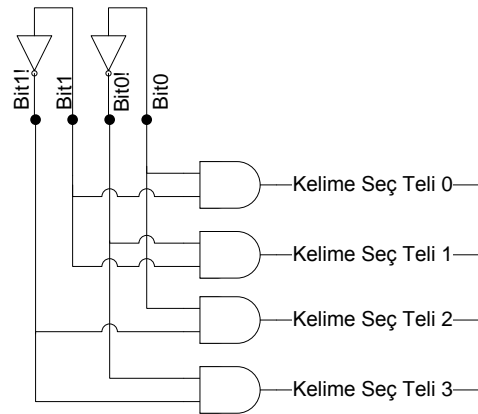
N bitlik bir adres yukardan, ilgili mimari bileşenden geldiğinde bu adresi çözebilecek Kod Çözücü temel olarak N girişli 2^N adet Ve kapısı ile tasarlanmaktadır. Ayrıca Ve kapılarının girişlerine veya yukardan gelen her bir bitin paraleline eviriciler de eklenir, çünkü gelen N bitlik adres bit ve bit değil değerlerine göre 2^N kombinasyonu ile açılmaktadır. Şekil 2.4'te bu yapıya bir örnek gösterilmektedir [8].



Şekil 2.4 Ve Kapıları ile 2 bit girişlik temel seviye Kod Çözücü

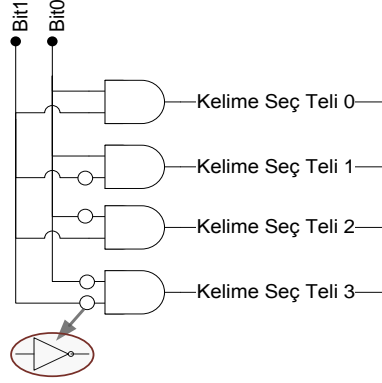
Şekil 2.4’te verilen örnek üzerinden gidecek olursak; ilgili mimari bileşenden 2 bitlik bir adres değeri gelmiş olsun. Bu değeri 2 girişli 2^2 veya 4 tane Ve kapısı ile oluşan 4 tane adresten hangisine gideceği çözümlenerek bulunan adresteki kelime seç teli seçilerek işlem tamamlanır. Burada girişteki bit0 ve bit1 değerlerinin tersleri aslında eviricilerle sağlanmaktadır. Bu eviricilerin yeri 2 farklı şekilde tasarlanabilir [3], [8].

İlki girişteki noktaların hemen yakınına getirilerek tellere buradan aktarım yapılması şeklindedir ve Şekil 2.5’te de bir örneği gösterilmektedir.



Şekil 2.5 Eviriciler üstte, 2 bitlik Kod Çözücü

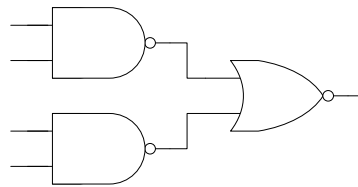
Diğerinde ise girişteki nodları hiç eviriciye sokmadan tellere aktarıp en son Ve kapılarına girmeden kapıya yakın veya kapı tasarımının içerisinde eviricileri kullanmak şeklindedir ve yine bir örneği Şekil 2.6’da gösterilmektedir.



Şekil 2.6 Eviriciler altta, 2 bitlik Kod Çözücü

Bu 2 farklı tasarım sürülen yük veya kritik yol açısından bileşen seviyesinde düşünüldüğünde herhangi bir farklılık oluşturmaz, fakat üretim odaklı transistör seviyesinde serim tasarımları yapıldığında alan açısından ve az da olsa gecikme ve enerji açısından fark oluşturacaktır. [3]

Ve kapılarının tasarımı, aşağı ve yukarı çeken devrelerle transistör seviye tasarımı ve üretimi daha kolay ve daha verimli olduğu için Ve Değil ve Veya Değil kapıları üzerinden yapılmaktadır. Dolayısı ile 2'den fazla giriş içeren Ve kapılarında direkt Ve kapısı yerine bu kapılardan oluşturduğumuz ve bir örneğini Şekil 2.7'de gördüğümüz devreler kullanılmaktadır. Ayrıca bu sayede belirli mantığı işleten devreyi kısımlara ayırdığımız için bileşen bazında sürülen yük ve genel olarak sürülen yol kısaltılmış olmaktadır [23].



Şekil 2.7 Ve Değil ve Veya Değil ile basit bir Ve Devresi

Daha alt seviye kapılara bölerek oluşturulan Ve kapılarının içeriğindeki Ve Değil kapıları, eviricilerin konulduğu yerin tasarım mantığına benzer şekilde birlikte Ve oluşturacak şekilde veya ayırarak da tasarlanabilir. Örneğin 2 Ve değil kapısını aynı

yere koymak yerine birini yukarda bitleri aldığımız yere yakın diğerini çıkışa yakın şekilde dağıtarak yukarda anlatılan kazanımlar elde edilebilir.

2.1.1.3 Kelime Seç Teli Sürücü

Kelime Seç Teli birkaç bitlik bir yola sahip ise buradaki bit hücrelerinin özellikle geçiş transistörlerinin sayısı az olduğundan ve toplamdaki tel uzunluğu kısa olduğundan yukarda anlatılan kod çözücü veya Ve devreleri ile sürülebilecektir. Fakat Kelime uzunluğu 32 bit, 64 bit gibi değerlere ve hatta daha fazlasına çıkabileceği için mevcut devrelerle bu teli sürmek gecikmelere ve diğer sorunlara sebep olacaktır [23]. Bu sebeplerle teli, Kelime Seç Telini, sürmek için Satır devrelerine ek bir sürücü, Kelime Seç Teli Sürücüsü gerekmektedir.

Bu sürücü basitçe eviricilerin seri bağlandığı bir tasarıma sahiptir. Fakat telin yük sığasına göre detaylı hesaplamalar yapılarak eviricilerde kullanılan transistörlerin boyutları bu teli sürebilecek şekilde ayarlanması gerekmektedir. Burada transistörlerin boyutları daha yüksek seçilerek gecikme azaltılır veya eviricilerin transistör boyutları farklı seçilerek kod çözücünün süreceği yükün diğer tarafa aktarılması gibi yöntemler denenebilir. Örneğin [22]'de de bahsedildiği gibi eviricilerin ilkinin transistör boyutları diğerine göre daha küçük seçilerek kod çözücünün çıkışındaki yük sığası azaltılmış ve yük ilk eviricinin üzerine kaydırılmış olur.

Birden fazla portlu bit hücrelerinde her satırda port sayısı kadar kelime seç teli ve dolayısı ile her bir satır için port sayısı kadar bir Ve devresi, eviriciler ve sürücüden oluşan bir kod çözücü bloğu yer alması gerekmektedir.

SRAM bit hücresi tasarımında kelime seç telleri birbirine olabilecek en yakın mesafede paralel olarak bağlanmakta ve eviricilerde ortaya sığıdığı için bir bit hücresi boyutları ile kod çözücünün ilgili bloğu çok farklı olmamakta ve dolayısı ile çok portlu bit hücrelerinden oluşan bir kelime satırında port başına getirilen kod çözücü blokları yana doğru büyüterek gitmekte ve bu da SRAM dizininin toplam alanının

ciddi oranda artmasına neden olmaktadır. Bu sebeple kod çözücü ve kelime teli sürücülerinin olabilen en küçük boyutlarda tasarlanması gerekmektedir.

Buradaki alan maliyeti sorunu daha önce gecikme sorunu için daha büyük boyutlarda evirici tasarımı yöntemi ile kötü etkilenmekte ve bir ödünleşim gerektirmektedir. Fakat bu durumu kısmen de olsa çözmek mümkündür. Bunun için özellikle çok sayıda bit hücrelerinden oluşan kelime tellerini bölümlere ayırmak ve her bir bölüm için farklı sürücüler kullanarak hem gecikmeyi azaltmak hem de daha küçük boyutlu eviricileri dağıtarak kullanma ile alan maliyetini azaltabilmek mümkün olmaktadır [24], [25].

2.1.1.4 Ön Doldurucu (Veya Bit Teli Koşullayıcı)

SRAM üzerinde bit hücrelerinin okunması için adreslenen kelime teli sürülüyor, geçiş transistörleri açılıyor ve bit hücrelerinde eviricilerle saklanan bit değeri eviriciler aracılığı ile geçiş transistörü üzerinden bit ve bit değil tellerine aktarılıyordu. Birkaç satırlık ve 1-2 portluk 3-4 bit hücreli küçük bir SRAM dizisinde bu olay bu şekilde devam etmekte ve bir problem gözükmemektedir. Fakat sadece veri saklamak için boyutları ayarlanmış arka arkaya eviricilerin çok fazla satırdan oluşan SRAM dizisinde ilgili bit veya bit değil tellerini sürmesi gerekliliği, kod çözücü içerisindeki ve kapılarının her bir kelime seç teli sürmesi problemine benzer sorunları ortaya çıkarmaktadır.

Bu sorunları engellemek için gecikmeyi azaltmak ve diğer problemleri iyileştirmek adına okuma sırasında bit ve bit değil telleri güç beslemesi veya toprak gerilim seviyesi yerine tam ortada $V_{dd}/2$ gerilim seviyesine getirilmesi tekniği, bir sütun bileşeni olan öndoldurucular kullanılarak, uygulanmaktadır.

Öndoldurma olarak geçen bu işlemle, örneğin eviricilerin içerisindeki değer V_{dd} veya mantık 1 ise tüm teli V_{dd} 'ye sürmek yerine hali hazırda $V_{dd}/2$ seviyesinde olan teli V_{dd} 'ye sürerek, okuma zamanı önemli ölçüde kısaltılmaktadır. (Tezin giriş kısmında bahsedildiği gibi; bir CMOS VLSI devresinin, çıkışı ve buna bağlı teli

sürmesi demek, bunların oluşturduğu yük sığasını doldurup boşaltması demektir. Dolayısı ile bir sığayı doldurmak veya boşaltmak için gereken zaman doldurulacak veya boşaltılacak gerilim seviyesi düştükçe azalacağından bit tellerine uygulanan gerilim seviyesi yarıya düştükçe gecikme azalır. Ayrıca yine bahsedildiği üzere, devingen güç tüketiminin de uygulanan gerilim seviyesi ile arttığı düşünüldüğünde güç tüketiminde de azalma olacağı kolaylıkla görülebilir.)

Yalnızca bit ve bit değil tellerini $V_{dd}/2$ ye sürmek haricinde bit ve bit değil tellerini aynı gerilim seviyesinde tutmak gerektiği için öndoldurucu bileşeni bit koşullayıcı olarak da geçmektedir.

2.1.1.5 Fark Algılayıcı

Bit hücrelerinde tutulan değeri eviricilerle bit tellerini sürerek bit teline aktarıyor, fakat bunu hızlandırmak adına bit ve bit değil tellerini öndoldurucular yardımı ile $V_{dd}/2$ seviyesine çekerek telin sürerek yukarı çekeceği gerilim seviyesini düşürüyorduk. Fakat çok fazla sayıda satır ve bit hücresi içeren yüksek sığalı bir teli $V_{dd}/2$ den V_{dd} 'ye veya tersi gerilim seviyesine sürebilmek yine ciddi bir gecikmeye ve güç tüketimine sebep olmaya devam etmektedir.

Çözüm sürülen gerilim farkını düşürmek, peki nasıl?

Sürülmesi gereken gerilim farkı aslında bit ve bit değil tellerinin içindeki veriyi anlamlandırmaya bağlıdır. Sürülmesi gereken minimum gerilim farkı, anlamlandırabildiğimiz en düşük gerilimdir. Dolayısı ile $V_{dd}/2$ den daha küçük örneğin 100mV-200mV civarı voltaj seviyelerini okuyabilecek bir devre tasarlanabilirse bu sorun ortadan kalkabilecektir. Hali hazırda bunu sayısal devrelerle yapmak ise oldukça güçtür. İşte, burada fark algılayıcı olarak isimlendirdiğimiz ve yine sütun devrelerinden olan bir analog devre imdadımıza yetişecektir.

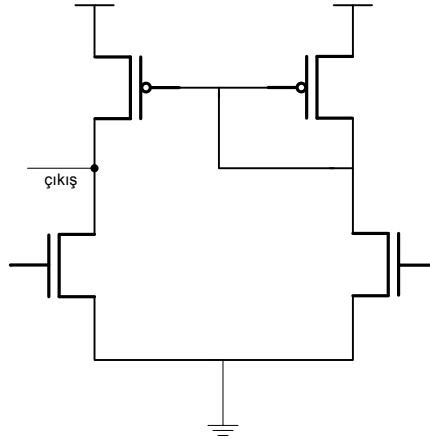
Aynı gerilim seviyelerinde tutulan bit ve bit değil telleri eviriciler tarafından sürülmeye başlandığında üzerlerinde bit teli ve bit değil tellerinde $V_{dd}/2$ 'den ters

yönlerde gerilim farkı oluşacaktır. Burada 2 farklı kazanç bulunmaktadır. İlk olanı sadece bit telini okumak ve anlamlandırma için kullanmak yerine bit ve bit değil tellerinin ikisine de bakılmakta ve bu sayede eviricilerin sürmesi dolayısı ile oluşacak ve anlamlandırılması gereken gerilim farka bakıldığından toplamda 2 katına çıkacak ve büyüyecektir. Böylece sürülerek oluşturulması gerekli gerilim farkı azalacaktır.

Diğer kazanç ise bit tellerinin mantık 1 seviyesine geçilip geçilmediğini anlamlandırmak için Vdd voltaj seviyesine kadar sürülmesine gerek kalmadan çok küçük voltajlarda işlemi başarı ile tamamlayabilmektir.

Fark algılayıcıların çalışma mantığı küçük voltaj farklarını mantık 1 ve 0 olarak değerlendirmemizi sağlamaya dayalı ama asıl önemli olan soru içerde yürüyen mekanizma ve çalışan devre ne? Akım aynaları...

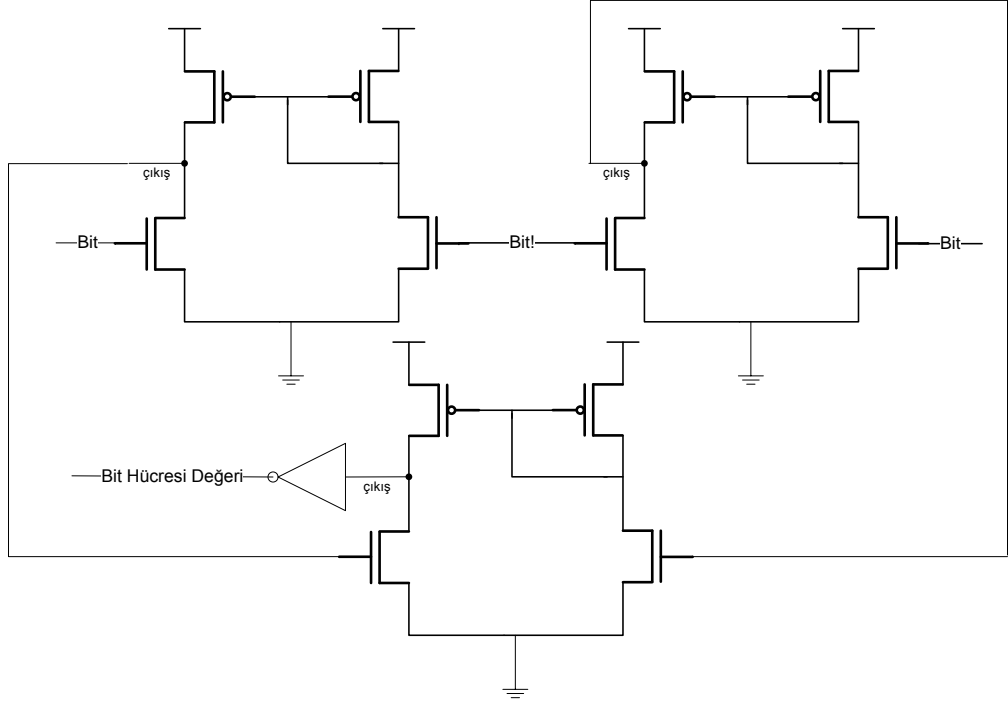
Fark algılayıcılar aslında birden fazla sayıda ve aşamada akım aynalarından oluşmaktadır. Yaygın bir akım aynası devresi Şekil 2.8'de gösterilmektedir.



Şekil 2.8 Temel bir akım aynası devresi

Fark algılayıcı yapısında ise ilk aşamada girişleri bit ve bit değil tellerinden gelen veriler olan bir tanesi bit girişi çıkış tarafında diğeri bit değil girişi çıkış tarafında bulunan 2 akım aynası ve 2. aşamada ise girişleri akım aynalarının çıktısı olan diğer bir akım aynası bulunmaktadır. Bu aşama sayısı artırılarak veya akım aynası yerine

mandallar kullanılarak farklı fark algılayıcı devreleri tasarlanmakta ve bu devrelere iyileştirmeler yapılmaktadır [26], [27], [28]. Şekil 2.9’da ise, bu tasarımlardan, akım aynalarından oluşturulan ve yukarıda anlatılan temel bir fark algılayıcı devresi verilmektedir (SRAM’in tüm çalışma zamanı boyunca açık olan temel tasarım.)

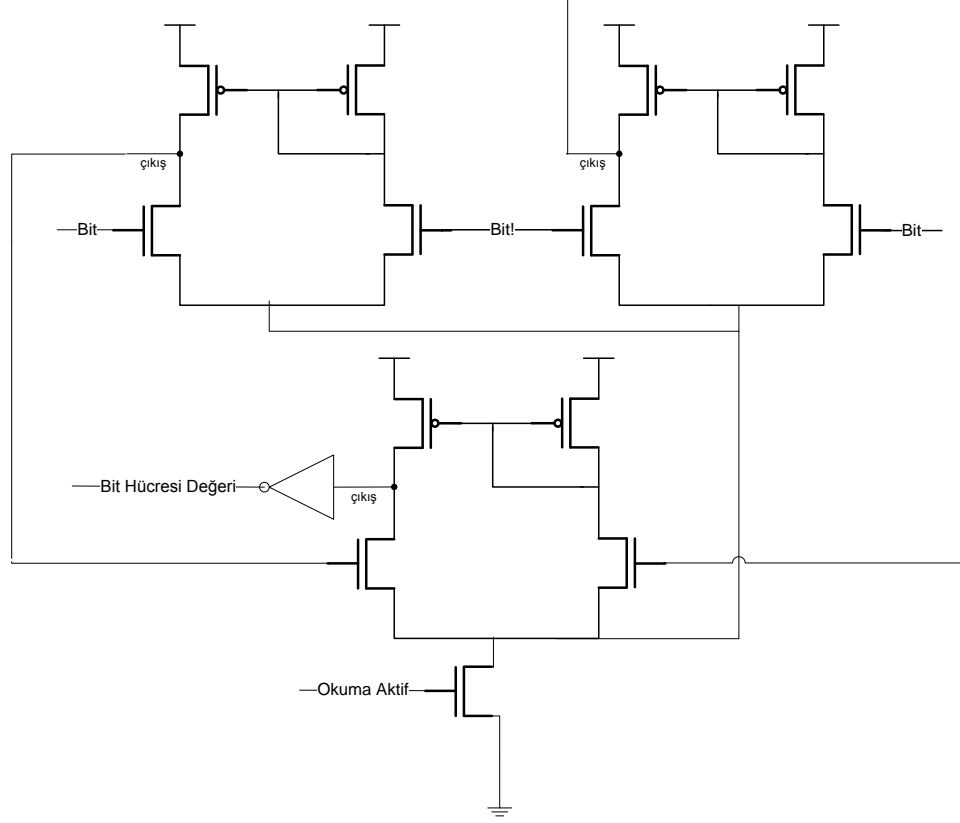


Şekil 2.9 Akım aynaları ile oluşturulan Fark Algılayıcı Devresi

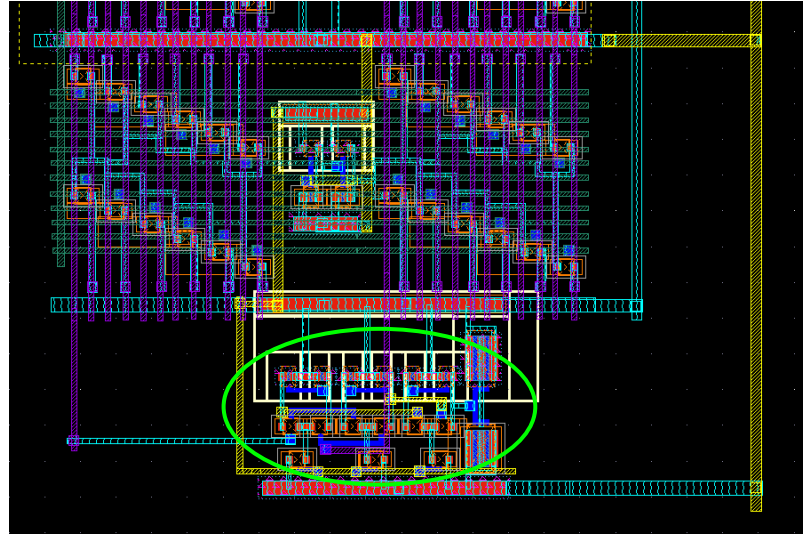
Akım aynalarının enerji kayıpları güç beslemesi verildiği sürece devam ettiği için dolayı SRAM çalışması boyunca güç tüketimine neden olmaktadır, ama sadece okuma sırasında kullanılmaktadırlar. Bu sebeple fark algılayıcı devresini ve daha doğrusu akım aynalarını kapatmak gerekir. Bunun birden fazla yöntemi bulunmaktadır [27], [28].

İlk olarak güç beslemesi sadece okuma sırasında açılıp diğer zamanlarda kapanacak şekilde uyarlamalı bir devre ile yapılabilir. Diğer bir yöntem ise akım aynalarının yukarı kısımlarına anahtar bir pmos veya tam tersi aşağı kısımlarına anahtar bir nmos konulabilir veya tüm akım aynaları ortak bir nmos üzerinden anahtarlanabilir. Bu yöntemlerden ortak anahtarlama yöntemi ile fark algılayıcı tasarımı Şekil 2.10’da yer

almaktadır ve her bir akım aynasını anahtarlama için birer nmos bağlı olan yöntemine ait serim görüntüsü ise Şekil 2.11’de verilmektedir [22], [26], [27], [28].



Şekil 2.10 Okuma olmadığında akım aynalarını kapatan fark algılayıcı devresi



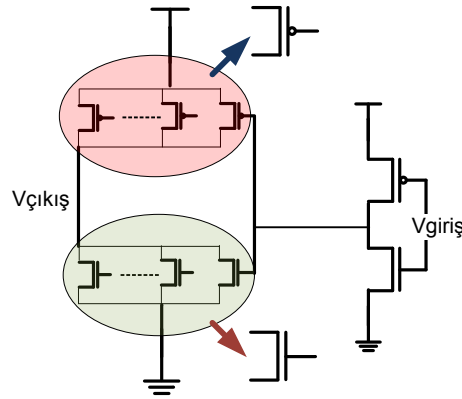
Şekil 2.11 Kapatılıp Açılabilen Akım Aynalarından Oluşan Fark Algılayıcı Serimi

Sonuç olarak analog devre olan fark algılayıcılar sayesinde küçük voltaj farkları algılanabilmekte ve bu sayede sürülmesi gereken voltaj seviyesi azaldığı için gecikme ve enerji kaybı azaltılmaktadır.

2.1.1.6 Yazma Sürücü

Kelime seç teli sürücülerle benzer mantıkla bit ve bit değil tellerini sürmek için kullanılan diğer bir SRAM dizgi bileşeni ve sütun devresi Yazma Sürücüleridir. Çok sayıda bit hücrelerinden ve satırdan oluşan SRAM dizininde okuma için öndoldurucu ve fark algılayıcılar kullanılmakta idi; peki, ama yazma için bu tellere yukardan gelen bit değerlerini tellere direkt bağlantı üzerinden vermek yeterli mi?

Yeterli değil ve bu sebeple klasik sürücü devresi olan arka arkaya eviriciler telin önüne bağlanarak oluşturulan yazma sürücülerinden bu telleri yazılması istenen voltaj seviyesine çekmesi ve bu tellerdeki sığayı veya teli sürmesi beklenmektedir.



Şekil 2.12 Yazma Sürücüsü

Arka arkaya eviricilerden birisi büyük bir tanesi küçük (ilki küçük) bağlanarak sürücülerden önceki bileşenin sürmesi gereken yük eviriciler üzerine aktarılıyordu. Kelime seç teli sürücüsü için kullanılan bu tasarım kararı yazma sürücülerinde de kullanılmaktadır.

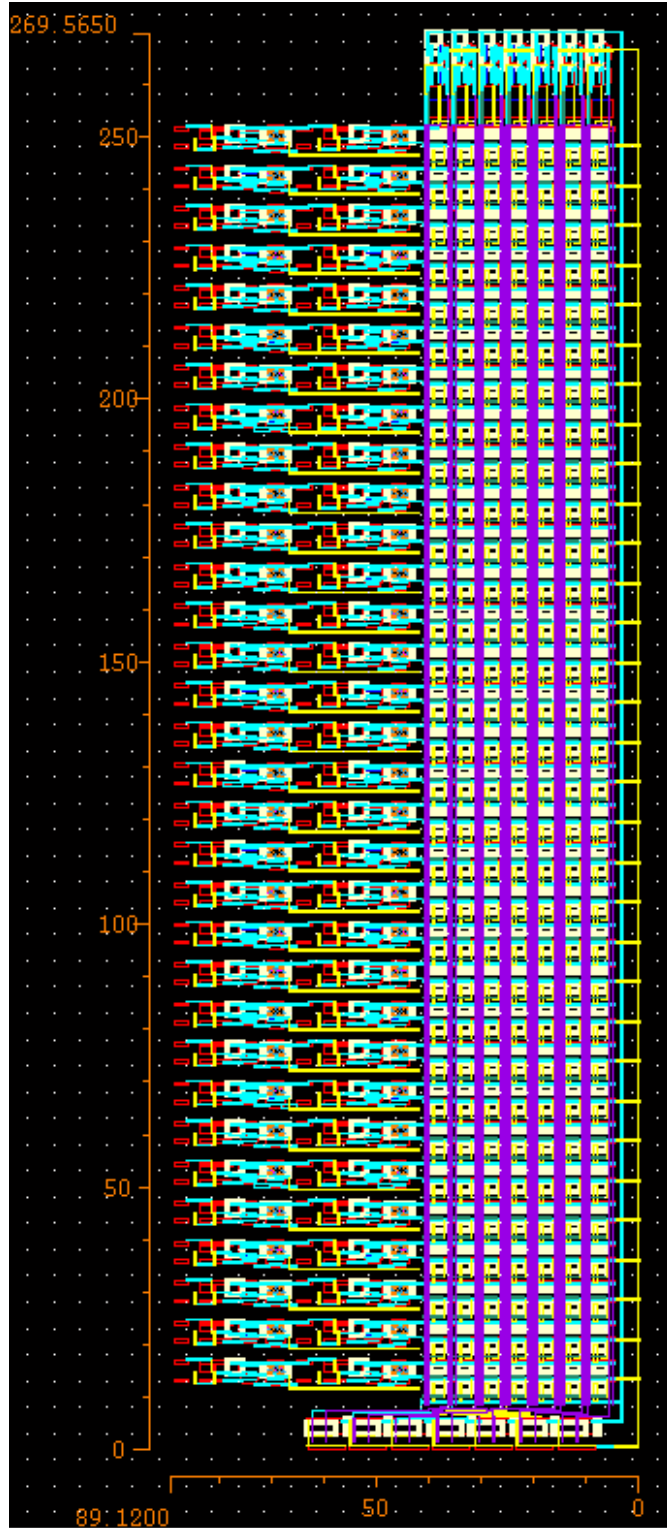
Ayrıca satır sayısı çok fazla olan SRAM'de bit ve bit değil tellerini sürebilmek için bu eviricilerin boyutları büyük seçilmektedir. Fakat bu yeterli olmadığında veya alan kısıtları olduğunda sığayı sürebilmek için sadece büyüklüğü değiştirmek yerine yine daha büyük ama birden fazla ve paralel bağlı transistörler seçilebilmektedir.

Şekil 2.12'de biri küçük diğeri parçalı küçük transistörlerden oluşan toplamda büyük olmak üzere 2 evirici arka arkaya bağlanarak oluşturulan klasik sürücü mantığına sahip yazma sürücüsü devresi verilmektedir [3][22][23].

Tüm bu bileşenlerin ayrı ayrı şematikleri ve devre çizimleri bileşenlerin açıklamaları ile beraber verilmişti. Bu bileşenlerin birlikte yer aldığı 1 portlu 7 bitlik 64 satırdan oluşan SRAM dizinine ait serim görüntüsü ise Şekil 2.13'de gösterilmektedir.

Şekil 2.13'te en sol tarafta her bir port ve satır için birer tane olan kod çözücü ve 1 satır ve 1 port olduğu için 1 tane kelime telini sürmek için kelime teli sürücüsü devreleri blokları yer almaktadır. En üst tarafta ise her bir bit için okuma amaçlı 1 ön doldurma devresi ve yazma amaçlı 1 yazma sürücüsü devresi blokları yer almaktadır. En altta ise her bir bit için 1 tane olmak üzere fark algılayıcı devreleri görülmektedir. Ortada kalan yapıda ise 1 portlu ve her satırda 7 tane olan ve toplamda 64 satırda yer alan bit hücrelerinin devreleri görülmektedir.

Sonuç olarak SRAM dizininde bit hücrelerine yazma işlemi sırasında; adres biti kod çözücülere gelir ve bulunan adresteki kelime seç teli kelime seç teli sürücüsü ile sürülerek tel üzerindeki geçiş transistörleri açılır. Bu sırada yukardan yazma sürücüleri ile bit ve bit değil tellerine yazılacak değerler tellere aktarılarak sürülür.



Şekil 2.13 1 port, 7 bit ve 64 satır SRAM serim görüntüsü

Son olarak açılan geçiş transistörleri üzerinden bit tellerindeki veri eviricilere aktarılır veya bu eviriciler bit değerine sürülür. Böylece bit hücrelerine yazılması beklenen bit değerleri yazılmış olur. (Çalışma mantığından da görülebileceği üzere Yazma için tüketilen enerji: $E_{dev.} = E_{Kod\ Çözücü} + Kelime\ Seç\ Teli\ Sürücü + Yazma\ Sürücü + Bit\ Hücresi$)

SRAM dizininde hali hazırda içerisinde veri saklayan bit hücrelerinden bu verileri okuma işlemi sırasında; İlk olarak yine kelime adres biti kod çözücülere gelir ve bulunan adresteki kelime seç teli kelime seç teli sürücüsü ile sürülerek tel üzerindeki geçiş transistörleri açılır. Bu arada hali hazırda öndoldurucular bit ve bit değil tellerini $V_{dd}/2$ gerilim seviyesine sürmektedir.

Açılan transistörler üzerinden eviriciler üzerinde saklanan veri eviriciler yardımı ile $v_{dd}/2$ seviyesinde eşit gerilimde bulunan bit ve bit değil tellerine aktarılır. Eviriciler tarafından sürülen bu tellerde bir gerilim farkı oluştuğunda sayısal vdd veya 0 olması beklenmeden analog fark algılayıcılar tarafından okunarak mantık 1 veya 0 seviyesinde anlamlandırılır. Böylece bit hücrelerinde saklanan bit değerleri okunmuş olur. (Yine çalışma mantığından da görülebileceği üzere Okuma için tüketilen enerji: $E_{devingen} = E_{Kod\ Çözücü} + Kelime\ Seç\ Teli\ Sürücü + Ön\ doldurucu + fark\ algılayıcı + Bit\ Hücresi$)

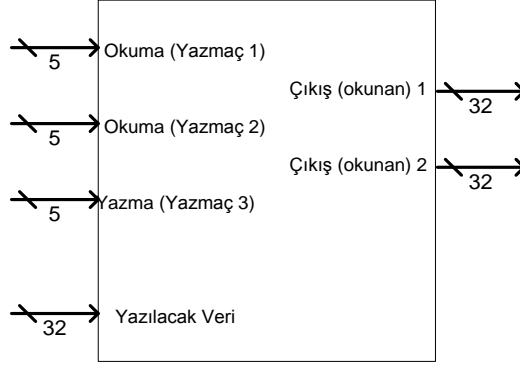
2.2 SRAM Tabanlı Mimari Yapılar

Bu bölümde SRAM dizin yapısını kullanan yazmaç öbeği, önbellek ve diğer yeniden sıralama, yeniden adlandırma bellekleri gibi bazı temel işlemci mimarisi birimlerinden bahsedilecektir.

2.2.1 Yazmaç Öbeği

Yazmaç Öbeği, işlemci de yazmaçların tutulduğu ve bu yazmaçlara belirli bir adrese göre, yazmaç numarasına göre, erişim sağlanarak yazmaçların okunduğu veya verilerin yazmaçlara yazılabildiği mimari birimdir [29].

MIPS işlemci mimarisinde kullanılan giriş, çıkış ve bunların kaç bit olduğu bilgilerini içeren 32 bitlik yazmaçlardan oluşan yazmaç öbeği yapısı Şekil 2.14'te gösterilmektedir.



Şekil 2.14 32 Bitlik MIPS Yazmaç Öbeği

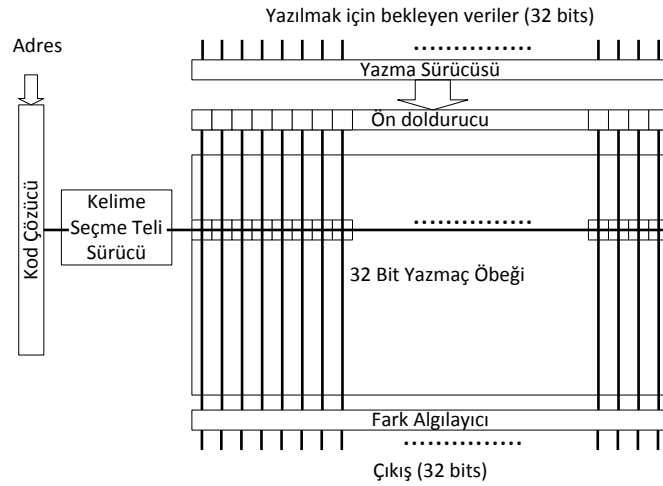
MIPS yazmaç öbeğinde 32 adet yazmaç bulunmaktadır. Dolayısı ile bunu adreslemek için 5 bitlik adres kullanılır. Bu yazmaç öbeğinde 2 yazmaç okuması ve 1 yazmaca yazma işlemi aynı anda gerçekleştirilebilmektedir. Hangi yazmaca yazılacağı gelen 5 bitlik verinin kod çözücülerce çözülerek adreslenmesi ile belirlenir. Yazmaçların her biri 32 bitlidir ve bu sebeple yazmaca yazılacak gelen veri ve okunacak yazmaçların okunan değerleri 32 bitlik olacaktır. [16], [29]

Bir MIPS yazmaç öbeğini örnek bir durum üzerinden inceleyelim. Add R3, R2, R1 buyruğu R1 ve R2 yazmaçlarındaki değerleri toplayarak R3 yazmacı üzerine kaydeden bir buyruk olsun. Bunun için öncelikle R1 ve R2 yazmaçlarının okunması ve sonucun R3'e yazılması gerekmektedir.

Okuma için önce buyruk içerisinde verilen bu yazmaçlara ait 5'er bitlik adresleri yazmaç öbeğine gönderilir. Bu adresler çözülerek adresleme yapılır ve ilgili yazmaca ait değerler daha önce SRAM çalışma mantığında anlatılan şekilde okunur ve 2 yazmaca ait değerler okunduğunda 2 farklı çıkıştan dışarı verilir.

Daha sonra bu 32'şer bitlik 2 yazmaca ait 2 farklı çıkıştan alınan veriler işlem birimlerine gönderilir. İşlem birimlerinin çıktısı, bu örnek için toplama değeri, 3. yazmaç olan R3'e yazılmak üzere yazmaç öbeğinde yazılacak veri kısmına gönderilir.

Yazılacak yazmaç için adresleme yapılarak ilgili yazmaca ait satır bulunur ve yine SRAM tasarım bölümünde anlatılan yazma sürecinden geçerek ilgili yazmaca toplama işlemi sonucu yazılmış olur. Bu sürecin hatırlatma adına SRAM dizini üzerindeki bir gösterimi ve 32 bitlik bir yazmaç öbeği SRAM dizini gösterimi Şekil 2.15'te verilmektedir.



Şekil 2.15 32 Bitlik bir Yazmaç Öbeği SRAM Dizini

Bir örnekle ve MIPS yapısı ile yazmaç öbeği anlatılmaya çalışılmıştır. Anlatılan bu yazmaç öbeği haricinde akademik veya ticari, farklı port sayılarında, bölümlü veya bölümsüz, farklı büyüklükte, farklı bit genişliklerinde veya farklı tekniklerle uygulanan birçok farklılığa sahip yazmaç öbeği çeşidi mevcuttur, fakat yaygın kullanımda SRAM tabanlı tasarımlardan dolayı mantık temel olarak aynı olmaktadır.

2.2.2 Ön Bellek

İşlemcilerde bellek yapıları belirli bir hiyerarşiye göre çalışmaktadırlar. Ana bellekten yazmaçlara kadar farklı seviyelerde ve farklı görevler için tasarlanmış çeşitli bellek yapıları mevcuttur. Bu farklı seviyelerin ve farklı tasarımların oluşmasının sebebi birim işlem zamanını kısaltmak ve belki güç tüketimini de azaltmaya çalışmaktır.

Örneğin çok fazla veri içeren manyetik disklerle çalışan bir bellek biriminde veri arama ve okuma işlemleri bir DRAM yapısına göre ve aynı şekilde bir DRAM üzerinde veri erişim işlemlerinin SRAM dizinindeki erişim işlemlerine göre gecikmeleri oldukça fazladır. Eğer çok kullanılan verileri saklayan birim için örneğin yazmaç işlemleri için sürekli kullanılan bir yazmaç öbeği için SRAM yapısı yerine DRAM yapısı kullanılırsa bu okuma ve yazma işlemlerinin gecikmelerini kritik oranda artıracak ve bu da işlemcinin başarımını düşürecektir.

Bu durum sadece bellek tiplerinde değil aynı zamanda aynı bellek tiplerindeki bellek büyüklükleri içinde geçerlidir. Örneğin 100 birimlik bir veri seti olsun ve bu set içinde ise çok daha sıklıkla kullanılan 10 birim olsun. Bu durumda 10 birimi ayrı bir bellek yapısına atarak gerektiğinde oradan mı kullanmak daha hızlı olur yoksa o 10 birimi sürekli 100 birimlik bir bellek örneğin SRAM dizininde mi aramak daha hızlı olur?

SRAM dizininde bit sayısı arttıkça kelime tellerini sürmek ve satır sayısı arttıkça da bit tellerini sürmek ve kısaca artan bit hücresi sayısı ile bit hücrelerini okumak ve yazmak daha yavaş olur ve daha çok güç gerektirir. Bu sebeple sorunun cevabı sık kullanılan verileri ayrı daha küçük bir bellek yapısına almanın daha hızlı ve verimli olacağıdır ve böylece hantallıktan kurtulmanın ve daha hızlı erişim sağlayarak başarımın artması ve hatta daha az güç tüketimi sağlanmasının mümkün olduğudur. İşte, çok merkezi işlem birimi tarafından bellek erişim zamanlarını azaltmaya yönelik ana bellek veri kümelerinden daha sık kullanılanların belirli bir algoritmaya göre

kopyalandığı daha küçük ve daha hızlı bellek yapısına Önbellek denilmektedir [16], [29].

Önbelleğin çalışma mantığı şu şekildedir: İşlemci tarafından ana bellek üzerinde okunması veya yazılması gereken olduğunda önce önbelleğe bakılır. Eğer önbellekte mevcut ise o zaman ana belleğe gitmeden direkt önbellek üzerinden erişim sağlanır ama eğer mevcut değilse o zaman ana belleğe erişim sağlanması zorunludur ve bu duruma önbellekte kaçırma denilir.

Önbellek yenileme algoritma ve teknikleri, önbellek ve ana bellek arası eş güdümün farklı çeşitleri, önbelleğin adreslenmesi için farklı yöntemler ve önbellekler arası iletişimin farklı yolları, ön bellekte kaçırma azaltmaya yönelik teknikler ve genel olarak önbellek eniyileştirme gibi önbellekle ilgili çok sayıda konu ve tasarım kararları mevcuttur, fakat tezin asıl konusu dahilinde olmadığı için bunlardan sadece birkaçı bu bölümün devam eden kısmında hızlıca verilecektir.

Önbellek kullanımındaki temel amaç kullanım sıklığına göre önbellek yapısını kurmak olduğu için önbellekte tutulan veri seti, adres veya yerler kullanım sıklığına göre sürekli değiştirilmelidir. Fakat burada önbellekteki yenilenmenin algoritması önemlidir ve bunun için LRU gibi birçok algoritmalar denenmektedir [16], [29].

Ana bellek ile ön bellek arasındaki ilişki ve önbellek ihtiyacı farklı seviyelere bölümlendirilmiş önbellek yapıları içerisinde de vardır ve benzer çalışma prensiplerine sahiptir. Bu seviyeler L1, L2 ve L3 olarak artan boyutlarda gitmektedir. Farklı işlemci mimarilerinde farklı büyüklükte ve farklı sayıda seviyeli önbellek yapıları kullanılmaktadır.

Örneğin Pentium 4 işlemcilerde 64 baytlık bloklardan oluşan toplam boyutu 64kB L1 önbellek ve 128 baytlık bloklardan oluşan ve toplam boyutu 256kB olan L2 önbellek kullanılmaktadır [30].

Diğer bir önemli husus ise önbellekte aranan yer veya veri seti bulunduğunda buna yapılacak değişikliklerin daha doğrusu yazma işlemi ile gelecek farklılığın ana belleğe ne zaman ve nasıl aktarılacağıdır. Çünkü her bir ana bellek erişimi başarımı düşürmektedir. Bu sebeple çeşitli teknikler denenmektedir. Örneğin doğrudan yazma yönteminde önbellekteki her değişim değişimle birlikte ana belleğe de aktarılır. Diğer bir örnekte geri yazma yönteminde önbellekteki değişimler hemen ana belleğe aktarılmaz ama bu değişiklikler kaydedilir. Ne zaman ki önbellekteki değişiklik yapılan yer kaybolacaksa o zaman toplu olarak değişim ana belleğe aktarılır.

Modern işlemcilerde kullanılan temel önbellek tipleri: veri kümeleri için veri işlemlerini hızlandırmak için kullanılan Veri Önbelleği, buyruk kümeleri için buyruk getir işlemini hızlandırmak için kullanılan Buyruk Önbeleği ve sanal adres gerçek adres eşleştirme sayfalarında kullanılan ve gerçek adres sanal adres dönüşüm işlemini hızlandırmak için kullanılan TLB olarak geçmektedir [31].

Sonuç olarak önbellek yapıları birçok kullanım alanı olan ve başarımı ciddi oranda artıran ve yine SRAM dizin yapısı ile oluşturulup benzer mantıkla yazma ve okuma işlemlerini gerçekleştirebildiğimiz ve üzerine birçok çalışma yapılmakta olan kritik bir mimari bileşendir diyebiliriz.

2.2.3 Diğer

Tez içerisinde önerilen fikrin denenmediği ve uygulanabilirliği için analiz ve benzetimlerin koşturulmadığı, fakat SRAM tabanlı oldukları ve yazmaç öbeği ile amaç bakımından farklı ama çalışma bakımından aynı olan diğer mikroişlemci bellek mimari bileşenleri vardır.

Bir örnek olarak: buyrukları sırasız ve çoklu yürütüm yapan bir işlemci işlemci operandı gelen ve hazır olan bir buyruğu sırada olmasa da öne alarak beklemeyi azaltır ve böylece başarımı artırır. Sırasız yürütüm yapan böyle bir işlemci de buyrukları işlemci boru hattından çıkmadan önce yeniden sıralamak için

kullandığımız bellek mimari birimi olan yeniden sıralama önbelleği, ROB, verilebilir.

Diğer bir örnek ise yine çok kullanılan ve birden fazla buyruğun aynı anda yürütüldüğü bir işlemcide mimari yazmaçların darboğazından gelen sayısındaki kısıtlamaların çok buyruklu bir işlemcide bağılıklardan kaynaklı başarım düşmesine neden olmasını engellemek amacı fiziksel yazmaçlara yeniden adlandırarak bağlamak gerekir. Daha sonra tekrar erişime bilmek için bu eşlemelerin ve/veya yazmaçların kendilerinin tutulduğu yeniden adlandırma belleği veya yazmaç eşleştirme belleği, RAT verilebilir [32].

Sonuç olarak verilen örnekler ve diğer bellek birimleri için önerilen sistem kullanılarak durağan enerji kayıpları bu bileşenler için azaltılabilecektir.

3 DURAĞAN ENERJİ KAYBINA KARŞI İLGİLİ ÇALIŞMALAR

Durağan enerji kaybı genel olarak herhangi bir birimin (mimari bileşen, bellek yapısı, kapılar, transistörler vb.) kapalı olmasına (işlev görmemesi) rağmen o birim içerisinde bir yer(ler)de sızdırma (sızdırma akımı) olması demektir.

En alt seviyede düşünüldüğünde tüm birimler için durağan enerji kaybının genel olarak transistörün getirdiği sızdırma akımlarından kaynaklandığı söylenebilir. Dolayısı ile herhangi bir bileşen için transistör seviyesinde sızdırma akımının azaltılması o bileşenin sızdırmasını azaltmak ve durağan enerji kaybını düşürmek demektir.

Üst seviyeden düşünüldüğünde ise herhangi bir bileşeni kapattığınızda sızdırma oluyorsa transistör seviyesinde sızdırma akımını azaltan veya artıran yöntemler o bileşen için üst seviyede uygulanabilir. Aslında o bileşen hali hazırda transistörlerden oluştuğu için üst seviyede yapılan değişikliklerin hepsi alt seviyede transistörleri etkilemekte ve asıl olarak bu sebepten üst seviyede bileşen bazında sızdırmayı değiştirmektedir.

Üst seviyede bileşen bazında düşünmek, tüm işlemci mimarisini kullanarak yalnızca bileşenin iç yapısı üzerine değil diğer bileşenlerin o bileşene etkisi, işlemci içindeki tüm yürütüm parametrelerinin bileşen için kullanılması ve mekanizmanın işleyişinin o bileşen üzerine getirilmesi gibi daha geniş alanda çözümler sunabilme imkanı sağladığı için oldukça kritiktir.

Ayrıca üst seviye de bir çözümün alt seviyede etkisi görülmeden uygulanması nasıl eksik olacaksa, sadece alt seviye çözümleri uygulamak da tek başına eksik olacaktır. Örnek olarak SRAM tabanlı bir birim eğer kullanılmıyorsa büyük bir anahtarlama devresi veya transistörünü devreye ekleyerek kapatmak transistör seviyesinde uygulanan bir çözümdür. Fakat bu kapatma işleminin neye göre yapılacağı, ne zamanlar arasında ve hangi sıklıkla yapılacağını kestirmek için o SRAM in

kullanıldığı birimin mimari içerisindeki yerini diğer birimlerle etkileşimini kısacası en üst seviyeden bileşen bazında işlemcideki işlevini öğrenmek gerekir.

Bu sebeplerden dolayı bu kısımda literatürde geçen ve yaygın bilinen hem üst seviyede (Üst seviye mimari birim olarak Yazmaç Öbeği üzerine değerlendirmeler yapılacaktır.) hem de alt seviyede (SRAM üzerine transistör seviyesinde) durağan enerji kayıplarını azaltmaya yönelik geliştirilen mevcut tekniklerden bahsedilecektir.

3.1 Sızdırmaya Karşı Üst Seviye Tedbirler ve SRAM Tabanlı Yazmaç Öbeği Odaklı Uygulamaları

3.1.1 Dar Değerlerin Kullanımı

İşlemcilerde belirli bit sayısından oluşan ve bu sayı sabit veya değişken olabilen veri birimlerine kelime denilmektedir ve modern işlemcilerde bu değer genel olarak sabit bit sayıdadır ve örneğin kelime genişliği olarak 64 bit kullanılmaktadır. Bu örnek için düşünürsek, hesaplamalarda, adreslemede, veri yollarında ve dolayısı ile bunlara bağlı çalışan yazmaç öbeği gibi mimari birimlerin hepsinde ve hatta sanal adresleme gibi mekanizmalarda bu 64 bitlik kelime kullanılmaktadır.

Bu kelime genişliği sabit olduğu için ihtiyaç olabilecek bit sayısına örneğin adresleme için diğer kullanım yerlerine kıyasla daha fazla göre seçilmiştir. Adresleme için veya diğer bazı işlerde 64 bitlik kelime genişliği gerekli olabilmektedir, fakat hesaplamalar için özellikle tamsayı hesaplamalarında bu kelime içerisindeki tüm bitler kullanılmamakta ve hatta yaklaşık olarak sadece 16 bit civarı bir bit genişliğinde kelimenin bir kısmının hesaplama için yeterli olduğu bilinmektedir [33].

İşte bu sebeple belirli bir işlev için, örneğin adresleme veya hesaplama gibi, kullanılan kısımlar yani gerekli olan bitler ve kullanılmayan kısmı sınıflandırabiliriz. Bu şekilde yapılan bir sınıflandırma da bir kelime içerisinde gerçekten kullanılması gerekli olan değerlere dar değerler denilmektedir.

Bu dar deęerlerin haricindeki kısımlar ok buyk oranda olabilmekte ve program boyunca uzun sureler kullanılmadıęı halde yazma beęi gibi yapılarda saklanmakta ve hatta iřlemler yapılmaktadır. Bu iřlemler sırasında kelimenin kullanılmayan deęerleri ieren kısımda okuma ve yazma gibi aktif iřlemlerden oluřan gereksiz devingen g tketimi gerekleřmektedir. Ayrıca aktif olmadıkları zamanlarda tutuldukları bit hcrelerinde g beslemesi aktif olduęu iin ve daha nce sızdırmanın ve duraęan enerji kaybının anlatıldıęı Blm 1.3.2’de de bahsedildięi řekilde duraęan enerji kaybına sebep olmaktadır.

Bu duraęan enerji kaybını azaltmak iin bu dar deęerlerin tespit edilerek dar deęer haricindeki kısmın ařaęıda belirtilen kapatma, uykuya alma veya g kapılama gibi devre seviyesi yntemlerden faydalanılarak daha az sızdırması saęlanabilmektedir [33].

Bu dar deęerlerin kullanılması; devre dzeyi sızdırma azaltma yntemleri, bu yntemlerin dinamik veya statik yapılması ve bu dar deęerlerin tespit edilme yntemleri gibi konularda ok eřitli tasarımlarla uygulanabilmektedir. Bunların avantajları ve dezavantajları, kapatılan bit hcreleri geri aılırken gecikmeye neden olması gibi, bulunmaktadır, fakat nemli olan bu dar deęerlerin kullanılmasının verimli ve mantıklı olduęudur.

3.1.2 Kısa mrl Deęerlerin Kullanımı

Dar deęerler benzer mantıkla kullanılmayan deęerleri saklayan bit hcrelerinin kapatılması mantıęına dayalı bir tekniktir. Buradaki fark deęerlerin aslında kullanıldıęı fakat belirli bir zaman aralıęında kullanılmadıęı durumudur. rnek olarak [34] makalesinde bir yazma ierisindeki deęerler yeniden adlandırma ile kapatılıp yeniden sıralama belleęinden ıkıř ile geri aılmakta ve bu arada gerekleřecek duraęan g tketimi azaltılmaya alıřılmaktadır.

Benzer şekilde derleyici düzeyinden gelen bilgilere göre kapama açma yaparak veya işlemci içerisinde yürütüm sırasında bazı bilgilerle veya belirli bir aralıkta güç beslemesinin dinamik kesilip açılması ile durağan enerji kaybı azaltma yöntemleri uygulanmaktadır.

3.1.3 Bölümlendirme Kullanımı

Yazmaç öbeği belirli satırda ve bit genişliğinde alt parçalara bölümlendirilebilmektedir. Kısaca alt SRAM dizinlerinden oluşan büyük bir SRAM dizini demek olan bölümlendirme; kod çözücü ve ilgili çevre birimlerin değişiklikleri ve daha küçük birden fazla sürücü gibi eklentilerle yapılabilmektedir. Bu bölümlendirilmiş yapı üzerinden hem bölümlere ulaşarak farklı bölümlerde farklı zamanlarda farklı işlemler yapılabilen ve hem de bölümlendirmeden önceki bütünle aynı kapasitede bir yazmaç öbeği kurulabilmektedir.

Bu bölümlendirilmiş yazmaç öbeği yapısında çok kullanılan yazmaçları belirli bir bölüme koyma gibi kullanılan ve kullanılmayan bölümleri oluşturulabilmekte ve kullanılmayan bölümler kapatılarak durağan güç tüketimi azaltılabilmektedir. [35]

3.2 Sızdırmaya Karşı Alt Seviye (Transistör) Tedbirler ve SRAM Bit Hücresi Üzerine Uyarlamalar

Transistörlerde kapı, alt eşik değeri ve eklem sızdırma akımları olmak üzere tüm sızdırma akımı ve bu bileşenlerin hangi bölgelerde ve ne yönlerde olduğu, nelere sebep oldukları, nelerden kaynaklandıkları ve hangi parametrelere bağlı oldukları detaylı olarak Bölüm 1.3.2’de anlatılmıştı. Özet olarak bu bölümden ve araştırmalardan çıkarılabilecek sonuçlar:

- ✿ Bir transistör de sızdırma akımı güç beslemesine bağlı değişmektedir.

İspat: “(Denklem (1.7)’den anlaşılacağı üzere savak ile kaynak arası uygulanan V_{ds} gerilimi 0 olduğunda alt eşik sızdırma akımı 0 olacaktır, fakat ısı gerilimden

büyük ve katları seviyelerinde uygulanan gerilim arttıkça bu sızdırma akımı da artacaktır.)”

✿ Sızdırma akımları küçülen boyutlar ve gelişen teknolojiye bağlı artmaktadır.

İspat: “Kapı sızdırma akımı her angstromluk bir yalıtkan kalıģındaki azalmada yaklaşık olarak 2 katlık bir artışa ve daha çok enerji kaybına neden olmaktadır [13].”

✿ Bir transistör de sızdırma akımları transistörün eşik değeri voltajı arttıkça azalmaktadır.

İspat: “Ayrıca yine Denklem (1.7)’den görülebileceği üzere transistör eşik geriliminin artması ile alt eşik sızdırma akımı azaltılabildiği görülmektedir. “

✿ Transistörlerde sızdırma sıcaklıkla artmaktadır.

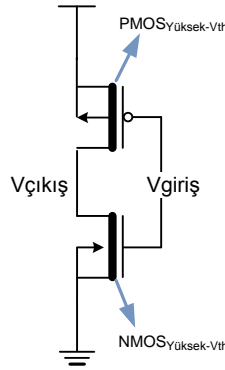
Denklem (1.7)’de yer alan I_0 parametresi, I_0 ’ı gösteren Denklem (1.8)’deki ısı geriliminin (Denklem (1.9)) karesinden dolayı sızdırma akımı sıcaklıkla artar denilir.

Bu sonuçlara göre transistöre ve dolayısı ile transistörlerden oluşan devrelerde sızdırmaya bağlı durağan enerji kayıplarını azaltmak için gelişen teknoloji ile küçülen boyutlara ve sıcaklığa transistör seviyesinde bir şey yapmak mümkün olmadığından uygulanabilecek yöntemler, uygulanan voltajı azaltmak veya gücü kesmek veya eşik değeri voltajını yükseltmek yollarından birine bağlı olarak geliştirilmektedir.

Tez kapsamında önerilen, yeni bir teknik ve özgün tasarım içerik uyarlamalı SRAM bit hücresi yapısı da bu yollardan birine, eşik değeri gerilimini düşürerek sızdırma akımından kaynaklı durağan enerji kaybını azaltmaya yöneliktir.

3.2.1 Üretim Sırasında Yüksek Eşik Değeri Voltajlarına Ayarlama

Bir transistörün eşik değeri voltajı (V_{th}) ilk değeri (V_{th0}) o transistörün üretimi sırasında ayarlanır ve bu üretim teknolojisi ile beraber tasarım kiti parametreleri içerisinde kullanıcıya bildirilir. Dolayısı ile sızdırmaya bağlı durağan enerji kaybını azaltmak için bu eşik değerini yukarı çekme işlemi üretim sırasında daha yüksek değerler (high V_{th}) seçilerek gerçekleştirilebilir [36].



Şekil 3.1 Üretimde ayarlanmış Yüksek V_{th} parametrelili transistörlerle Evirici

Şekil 3.1’de üretimde yüksek eşik değeri voltajına ayarlanmış nmos ve pmos ile oluşturulan bir Evirici şematiği gösterilmektedir. Bu eviriciyi oluşturan transistörlerden anahtarlama sırasında kapalı olanı daha yüksek eşik değerine sahip olduğu için normal eşik değerine sahip basit bir eviriciye kıyasla daha az durağan enerji kaybı ile karşılaşacaktır. [Denklem (1.7)]

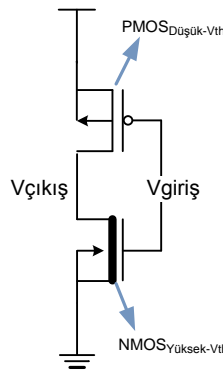
SRAM için düşünecek olursak Şekil 3.1’deki gibi arka arkaya bağlı 2 evirici ile bit hücresi oluşturularak tutulan 0 ve 1 bit değerlerinin her ikisi içinde (+) daha az sızdıran ve daha az durağan enerji kaybı olan bir SRAM yapısı kurulabilir. Fakat sıklıkla tekrarlanacağı gibi, burada bir ödünleşim vardır ve az enerji kaybının yanında (-) daha çok gecikme ve daha çok gürültü hassasiyeti ve belki daha çok devingen güç tüketimi dezavantajları ortaya çıkabilir.

3.2.2 Üretim Sırasında Çoklu Seviyede Eşik Değeri Voltajı Ayarlama

Daha önce belirtildiği üzere üretim zamanından yüksek eşik değeri voltajı ayarlamak transistörlerden oluşan bir devrede durağan enerji kaybını engellemektedir, fakat aynı zamanda sorunlara da neden olabilmektedir. Örneğin yüksek V_{th} 'li transistörlerden oluşan Şekil 3.1'deki gibi bir evirici üzerinde gürültü daha çok hissedilebilir ve bu sebeple eviricinin kararlı yapısı bozulabilir veya; yine böyle bir evirici için tersleme işlemi sırasında normal eviriciye kıyasla daha çok gecikme ile karşılaşılabilir. Dolayısı ile ortada bir ödünleşim var ve tasarım kararı alınması gerekir. Peki, çözüm nedir?

Birden fazla voltaj seviyesinde eşik değeri ayarlanarak tüm transistörler yerine sadece daha gerekli olan bir kısım transistörlere yüksek V_{th} değerleri üretim sırasında ayarlanır. [36]

Mesela gösterim açısından örnek olması için sadece nmos transistörünün eşik değeri voltajı üretim sırasında yüksek ayarlanan ve pmos transistörü normal veya düşük eşik değerine sahip bir evirici Şekil 3.2'de verilmektedir.



Şekil 3.2 Sadece belirli transistörleri Yüksek V_{th} değerine sahip olan bir evirici

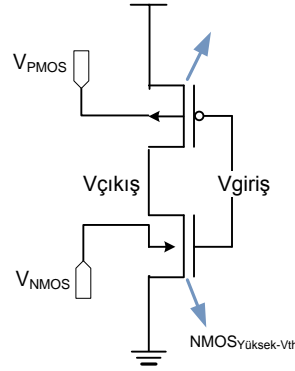
SRAM için düşünürsek Şekil 3.2'deki gibi, eviricilerden arka arkaya bağlandığında oluşan bit hücresi normal V_{th} 'li pmoslardan dolayı Şekil 3.1'e göre daha çok ama normale göre daha az sızdıracak ama bu aranda diğer maliyetlerde azalıp artacaktır.

Veya üretimden yüksek V_{th} 'li nmos sadece geçiş transistörlerine bağlandığını düşünelim. (+) O zaman bu geçiş transistöründen sızdırma akımı azalacak fakat (-) bu geçiş transistörünü sürmek normalden fazla gecikmeye sebep olacaktır ve her durumda etkin olmayacaktır.

3.2.3 Devingen Olarak Uygulanan Eşik Değeri Voltajı

Eşik değeri geriliminin ilk değeri (V_{th0}) üretimden gelmektedir ve normal şartlar altındaki bir transistör için bu değer eşik değeri ($V_{th0} = V_{th}$) olarak alınır. Buradaki normal şartlar altında denilen durum nmos için alttaş terminalinin toprağa ve pmos için alttaş terminalinin V_{dd} 'ye bağlandığı olağan durumdur. Eğer normal bağlantılar haricinde bir bağlantıya sahipse, mesela pmos V_{dd} yerine $2xV_{dd}$ olan bir güç beslemesine bağlanırsa, bir transistör burada eşik değeri voltajı ilk değerinden yani üretimden gelen değerinden farklılık ($V_{th0} \neq V_{th}$) göstermeye başlar. Devingen Eşik değeri voltajı uygulama yöntemi de bu prensibe dayalıdır. Bu yöntemin evirici üzerine uygulanmış temel seviye temsili gösterimi Şekil 3.3'te yer almaktadır [37].

SRAM için düşünürsek 0 tutulurken daha az enerji kaybı olması amacı ile pmos'ların devingen V_{th} 'li olarak ayarlanması için alttaşları V_{dd} 'den daha yüksek voltajlı bir gerilim hattına bağlanarak (+) V_{th} 'si V_{dd} 'ye bağlı duruma göre artırılmış ve böylece sızdırma akımı azaltılarak durağan güç kaybı azaltılmış olur. (-) Fakat 2 ayrı güç beslemesinden dolayı güç tüketimi artmakta ve (-) bu güç hattından dolayı daha fazla alan kullanımı olabilmektedir. (-) Ayrıca artan eşik değerinden kaynaklı azda olsa gecikme ihtimalide bulunmaktadır. (-) Bu alan ve güç maliyetlerinin yanında sadece bir durumda ve 1 transistör üzerindeki sızdırmayı azaltmak tasarımı mevcut durumdan daha kötü hale getirebilir.



Şekil 3.3 Devingen V_{th} 'li Transisörlerden Evirici

Uyarlamalı Alttaş Kutuplama : Sızdırmadan kaynaklı durağan enerji kaybını azaltmak için önce üretimden sabitlenen ve yüksek V_{th} ayarlı transistörler, daha sonra yine üretimden sabitlenen fakat hem düşük hem de yüksek olarak farklı V_{th} ayarlı transistörler kullanıldı. Daha sonra ise bu V_{th} 'nin alttaş kutuplama ile değiştiği bilgisi üzerinden gidilerek alttaşlara farklı güç beslemeleri verilerek devingen V_{th} ayarlı transistör yapısına geçilmişti. Uyarlamalı yöntemde ise (her ne kadar ilgili çalışmalarda bu şekilde bir fark gösterilmese de tez dahilinde yüklenen mantık ile) gelen veri anlamlandırılarak alttaş girişine belirli koşullara bağlı olarak farklı gerilimler uyarlanarak uyarlamalı V_{th} ayarlı transistör tasarımı geliştirilmektedir.

Aslında literatürde Devingen V_{th} ile Uyarlamalı V_{th} teknikleri genellikle aynı olarak kullanılmaktadır. Ayrıca SRAM bit hücresi için tez dahilinde önerilen özgün tasarıma benzer bir uygulama da geliştirilmemiştir. (Dolayısı ile bu teknik Devingen V_{th} altında incelenmiş ve SRAM için düşünüldüğünde örneği verilmemiştir.) Onun yerine üretim farklılıklarından doğan etkiyi azaltmak, gecikmeyi sabitlemek gibi bit hücresi harici devreler için uygulamalar çoğunluktadır [37], [38], [39], [40], [41], [42], [43], [44], [45], [46].

3.2.4 Güç Beslemesi Voltajını Düşürme

[47]'de de detaylı anlatıldığı ve tez içerisinde Bölüm 1.3.2'de ve bu bölümün başında da bahsedildiği üzere transistörlere uygulanan güç beslemesinin azaltılması ile

toplamdaki sızdırma da azalmaktadır. Bu yöntem hali hazırda bit hücrelerine uyarlanabilir ve SRAM bit hücresi için herhangi uyarılama olmadan bit hücrelerini besleyen gerilimi düşürerek uygulanabilir.

Sonuç olarak (+) durağan enerji kaybını engellemek amacı ile belirli bir mekanizma ile, ilgili bit hücresine veya herhangi bir bileşene ait güç beslemesi voltajı azaltılabilmektedir. (-) Fakat güç beslemesi voltajını azaltmak devreleri daha kararsız ve gürültüye açık hale getirecektir. Zaten bu devingen enerji kaybını da azaltmak ve gecikmeyi de düşürmek demek olduğu için her yeni teknoloji için tüm ödünleşimler (gürültü vb. kısıtlar ile birlikte) yapılarak en alt seviyeye getirilmeye çalışılmaktadır. Dolayısı ile bu sınırın altına inerken dikkatli olunması gerekmektedir [47].

3.2.5 Güç Anahtarlama

Güç beslemesi voltaj seviyesini düşürmek durağan güç tüketimini azaltabilir, fakat yeterli olmamaktadır. Bunun için pasif konumdaki bir transistörün veya bileşenin gücünü kesmek sızdırma açısından daha kesin çözüm sunmaktadır [48].

Hali hazırda birçok çalışma arasından örnek olarak [49], [50] makalesinde olduğu gibi SRAM (ler) ile oluşturulan çok bölümlü bir yazmaç öbeğinde bu bölümlerden bir veya birkaçını kapatıp açmak için veya bir yazmaç öbeğinde bir satırda kullanılmayan veya sadece belirli aralıkta kullanılacak olan bitlerin kapatılması için kullanılmaktadır. [35]

(+) Güç anahtarlama ile durağan enerji kaybı azaltılmaktadır, fakat (-) bu anahtarlama kaynaklı devingen güç tüketimi, (-) bu anahtarlama yapan büyük bir transistörün kendinden kaynaklı durağan güç tüketimi ve (-) anahtarlama dolayısı ile oluşacak gecikmelere dikkat edilmesi gereklidir.

3.2.6 Uyku Transistörleri

Güç anahtarlamanın yapıldığı transistörler yukarıda dikkat edilmesi gerekenlerden dolayı özel olarak seçilmektedir ve bu transistörler bit hücrelerini veya transistör bloğunu uykuya alma yani pasif durumda iken gücünü kesme işini yaparken sebep olduğu gecikme maliyetini minimumda tutabilmeli ve ayrıca güç tüketimi açısından da verimli olmalıdır.

Bu transistörleri eniyileştirmek için birçok metot bulunmaktadır ve bu metotlarda bu transistörler, özel olarak Uyku Transistörleri olarak adlandırılmaktadırlar. Uyku transistörleri ve bu transistörlerin eniyileştirilmesi üzerine, uyku transistörlerinin birbirine bağlantı şekilleri, hangi seviyelerde uygulanacağı, yerel veya genel uygulanacakları, uyuma süreleri, sürülen yüke karşı verimlilik vb. birçok çalışma yapılmış ve yapılmaktadır [49], [50], [51], [52].

Avantajına, gücü anahtarlama demek olduğu için, benzer şekilde kullanılan devrelerde sızdırmayı azaltmak denilebilir ve dezavantajına ise belirli bir alan ve gecikme maliyeti ve anahtarlama nedeniyle de devingen enerji kaybı getirmesi denilebilir.

Bunun için başta söylendiği gibi bir uyku transistörü üzerinden kapatılan devreye erişim istendiğinde minimum gecikme ile bu erişim sağlanabilmeli ve bunu yapan transistör(ler)ün ek alan ve devingen güç tüketimi maliyetleri olabildiğince az olmalıdır [51].

3.2.7 ASRAM

Şimdiye kadar anlatılan transistör seviyesi durağan enerji kayıplarını azaltma metotlarını SRAM bit hücresi üzerindeki arka arkaya eviriciler ve hatta geçiş transistörleri üzerinde de birebir uygulayabiliriz ve hali hazırda önceki bölümlerde uyarlamaları tarafımızdan birer örnekle aktarılmaya çalışıldı.

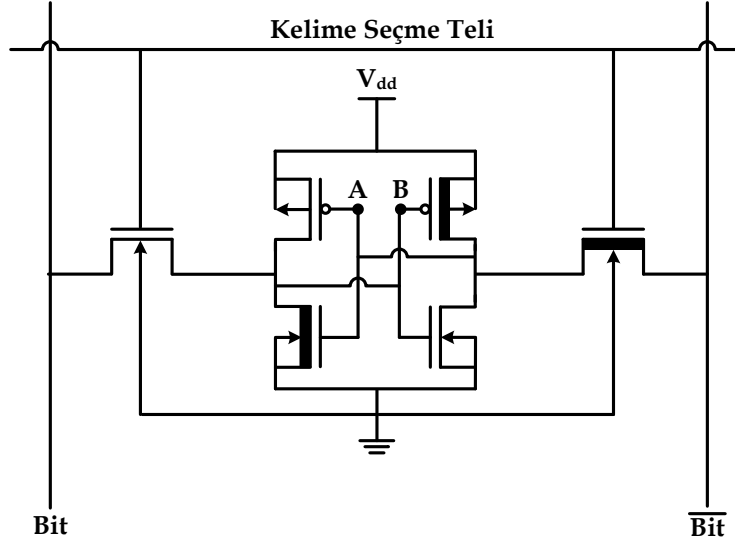
Bu uygulamalara benzer fakat SRAM bit hücresi üzerindeki tüm transistörlere aynı anda uygulanmayan ve aynı zamanda bu transistörlere simetrik olarak da

uygulanmayan ve bu sayede SRAM bit hücresinde 1 ve 0 değerlerinden bir tanesi için daha az durağan enerji kaybı sağlamaya yönelik Asimetrik SRAM bit hücresi geliştirilmiştir.

Geliştirilen asimetrik SRAM bit hücresi tasarımı, ASRAM olarak adlandırılmaktadır ve Moshovos ve Azizinin makalesinde, [53], detaylı olarak anlatılmaktadır. Fakat tez içerisinde önerilen yöntemle kıyaslamak ve eksi ve artılarını görebilmek adına bu kısımda ASRAM için temel devre gösterimleri ve çalışma mantığından özet olarak bahsedilecektir.

(Not: Bu çalışmalarda ayrıca ASRAM yapısının daha az sızdıran yerine daha az gecikmesi olan daha hızlı bit hücresi oluşturmaya yönelik gibi farklı amaçlar için de kullanılması üzerine detaylardan bahsedilmektedir [53], [54]. Dolayısı ile tez içerisinde önerilen yöntem de durağan enerji kaybı haricinde farklı amaçlar içinde bazı değişikliklerle kullanılabilir ve Gelecek Çalışmalar kısmında bundan bahsedilecektir.)

Şekil 3.4'te SRAM bit hücresi içerisinde mantık 1 bit değerinde veri tutarken daha az sızdırma akımı ve durağan enerji kaybı için tasarlanmış ASRAM bit hücresi devresi görülmektedir [53], [54].



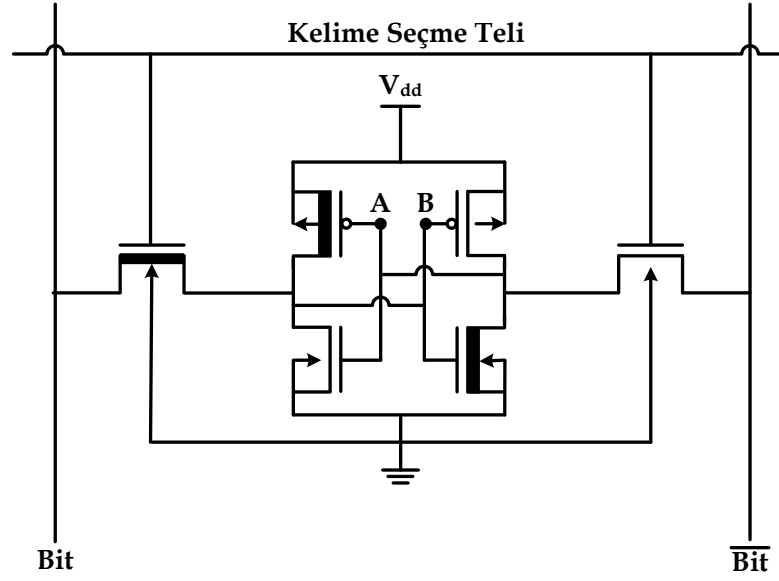
Şekil 3.4 Asimetrik SRAM Bit Hücresi (Tutulan Bit Değeri 1 İken Az Sızdıran)

Şekil 3.4'te bit telinden mantık 1 değeri sağdaki eviricinin girişine, B noktasına, gelmiş ve terslenmiş hali olan mantık 0 değeri de bu eviricinin çıkışından soldaki eviricinin girişine, A noktasına gelmektedir. Dolayısı ile, mantık 1 verisi bit hücresinde saklandığı durumda, sağdaki eviricinin p tipi transistörünün kapı terminaline, mantık 1 verisi geldiği için sağ üstteki pmos transistörü soldaki eviricinin n tipi transistörü kapı terminaline mantık 0 verisi geldiği için de sol alttaki nmos transistörü kapalı moda geçer.

İşte bu durumda normal bir SRAM bit hücresinde kapalı olan bu transistörler üzerinden sızdırma akımı oluşur ve bu da SRAM için durağan enerji kaybına neden olurdu. ASRAM tasarımında ise bu transistörlerin eşik değer voltajları üretimden sabitli ve normale göre daha yüksek seçilir ve bu sayede bu transistörler mantık 1 bit değeri tutulurken daha az sızdırırlar.

Bu yapının benzeri mantık 0 tutulurken daha az sızdırma için de yüksek V_{th} uygulanan transistörleri değiştirerek tasarlanabilir.

Aynı mantıkla çalışan ama bit hücresinde mantık 0 değeri tutulma durumu için tasarlanmış bu ASRAM bit hücresi devresi ise Şekil 3.5'te görülmektedir [53], [54].



Şekil 3.5 Asimetrik SRAM Bit Hücresi (Tutulan Bit Değeri 0 İken Az Sızdıran)

Burada dikkat edilmesi gereken diğer bir husus her 2 ASRAM tasarımında da yüksek V_{th} 'nin sadece eviriciler içindeki gereken transistörlere değil yandaki geçiş transistörlerinden uygun olana, 1 veya 0 tutulma durumuna göre, bağlanarak daha az sızdırmasının sağlandığıdır.

Sonuç olarak ASRAM yapısı ile daha az sızdırma ve daha az durağan enerji kaybı sağlanmaktadır. Fakat mantık 1 tutulma durumu için tasarlanan bir devre mantık 0 için işe yaramayacak ve belki daha kötü sonuçlara neden olabilecektir.

4 SIZDIRMAYA KARŞI ÖZGÜN SRAM TASARIMI, CSRAM

Transistör sızdırma akımlarından kaynaklı durağan enerji kaybını azaltmak amacı ile geliştirdiğimiz İçerik Uyarlamalı CSRAM bit hücreleri ve bu hücrelerle oluşturulan özgün SRAM tasarımı olan CSRAM ve ayrıca, CSRAM'in alan maliyeti ve teknoloji kısıtları gibi problemlere karşı çözüm olarak sunduğumuz yeni tasarımları olan Yalınlaştırılmış CSRAM ve Çoklu İçerik Uyarlamalı CSRAM ve bit hücrelerinden bu kısımda ayrıntılı olarak bahsedilecektir. Önerilen fikrin ve yapılan işin anlatıldığı asıl kısım olan bu bölümde ayrıca, bu tasarımlara ait devre analizi ve benzetim sonuçları da detaylı olarak sunulacaktır. (Önerilen fikrin ve tez çalışmasının bir çıktısı [56]'da yer almaktadır.)

4.1 Motivasyon

Bu kısımda, tez içerisinde şimdiye kadar anlatılanların tekrar derlenmesi ile soru cevap şeklinde ve özet olarak, tarafımızdan önerilen fikir, CSRAM'in amacı ve çalışmamızın motivasyonu anlatılmaktadır. (Not: Önceden detaylı anlatılan ve kaynakları belirtilen bilgiler burada tekrar aynı şekilde verilemeyecek, bunlardan gerekenler maddeler halinde kısaca sunulacak ve sonuçlar çıkarılarak en son “neden CSRAM?” sorusunun cevabına yer verilecektir.)

4.1.1 Neden Durağan Enerji Kaybı..?

☞ Gelişen teknoloji ile giderek transistör boyutları daha da küçülmektedir. (90nm, 65nm, 45nm, 32nm, 22nm, 16nm ve altı kanal genişliği boyutları ile belirlenen teknoloji gelişimi)

☞ Daha küçük boyutlu bir transistör daha çok sızdırdığı için durağan enerji kaybı daha fazla olmaktadır.

☞ Boyutların küçülmesi ile birim alana daha çok transistör sığması, birim alanda sıcaklığın daha çabuk ve daha üst seviyelere yükselmesine ve ısıl problemlere neden olmaktadır.

☞ Sıcaklığın artması ile transistörlerin sızdırma akımları daha çok arttığı için durağan enerji kaybı da sıcaklıkla doğru orantılı olarak artmaktadır.

☞ Gelişen teknoloji ile küçülen transistör boyutlarının yanında uygulanan güç besleme ve eşik değer gerilim seviyeleri de değişmekte ve bunlar da sızdırmayı etkilemektedir.

☞ Küçülen transistör boyutları ve gelişen teknoloji ile birim alana eklenen transistör sayısı giderek artmakta olduğu için sızdırmadan kaynaklı durağan enerji kaybının devingen enerji kaybı ile kıyaslandığında güç tüketimi üzerindeki etkisi giderek artmaktadır.

☞ **Sonuç (1)**; modern işlemcilerde durağan güç tüketimi kritik bir parametre ve modern işlemcilerde güç tüketimi fazla olan bilgisayar mimarisi birimlerinden başlanarak çözülmesi gereken bir problemdir [1], [55].

4.1.2 Neden Bellek Yapıları..?

☞ Bellek yapıları bir işlemci yongasında oldukça fazla sayıdadır ve toplamda oldukça geniş yer tutar. Bir yonga içerisinde yer alan transistör sayısına bağlı olarak sızdırma akımları kaynaklı durağan enerji kayıpları artar ve işlemcinin büyük bir kısmını kaplayan bellek mimari birimleri transistör sayısının en fazla olduğu birimlerdir.

☞ **Sonuç (2)**; durağan güç tüketimi fazla olan bilgisayar mimarisi birimlerinden olan bellek mimari birimleri için durağan enerji kayıpları mutlaka azaltılmalıdır.

4.1.3 Neden SRAM ve Bit Hücreleri..?

☞ Yonga üzeri önbellek, yazmaç öbeği, yeniden adlandırma tablosu gibi birçok bellek birimleri bellek yapılarından SRAM'i ve veri saklamak için bu SRAM bit hücrelerini kullanmaktadır.

☞ **Sonuç (3);** SRAM için durağan enerji kaybını azaltmaya yönelik yöntemler geliştirilmelidir [15].

4.1.4 Neden Transistör Seviyesinde Çözümler..?

☞ SRAM için bellek bileşeni seviyesinde geliştirilen, Bölüm 3.1'de de anlatılan, durağan enerji kaybına karşı dar değerlerin kullanımı, kısa ömürlü değerlerin kullanımı, bölümlendirme kullanımı gibi birçok çalışma bulunmaktadır. Bu yöntemler enerji kaybını azaltmaktadırlar, fakat transistör seviyede enerji kaybına karşı tedbirler uygulanmadığı sürece yetersiz kalmaktadırlar.

☞ **Sonuç (4);** SRAM kullanarak oluşturulan bellek birimlerinde durağan enerji kayıplarını engellemek için SRAM üzerinde transistör seviyesinde sızdırmayı azaltacak yöntemler geliştirilmeli ve uygulanmalıdır.

4.1.5 Neden Eşik Değeri Voltajı ile Sızdırma Azaltma Yöntemi..?

☞ Durağan enerji kaybını önlemeye yönelik transistör seviyesinde de mevcut çok çeşitli çalışmalar bulunmaktadır. Bu tekniklerin bir kısmı Bölüm 3.2'de anlatılmaktadır ve genel olarak güç beslemesinden faydalanarak ve eşik değeri voltajından faydalanarak sızdırmayı azaltma olmak üzere 2 sınıfa ayrılırlar.

☞ Güç beslemesinden faydalanarak sızdırma azaltma yönteminin diğer sızdırma azaltma yöntemi ile aynı anda uygulanması mümkündür. Hatta güç beslemesinden faydalanarak sızdırma akımını azaltma yöntemlerinin daha verimli çalışması için

(örneğin uyku transistörünün gecikmesini azaltmak için eşik değer voltajını ayarlama gibi) eşik değer voltajı ile sızdırma akımı azaltma yöntemleri veya varyasyonları gerekmektedir. Ayrıca tez dâhilinde önerilen özgün tasarımda eşik değer voltajını değiştirerek sızdırma azaltma mantığını kullanmaktadır.

☞ **Sonuç (5)**; sızdırma akımlarından kaynaklı durağan enerji kayıplarını azaltmak için eşik değeri voltajından faydalanılarak sızdırma azaltma yöntemleri geliştirilmeli ve SRAM üzerine uyarlanmalıdır.

4.1.6 Neden CSRAM..?

☞ Eşik değeri voltajından faydalanılarak sızdırma azaltma yöntemleri Bölüm 3.2'de zaten anlatılmaktadır ve durağan enerji kaybını azaltmaktadırlar, fakat yol açtıkları maliyetler de bulunmaktadır ve kısaca şu şekilde özetlenebilir.

➤ Üretim sırasında sabitlenen ve yüksek V_{th} ayarlı transistörlerin kullanımı yöntemi tüm transistörlerin eşik değer voltajını yükselttiği için sızdırma azalır, fakat yüksek eşik değer voltajı sürekli anahtarlanan bir transistörde (-) daha çok gecikmeye, (-) gürültüye ve (-) güç tüketimene sebep olabilir.

➤ Üretim sırasında sabitlenen ve çok seviyeli V_{th} ayarlı transistörlerin kullanımı yöntemi tüm transistörler yerine belirli olanların eşik değer voltajını yükselttiği için belirli şartlarda sızdırma azalır ve önceki yöntemin kötü etkileri ise sadece bu şart altında aktif olduğu için öncekine göre az ama (-) ana çizgiye göre fazladır. Ayrıca diğer şartlarda sızdırmaya etkisi olmadığı için (-) her durumda etkin değildir.

➤ Devingen V_{th} ayarlı veya uyarlamalı V_{th} ayarlı transistörlerin kullanımı ile sızdırma azalmaktadır, fakat 2 ayrı güç beslemesinden dolayı güç tüketimi artmakta ve (-) bu güç hattından dolayı daha fazla alan kullanımı olabilmektedir. (-) Ayrıca artan eşik değerinden kaynaklı azda olsa gecikme ihtimalide bulunmaktadır. (-) Bu

alan ve güç maliyetlerinin yanında sadece bir durumda ve 1 transistör üzerindeki sızdırmayı azaltmak tasarımı mevcut durumdan daha kötü hale getirebilir.

➤ ASRAM yöntemi SRAM üzerine uygulanan etkili sızdırma azaltma tekniklerinden birisidir. Arka arkaya eviricilerdeki transistörler ve geçiş transistörlerinden sadece belirli olanlarını, hangi bit değeri tutulduğunda az sızdırma isteniyorsa, asimetrik olarak üretim sırasında yüksek V_{th} 'li olarak ayarlı seçmektedir. Bu sebeple o bit değeri örneğin mantık 0 tutulduğunda daha az sızdırma olmakta ve bit değil, örnek için mantık 1 değeri geldiğinde de gecikmeden ek maliyet azaltılabilmektedir. (-) Fakat program yürütümü sırasında belleğe ve o bit hücrelerine yazılması gereken tüm değerleri 1 olursa o zaman ASRAM hiçbir işe yaramaz ve durağan enerji kaybı da azalmamış olur. Neyse ki güncel programlarda bu bit hücrelerine gelen değerlerin çoğunluğu mantık 0 olduğu ([53], [54]) bilinmektedir. Fakat bu eksikliğin mutlaka iyileştirilmesi gerekmektedir.

➤ Bu iyileştirmelere bir örnek olarak [53]'de anlatıldığı gibi bit hücreleri içerisinde tutulan değerlerin mantık 1 olma oranı mantık 0 olma oranından fazla olduğunda bunu algılayarak byte byte bu bit hücrelerindeki değerleri ters çevirerek sızdırmayı azaltma oranını artırma yöntemi verilebilir. (-) Burada ters çevirme işlemi devingen enerji kaybına neden olacak hem de ters çevrilirken bayt olarak çevrildiği için sızdırma akımı azaltma tam verimle gerçekleşmeyecektir.

➤ ASRAM problemine bir çözüm ve [53]'e alternatif bir yöntem; üretimden gelen sabit eşik gerilimleri yerine yukarıda bahsedilen devingen V_{th} 'li transistörleri seçerek eğer mantık 0 bit değeri gelme oranı 1 gelme oranından düşükse ve bit hücreleri 0 biti tutarken az sızdırmaya ayarlı ise o zaman devingen V_{th} 'li transistörlerin alttaş terminallerini alttaş telleri ile mantık 1 tutarken az sızdıracak şekilde getirme ve aynı çalışma mantığını bu gelen bit değerine göre 1 veya 0 gelme oranlarını kontrol edip tüm bit hücrelerini buna göre ayarlamaktır. Bu yöntemle sızdırma azaltma daha da etkinleştirilmiş, fakat uzun alttaş kutuplama tellerini sürme ve kontrol devresi ile beraber bu telleri anahtarlama ek yükleri gelmiş ve bunlardan kaynaklı devingen güç tüketimi artışı gerçekleşmiştir. (Bu tez çalışmasının başlangıç aşamasını bu fikir

oluşturdu ve daha sonra burada anlatıldığı gibi maliyetlerinden dolayı uygulamanın mantıklı olmadığı görülerek vazgeçildi.)

☞ **Sonuç (6)**; var olan çalışmaların büyük bir kısmı incelenmeye ve bu incelemelere dayalı sonuçların bir kısmı da bu tezin ilgili kısımlarında anlatılmaya çalışılmıştır. Bu incelemelerin ışığında var olan yöntemlerin sızdırma akımlarından kaynaklı durağan enerji kaybını azalttığı ama bunu tam verimle yapmadığı veya tüm çalışma aralığı boyunca etkin olmak yerine sadece belirli koşullarda ve belirli aralıkta yaptığı ve ek olarak da birçok maliyeti beraberinde getirdiği görülmektedir. İşte bu sebeple durağan enerji kaybını azaltmaya yönelik yeni bir SRAM tasarımına ve özgün bir bit hücresi tasarımına ihtiyaç vardır.

☉ **Çözüm** ise geliştirdiğimiz İçerik Uyarlamalı veya İçerik Farkındalıklı bit hücreleri ve bu hücrelerle özgün SRAM tasarımı: CSRAM (Conscious, bilinçli, SRAM) [56].

4.2 İçerik Uyarlamalı Bit Hücreleri ve CSRAM

CSRAM, bit hücresinde hem mantık 0 hem de 1 değeri tutulurken, her durumda durağan enerji kaybına karşı etkin, içerik uyarlamalı olarak bit hücresindeki ilgili transistörlerin eşik değeri voltajlarını, alttaş kutuplama (body biasing) yöntemi ile ayarlayarak her iki durum içinde veri tutulurken kapalı transistörlerden kaynaklı sızdırma akımlarını azaltan yeni İçerik Uyarlamalı Bit Hücresi tasarımları ile oluşturulan özgün SRAM yapısıdır [56].

4.2.1 CSRAM Bit Hücresi ile Mevcut SRAM Bit Hücresi Farkları

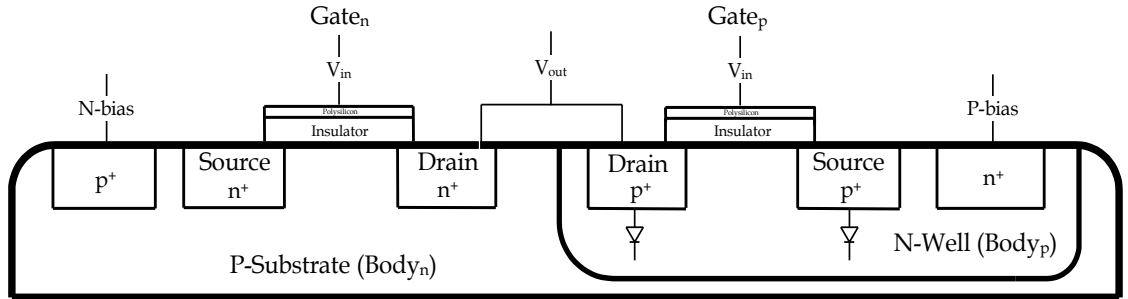
Öncelikle mevcut SRAM bit hücrelerinde bias gerilimleri n-tipi transistör için sadece toprağa ve p-tipi transistör için ise sadece Vdd'ye bağlı iken CSRAM'de her iki transistör tipi içinde 2 farklı seviyede uygulanır. CSRAM bit hücresinde mevcut SRAM bit hücresinden farklı olarak: Mevcut SRAM tasarımında olduğu gibi tek bir güç besleme hattı, Vdd, ve tek bir toprak hattı, gnd, yerine CSRAM üzerinde 2 güç

besleme gerilim hattı (V_{dd} ve $V_{dd_{bias}}$) ve 2 toprak hattı (Toprak ve $Toprak_{bias}$) bulunmaktadır.

PMOS transistörler için sızdırmayı azaltmak için bu bias gerilimlerinden $V_{dd_{bias}}$, V_{dd} 'den daha yüksek değere, NMOS transistörler için ise $Toprak_{bias}$, 0'dan (toprak) daha düşük değere ayarlanmıştır. Bu bias gerilimlerinin ayarlanması Denklem (4.1)'deki eşik değer voltajının, V_{th0} , kaynaktan alttaş arası gerilim farkı, V_{SB} ile ilişkisi prensibine dayanarak yapılmıştır. Bias gerilimlerinin transistör iç yapısı gösterilerek oluşturulan bir evirici gösterimi ise Şekil 4.1'de gösterilmektedir [57].

$$V_{th} = V_{th0} + \gamma(\sqrt{2\theta + V_{SB}} - \sqrt{2\theta}) \quad (4.1)$$

(Denklem (4.1)'de V_{T0} , $V_{SB}=0$ olduğu andaki ilk V_{th} değeridir, γ parametresi alttaş etkisi katsayısıdır ve θ parametresi ise yüzey gerilimini temsil etmektedir.)

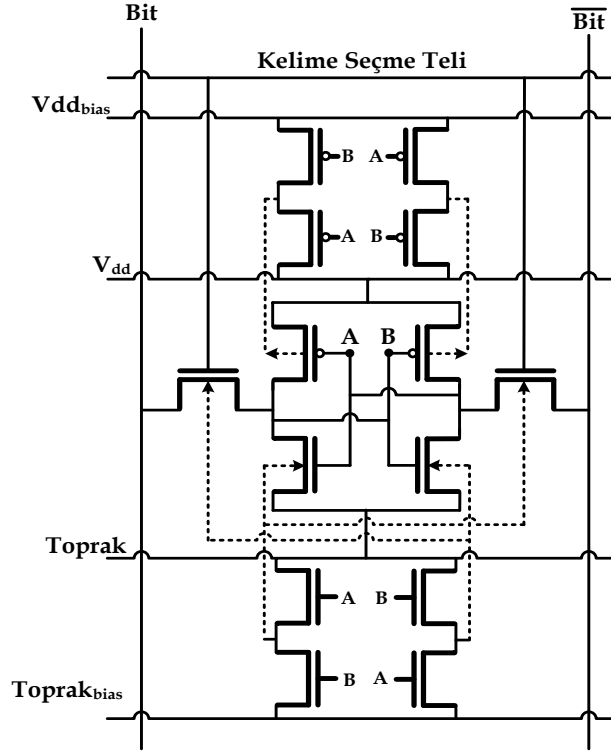


Şekil 4.1 Bias gerilimlerinin transistör iç yapısı gösterilerek oluşturulan bir evirici

Ayrıca CSRAM bit hücresinde, bias gerilim hatlarından içerde tutulan bit değerine göre gerekli bias gerilimini alarak uygun eşik değeri gerilimine geçebilmek için kullanılan, fazladan 8 geçiş transistörü kullanılmaktadır.

4.2.2 İçerik Uyarlamalı Bit Hücreleri ve CSRAM Tasarımı

İçerik Uyarlamalı CSRAM Bit Hücresinin transistör seviyesinde 4.2.1'de belirtilen farklılıkları da içeren devre tasarımı Şekil 4.2'de verilmektedir.



Şekil 4.2 İçerik Uyarlamalı CSRAM Bit Hücresi

CSRAM bit hücresinin mantık 0 ve 1 bit değerlerinin saklandığı iki farklı çalışma durumu vardır ve bu durumların her ikisini de içerecek bir çalışma senaryosu ile Şekil 4.2 üzerinden gidilerek çalışma mantığı anlatılacaktır. Şekil 4.2’de $V_{dd_{bias}}$ ile V_{dd} telleri arasında PMOS transistörleri için bias gerilimlerini uygulayan geçiş transistörleri, Toprak ile $Toprak_{bias}$ telleri arasında ise NMOS transistörleri için bias gerilimlerini uygulayan geçiş transistörleri yer almaktadır. V_{dd} ile Toprak telleri arasındaki alanda ise verinin saklandığı arka arkaya eviriciler bulunmaktadır.

CSRAM bit hücreğine Bit teli üzerinden mantık 0 değeri verildiğinde önce sağdaki eviricinin girişine gelen mantık 0 değeri terslenerek çıkışa mantık 1 değeri olarak verilir ve bu çıkış soldaki eviricinin girişine gelir, böylece bit hücreğinde mantık 0 bit değeri tutulmaya başlar.

Arka arkaya evirici bloğunda, mantık 0 tutulurken sağdaki eviricinin NMOS ve PMOS transistörlerinin girişlerine B noktası üzerinden mantık 0 değeri geldiği anda

sağ üstte yer alan PMOS transistörü açılır ve sağ altta bulunan NMOS transistörü ise kapalı moda geçer. Soldaki eviricinin NMOS ve PMOS transistörlerinin girişlerine A noktası üzerinden mantık 1 değeri geldiği anda ise sol üstte yer alan PMOS transistörü kapalı moda geçer ve sol altta bulunan NMOS transistörü ise açılır.

Bu durumda bit hücresinde 0 tutulurken sağ alttaki NMOS ile sol üstteki PMOS transistörleri kapalı moddadırlar ve bu transistörlerin sızdırma akımlarının azaltılması için bias gerilimlerinden faydalanarak eşik değeri voltajlarını yükselten mekanizma ise şu şekilde işlemektedir.

Bit hücrelerinde tutulmak üzere mantık 0 geldiğinde (Tüm noktalarda B=0 ve A=1) PMOS için bias gerilimleri geçiş transistörlerinin olduğu blokta sol üstte yer alan PMOS transistörü açılır ve $V_{dd_{bias}}$ gerilimi (V_{dd} 'den yüksek voltaj seviyesinde) arka arkaya eviriciler bloğunda sol üstte yer alan PMOS transistöre uygulanmaya başlar. Mantık 0 geldiğinde NMOS için ise bias gerilimleri geçiş transistörlerinin olduğu en alttaki blokta sağ altta yer alan NMOS transistörü açılır ve $Toprak_{bias}$ gerilimi (Toprak'tan daha düşük voltaj seviyesinde) kesitin ortasında bulunan arka arkaya eviriciler bloğunda sağ alttaki NMOS transistöre uygulanmaya başlar.

Bu mekanizma ile mantık 0 tutulurken eviriciler bloğunda sol altta bulunan NMOS ile sağ üstte bulunan PMOS transistörlerinin bias gerilimleri olarak ise mevcut SRAM'deki normal güç gerilimleri olan V_{dd} ve Toprak bağlanmış olur. Ayrıca sol ve sağdaki bit tellerine bağlı geçiş transistörleri de kapalı olma durumuna göre değil ama içerdeki tutulan veriye göre biasları ayarlanmaktadır.

Bit hücresinde mantık 1 tutulurken ise (Tüm noktalarda B=1 ve A=0 olduğunda) sağ üst pmos ve sol alt nmos kapalı moda geçer. Ayrıca yukardaki pmos geçiş transistörleri bloğunda sağ üstteki pmos geçiş transistörü açılarak $V_{dd_{bias}}$ gerilimi arka arkaya evirici bloğundaki kapalı moddaki sağ üstte yer alan pmos'un bias gerilimi olarak; aşağıdaki nmos geçiş transistörleri bloğunda ise sol alttaki nmos geçiş transistörü açılarak arka arkaya evirici bloğundaki kapalı moddaki sol altta yer

alan nmos'un bias gerilimi olarak ayarlanır. Arka arkaya evirici bloğundaki açık olan transistörlerin ise bias gerilimleri normal Vdd ve Toprak olarak ayarlanır.

Sonuç olarak bir bit hücresinde mantık 0 tutulurken de mantık 1 tutulurken de kapalı modda olan ve sızdırma beklenen transistörlerin alttaşlarına biased gerilimleri gelmekte ve eşik değer voltajları, V_{th} , normale göre (V_{th0}) yükseltilmiş olmaktadır. Böylece her durumda bit hücresindeki kapalı transistörlerden gelen sızdırma akımlarına bağlı durağan enerji kaybı azaltılmış olur.

4.3 CSRAM için Benzetim ve Devre Analiz Ortamı

Geliştirilen CSRAM bit hücresi tasarımlarının işlemci başarımına etkisini anlayabilmek için bir yazmaç öbeği içerisindeki bit değerlerinin gerçek dağılımını gözlemlemek gerekmektedir. Bu amaçla benzetim ortamı olarak, sırasız yürütüm yapan Alpha Mikroişlemci benzetimcisi olan MSIM ve bu platform üzerinde koşturulmak üzere SPEC 2006 denek-taşı programları seçilmiştir. Daha sağlıklı sonuçlar alabilmek için benzetim sonuçları alınırken programlar önden 100 Milyon buyruk koşturulduktan sonra alınmaya başlamış ve sonrasında bu programlardan 100 milyon buyruk daha koşturularak benzetim tamamlanmıştır. Bit dağılımları ve önerilen yöntem için gerekli mimariden gelen veriler 128 bitlik veri girişine sahip yazmaç öbeği üzerinden bu programlar koşturularak alınmaktadır [58].

CSRAM için transistör seviyesinde tasarlanan devre şematiklerinin uygulanabilirliğini görmek için serimleri de tasarlanmış ve bunlar üzerinden devre benzetimleri yapılmıştır. CSRAM devre tasarım ve analizleri platformu olarak Cadence ve Teknoloji kütüphanesi veya tasarım kiti olarak ise UMC 90nm kullanılmaktadır. CSRAM ve uygulanan farklı tekniklerin Cadence Virtuoso kullanılarak 1V güç beslemesi olacak şekilde serimleri çizilmiş ve yine Cadence platformu üzerinde 110⁰ sıcaklık için Spice devre benzetimleri yapılarak sonuçlar alınmıştır.

4.4 Yalınlaştırılmış CSRAM

4.4.1 Yalınlaştırılmış CSRAM Bit Hücresi Tasarımı

CSRAM bit hücresi tasarımında kapalı nmos transistörleri sızdırma akımlarının azaltılması için Toprak güç beslemesi voltaj seviyesinden, 0'dan daha düşük seviyede yani negatif voltaj seviyesinde uygulanması gerekmektedir. Negatif voltaj seviyelerinde güç beslemesi yapabilmek teorik olarak mümkündür, fakat uygulamada bu güç beslemesini sürebilecek ve negatif voltaj üretebilecek voltaj üretici mekanizmaları çok karmaşıktır ve devreye maliyeti beklenenden fazla olacaktır.

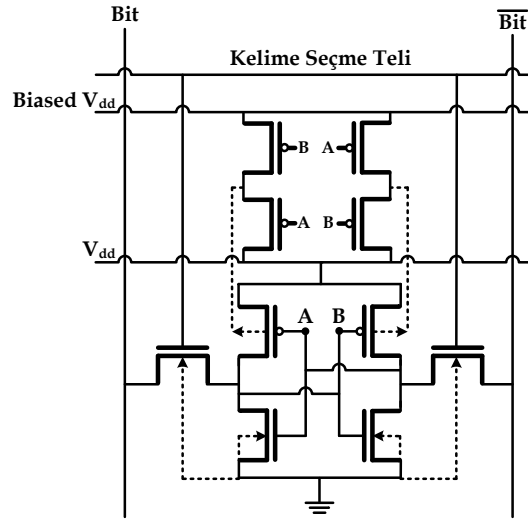
Diğer taraftan, bazı üretim teknolojilerinde p-tipi alttaş üzerine serili nmos transistörlerinde, farklı gerilim seviyelerinde kutuplanmış alttaşlara izin verilmemektedir.

Üstelik buna izin verilen üretim teknolojilerinde, farklı potansiyeldeki alttaşlar arası üretimden gelen uzaklık kısıtları bulunmaktadır ve bu kısıtlar nedeniyle her nmos arasına belirli bir uzaklık konulmakta ve bu uzaklık çok yoğun bir SRAM tasarımında kabul edilemez derecede ekstra alan maliyetine neden olmaktadır.

Burada bir ödünleşim vardır ve eğer yalınlaştırılmış bir negatif voltaj üretici ile farklı bias gerilimindeki nmosları kısa mesafe farkıyla kullanabileceğimiz teknolojilerde CSRAM özgün yapısı kullanılmaya devam edilebilir. Fakat tez kapsamında kullandığımız teknoloji ve mevcut sahip olunan tekniklerle bunu kullanmak kabul edilebilir bir verimlilikte değildir.

Bu sebeplerle arka arkaya eviricilerdeki kapalı transistörlerden sadece pmos transistörlere bias gerilimlerinin uygulandığı yeni bir bit hücresi, Yalınlaştırılmış CSRAM Bit Hücresi tasarımı geliştirildi. Yalınlaştırılmış CSRAM Bit Hücresi transistör seviye devre tasarımı Şekil 4.3'te gösterilmektedir ve bu şekilden de görülebileceği gibi CSRAM orijinal bit hücrelerinden farklı olarak Yalınlaştırılmış CSRAM'de Toprak_{bias} hattı, nmos bias gerilimleri için kullanılan nmos geçiş transistörleri kısaca nmos bias gerilimleri bloğu yer almamaktadır.

Ayrıca pmos transistörler için mekanizma aynen kalmış ve sistem birebir aynı çalışma mantığında işlemektedir. İçerik uyarlamalı olarak pmos transistörlerinin bias gerilimleri ayarlanmakta ve 0 tutarken de 1 tutarken de kapalı olan pmos transistörlerin daha yüksek eşik değeri voltajına ayarlanması ile sızdırma akımlarından kaynaklanan durağan enerji kaybı azaltılmaktadır.

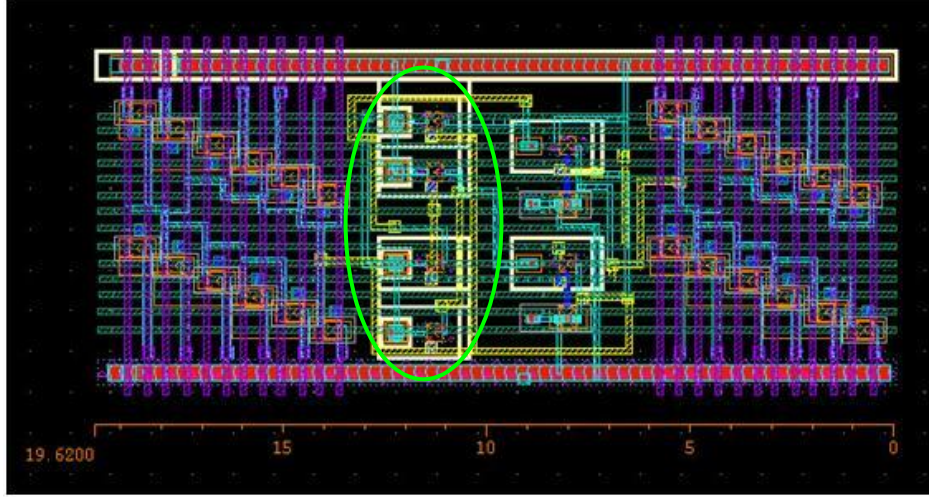


Şekil 4.3 Yalınlaştırılmış CSRAM Bit Hücresi Devre Tasarımı

Sonuç olarak, kapalı nmos transistörlerinin durağan enerji kayıplarındaki azalmadan feragat edilerek negatif voltaj üreticinin karmaşıklığından ve farklı bias gerilimlerdeki nmoslar arası uzaklık kısıtlarından gelen fazla alan maliyetlerinden de kurtulmuş olmaktadır.

Yalınlaştırılmış CSRAM devresinin uygulanabilirliğini görmek açısından serim tasarımlarını da yaparak anaçizgi tasarımları ile kıyaslarken, alan kullanımının değerlendirilmesinin doğru yapılabilmesi için bu serim görünümleri kullanılmalıdır. Ayrıca benzer şekilde gecikme ve güç tüketimi gibi maliyetlerin değerlendirilmesi ve anaçizgi tasarımı ile doğru karşılaştırılabilmesi için devre şematikleri ile beraber parazitik sızgılar gibi tasarımı üretime yakın hale getiren parametrelerin eklendiği serim çıktılarına da kullanmak gerekmektedir.

Şekil 4.4'te 12 Portlu bir Yalınlaştırılmış CSRAM bit hücresinin serim görünümü verilmektedir. Burada pmos bias gerilimlerinin uygulanması için kullanılan pmos geçiş transistörleri ortada solda yeşil anahatlı elips ile gösterilen alanda ve ortada sağdaki eviricilerin hemen yanında yer almaktadır.

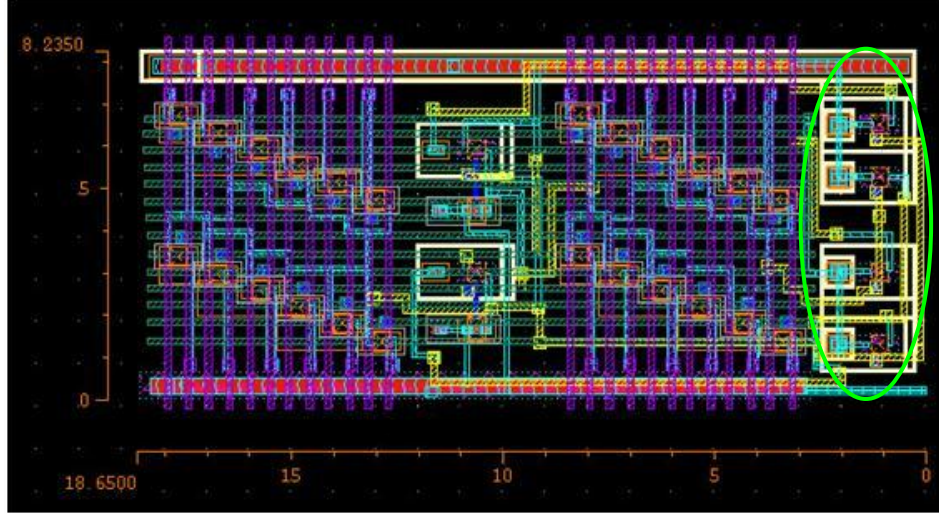


Şekil 4.4 12 portlu Yalınlaştırılmış CSRAM Bit Hücresi Serimi

12 portlu Yalınlaştırılmış CSRAM bit hücresi serimi tasarlanırken transistörlerin içine oturduğu nwell alanları eğer aynı gerilime sahiplerse ortaklanmaya çalışılmıştır. Aralarında potansiyel fark olan nwell alanları arasında en az belirli bir mesafe olmalıdır ve üretimden gelen bir uzaklık kısıtı bulunmaktadır. Dolayısı ile bu alanlarda bulunan transistörler ayrılmıştır, fakat bu alanları güç hatları üzerine taşıyarak ve bağlantıları bu 2 alan arasına taşıyarak ve ayrıca tüm eklentiye bit hücresi arka arkaya eviricilerin kapladığı alanın yüksekliğine sığdırmaya çalışarak alan açısından verimli bir serim tasarımına uğraşmıştır.

PMOS geçiş transistörlerinin yer aldığı farklı potansiyeldeki nwell'ler arası uzaklık kısıtının alan maliyeti üzerine etkisi bu şekilde azaltılmaya çalışılmıştır, fakat bu uzaklık kısıtı farklı Vdd'den farklı gerilimdeki nwell alanı içinde bulunan geçiş transistörleri ile evirici pmos transistörleri arasında da geçerlidir. Peki, bu kısıtın etkisi nasıl giderilir?

Çözüm bahsedilen pmos geçiş transistörlerini ortadan alarak bit değil telleri ve bunlara bağlı nmos geçiş transistörlerinin sağına eklemektir. Bu şekilde tasarlanmış bir 12 portlu Yalınlaştırılmış CSRAM bit hücresi serimi Şekil 4.5'te gösterilmektedir.



Şekil 4.5 12 portlu Yalınlaştırılmış CSRAM Bit Hücresi Serimi (pmos geçiş transistörleri sağa alınmış)

4.4.2 Yalınlaştırılmış CSRAM Bit Hücresi Analizi ve Deneysel Sonuçlar

Yalınlaştırılmış CSRAM bit hücresine ait serim tasarımı ile bunun iyileştirilmiş farklı bir versiyonu ile karşılaştırılması ve bu 2 tasarımın anaçizgi tasarımı olan normal bir bit hücresi ile karşılaştırılarak bu özgün fikrin getirdiği alan maliyetlerin analizi ve burada son haline karar verilmiş yalınlaştırılmış CSRAM bit hücresi serim tasarımı kullanılarak normal bit hücresi ile gecikme ve durağan güç kayıpları açısından CAD araçları ve devre benzetimleri kullanarak karşılaştırılması ve analizi bu kısımda 3 alt başlıkta incelenecektir.

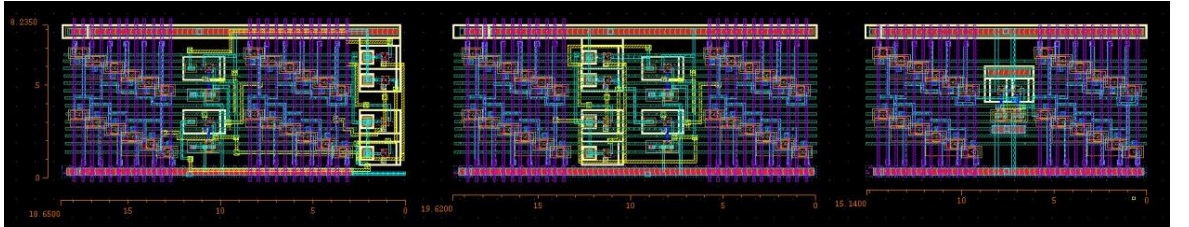
4.4.2.1 Alan Maliyetleri Analizi

CSRAM Yalınlaştırılmış Bit Hücresinin 12 port için tasarlanmış ve Şekil 4.4'de sunulan PMOS geçiş transistörleri ortaya konularak tasarlanan serimi ile mevcut

SRAM bit hücresi serimi karşılaştırıldığında; 12 portlu CSRAM Bit Hücresi seriminin kapladığı alanın mevcut SRAM bit hücresi seriminin kapladığı alanın %129,5'i olduğu ve sonuç olarak bu hali ile Yalınlaştırılmış CSRAM Bit Hücresinin anaçizgi tasarımına kıyasla %29,5'luk bir alan maliyeti olduğu görülmektedir.

Farklı potansiyeldeki nwell'er arası uzaklık kısıtının alan üzerindeki kötü etkisini azaltmaya yönelik önerilen serim tasarımının iyileştirilmiş versiyonu olan, PMOS geçiş transistörleri sağa konularak serimi tasarlanan ve Şekil 4.5'te gösterilen 12 portlu CSRAM bit hücresinin, 12 portlu normal SRAM bit hücresinin serimi ile karşılaştırılması sonucunda iyileştirilmiş hali ile önerilen Yalınlaştırılmış CSRAM bit hücresi seriminin kapladığı alan mevcut SRAM bit hücresi seriminin kapladığı alanın % 123'ü olduğu ve sonuç olarak; Yalınlaştırılmış CSRAM Bit Hücresinin anaçizgi tasarımına kıyasla %23'luk bir alan maliyeti olduğu görülmektedir.

Ayrıca CSRAM Bit Hücresinin PMOS geçiş transistörleri ortaya konularak tasarlanan serimi ile; bu tasarımın nwell'ler arası uzaklık kısıtına karşı iyileştirilmiş ve PMOS geçiş transistörleri sağa konularak tasarlanan serimi karşılaştırıldığında ise iyileştirilmiş CSRAM bit hücresi serimi tasarımının, normal SRAM bit hücresi anaçizgi serimine kıyasla, sebep olduğu alan maliyeti; olağan haldeki CSRAM bit hücresi seriminin alan maliyetinin %78'i olduğu ve sonuç olarak; iyileştirmenin alan maliyetinde %22 kazanç sağladığı görülmektedir.



Şekil 4.6 CSRAM Bit Hücresi Serimleri ve SRAM Bit Hücresi Serimi

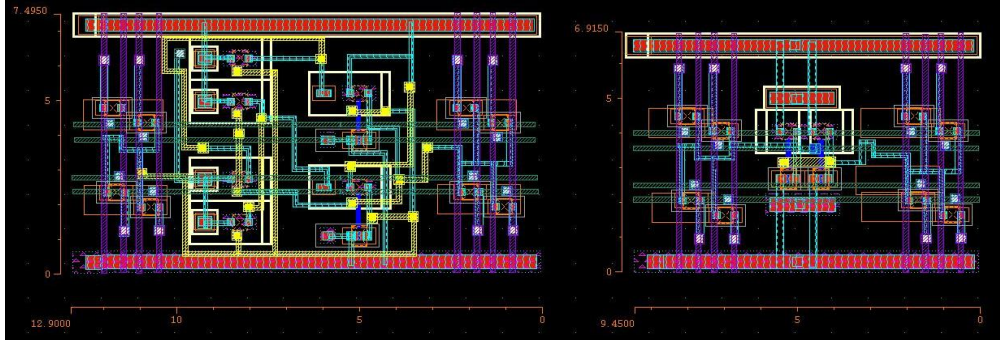
Bu karşılaştırmalar gösterim olarak Şekil 4.6'da sunulmaktadır. Burada 3 serimin yükseklikleri yaklaşık olarak aynı, fakat genişlik olarak farklı büyüklüktedir ve alan maliyetleri serim genişlikleri kıyaslanarak bulunabilmektedir.

Tasarım Notu 1: CSRAM Bit Hücresi Seriminde PMOS geçiş transistörleri arka arkaya eviricilerin kapladığı alanın yüksekliğine sığdırılmaya çalışılmakta idi. (Aynı sayıda transistörler olduğu için yaklaşık olarak bu mümkün ama farklı bias gerilimlerinden doğan nwell uzaklık kısıtından dolayı birebir aynı yüksekliğe getirilemez ama olabildiğince küçük tutulabilir.)

Tasarım Notu 2: Bit Hücresi serim tasarımında birden fazla port oluşturmak için bit ve bit değil tellerine bağlanan nmos geçiş transistörleri merdiven şeklinde dizilerek tasarım yapılmakta idi. Bu sayede nmos'ların birbirleri ile olması gereken uzaklık kısıtları birbirinin alt çaprazına getirilerek aşılmakta ve ayrıca kelime seç telleri ile bit ve bit değil tellerinin her bir port için bağlantıları da karmaşık olmayan bir tasarımla bağlanabiliyordu.

Tasarım notlarının ışığında: Eğer çok sayıda port olan bir CSRAM bit hücresi oluşturulacaksa sol ve sağdaki nmos geçiş transistörleri bloğunun, merdiven yapının, en üst noktası ile alt noktası arasındaki yükseklik evirici bloğu yüksekliğinden fazla olacağı ve bit hücresi alanında yükseklik parametresini artık bu değiştireceği için, eklenen pmos geçiş transistörleri bit hücresi yüksekliğinin içine sığdırılabilecektir. Bu durumda yükseklik katsayısı bakımından alana maliyeti olmayacaktır. Genişlik bakımından etkisi ise port sayısı arttıkça nmos geçiş transistörlerinin kapladığı alan genişleyeceği için CSRAM'den gelen eklentilerin anaçizgiye oranı düşecektir. Dolayısı ile port sayısı arttıkça CSRAM Bit Hücresinin anaçizgiye kıyasla sebep olduğu alan maliyeti düşecektir.

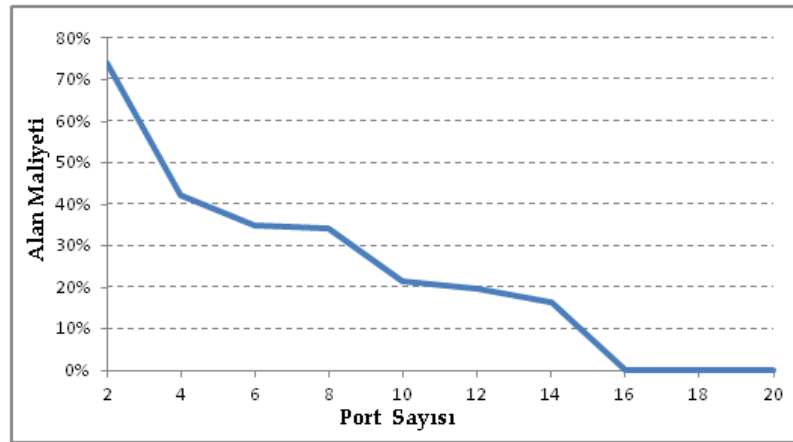
Belirli bir port sayısından itibaren ise nmos geçiş transistörleri bloğu yüksekliği fazla olacağı için pmos geçiş transistörleri ortaya evirici bloğu üstüne eviricilerin pmosları ile aynı bias gerilimindeki geçiş transistörleri, altına ise diğer gerilimdeki geçiş transistörleri konulabilecektir. Bu durumda genişlikleri de arka arkaya evirici bloğu genişliğinde olacağı için alan bakımından maliyetleri yaklaşık olarak sıfırlanacaktır.



Şekil 4.7 4 Portluk CSRAM ve SRAM Bit Hücreleri Serimleri

Eğer port sayısı az ise o zaman hem yükseklik hem de genişlik katsayısı etkili olacağı için düşük port sayılı CSRAM Bit Hücresinin alan maliyeti aynı port sayılı anaçizgiye oranla daha da artacak ve bit hücreleri için port sayısı azaldıkça katlı olarak artış meydana gelecektir. Örnek olarak, Şekil 4.7’de, solda serimi gösterilen 4 portlu bir CSRAM bit hücresi, sağ tarafta verilen anaçizgi bit hücresi ile kıyaslandığında alan maliyetinin %40 oranlarına kadar çıkabildiği görülmektedir.

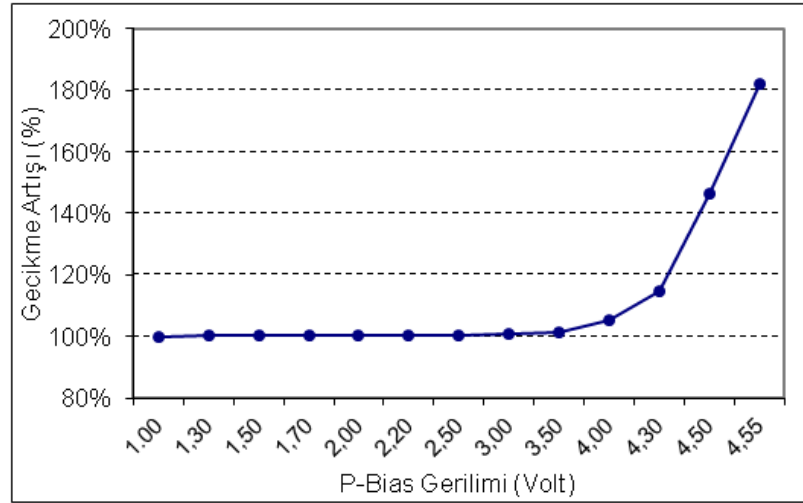
Bu bilgilerin bir özeti olarak, CSRAM Bit Hücresi alan maliyetinin port sayısı ile değişim oranları Şekil 4.8’de gösterilmektedir. Buna göre, CSRAM bit hücresinin 16 port ve üstü olması durumunda alan maliyeti olmayacağı için fazla port sayısına ihtiyaç duyulan yazmaç öbeği ([59]) gibi işlemci birimlerinde CSRAM’in kullanılabilir ve faydalı olduğu anlaşılmaktadır.



Şekil 4.8 CSRAM Bit Hücresi Alan Maliyetinin Port Sayısı ile Değişimi

4.4.2.2 Gecikme Maliyeti Analizi

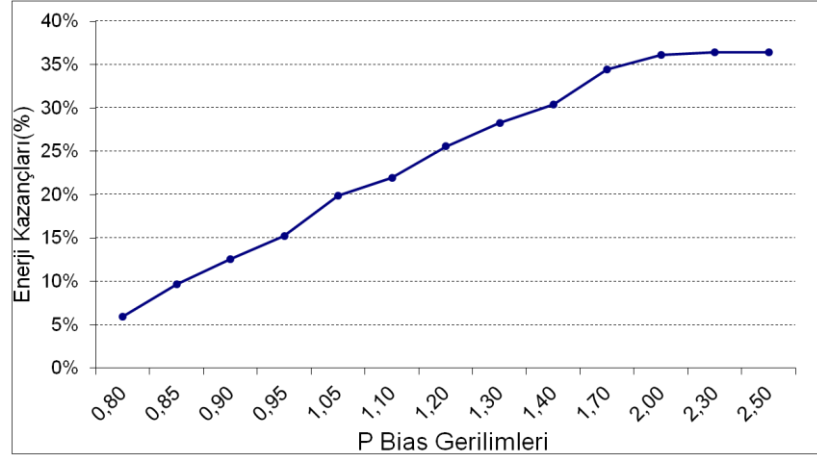
Şekil 4.9'dan da görülebileceği gibi pmos geçiş transistörleri üzerinden bit hücresindeki kapalı transistörlere sızdırmayı azaltmak için uygulanan bias gerilim hattındaki voltaj seviyesi, P-Bias gerilimi artması, sadece kapalı transistörlere etki edeceği ve açık olan transistörlerin bias gerilimleri normal vdd olduğu için, anaçizgi bit hücresi erişim zamanlarına kıyaslandığında CSRAM bit hücresi için gecikme maliyeti oluşturmamaktadır. Bias gerilimi için yaklaşık 4V civarına gelindiğinde ise gecikme maliyeti artmaya başlar, fakat bias gerilimleri için bu seviyeler zaten uygulamada görülmeyeceği için yok sayılabilecektir.



Şekil 4.9 Uygulanan Bias Gerilimi ile bit hücresi erişim zamanlarındaki gecikme artışı

4.4.2.3 Durağan Enerji Kaybında Azalma Kazanç Analizi

Tasarımın amacı ve en önemli parametresi olan sızdırmadan kaynaklı durağan enerji kaybındaki azalmaya bağlı kazanç uygulanan bias gerilim seviyesine bağlı olarak bias gerilimi arttıkça, eşik değeri voltajı- V_{BS} gerilim ilişkisi gereği kapalı transistörler için eşik değeri gerilim seviyesi de artmaktadır. Sızdırma akımları- V_{th} gerilim ilişkisi gereği ile ise eşik değeri voltajı arttıkça sızdırma akımları azalmakta ve sonuç olarak; sızdırmadan kaynaklı durağan enerji kaybı P-Bias gerilimine bağlı olarak azalmaktadır.

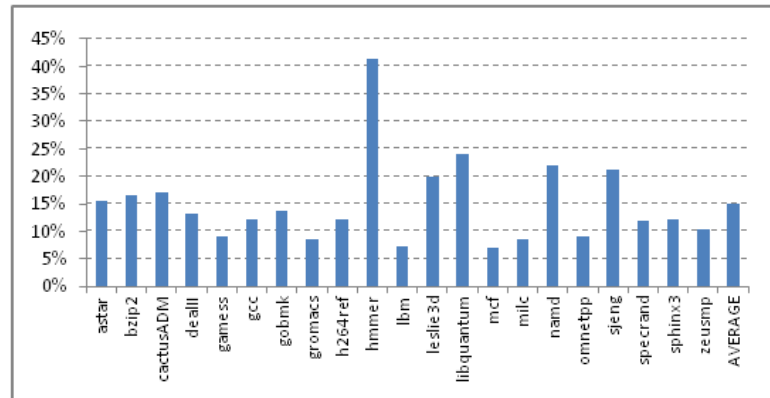


Şekil 4.10 P-Bias gerilimi ile Durağan Enerji Kaybında Azalma Oranları

Şekil 4.10’da 110° sıcaklık değerinde anaçizgiye kıyasla CSRAM Bit Hücresinde gerçekleşen durağan enerji kayıplarındaki azalma oranlarının P-Bias gerilimi ile değişimi gösterilmektedir. Buradan da P-bias gerilimi ile durağan enerji kayıplarındaki azalma oranlarının arttığı ve yaklaşık 2 V’a kadar bu artışın neredeyse doğrusal olarak artmaya devam ettiği görülebilmektedir.

4.4.3 Yalınlaştırılmış CSRAM Bit Hücresi Benzetim Sonuçları

Mevcut SRAM yapısı ile oluşturulan bir yazmaç öbeğinde SPEC 2006 alttaşları üzerinden benzetimi koşturulan programların çıktılarını kullanarak elde edilen bit hücrelerinde tutulan değerlerin 1 olma oranları istatistiksel olarak Şekil 4.11’de gösterilmektedir.



Şekil 4.11 Yazmaç Öbeğindeki 1 tutulma oranları

Şekil 4.11'e bakılarak 1 tutulma oranlarının bazı programlar için %40 seviyelerine çıktığı ve ortalamada ise yaklaşık %15 seviyelerinde olduğu görülebilmektedir. Dolayısı ile mevcut SRAM bit hücrelerinde sızdırmayı azaltmak için önerilen ASRAM tarzı uyarlamalı olmayan yöntemler böyle bir yapıda verimsiz hale gelecektir.

Önerilen CSRAM bit hücresi tasarımı sayesinde ise hem 1 ve hem 0 tutulduğu her durumda etkin olarak ve Şekil 4.10'da da belirtilen yüksek oranlarda durağan enerji kaybını engelleyecektir.

4.5 Çoklu İçerik Uyarlamalı CSRAM

4.5.1 Çoklu İçerik Uyarlamalı Bit Hücresi Tasarımı

Yalınlaştırılmış CSRAM Bit Hücresi için alan bakımından verimli tasarımlar üzerine çalışıldı ve bu tasarımlar üzerinden yapılan alan maliyeti analizlerinde, Bölüm 4.5.2.1, özellikle port sayısı arttıkça alan maliyetlerinin giderek düştüğü ve hatta sıfırlandığı sonucuna varılmıştı.

Fakat port sayısı düşük olan devrelerde alan maliyeti katlanarak artmakta ve örneğin 2 portlu bir CSRAM bit hücresinin Şekil 4.8'den görülebileceği gibi %75'e (ekstra alan) kadar bir alan maliyeti olmaktadır.

Yazmaç öbeği gibi bilgisayar mimarisi bileşenlerinde 20 port'a kadar bit hücresi tasarımları kullanılmakta ve gerekebilmektedir. Çok kullanılan bir bileşen olan yazmaç öbeği ve benzeri çok portlu yapılar ise kullanım yeri olarak modern işlemcilerde önemli bir paya sahiptir.

Fakat kullanım oranı bakımından modern işlemci mimarilerinde ciddi paya sahip diğer bir bileşen ise önbellek birimidir ve önbellek birimlerinin kullandıkları SRAM bit hücreleri daha hızlı erişim gerektiği ve küçük oldukları ve diğer sebeplerden dolayı daha az porta ihtiyaç duyarlar.

Örnek olarak Intel Pentium 4 işlemcisinde yazmaç öbeği için 12 okuma portlu bit hücreleri gerekmekte ve önbellek için ise 2 portlu bit hücreleri yeterli olabilmektedir [30].

Sonuç olarak eğer sadece yazmaç öbeği ve benzeri bilgisayar mimarisi bileşenlerine değilde önbellek birimleri gibi az sayıda porta ihtiyaç duyulan bileşenlere de CSRAM uygulanmak isteniyorsa az port sayılı bit hücresi tasarımından gelen kabul edilemez seviyelerdeki alan maliyetlerinin düşürülmesi gereklidir.

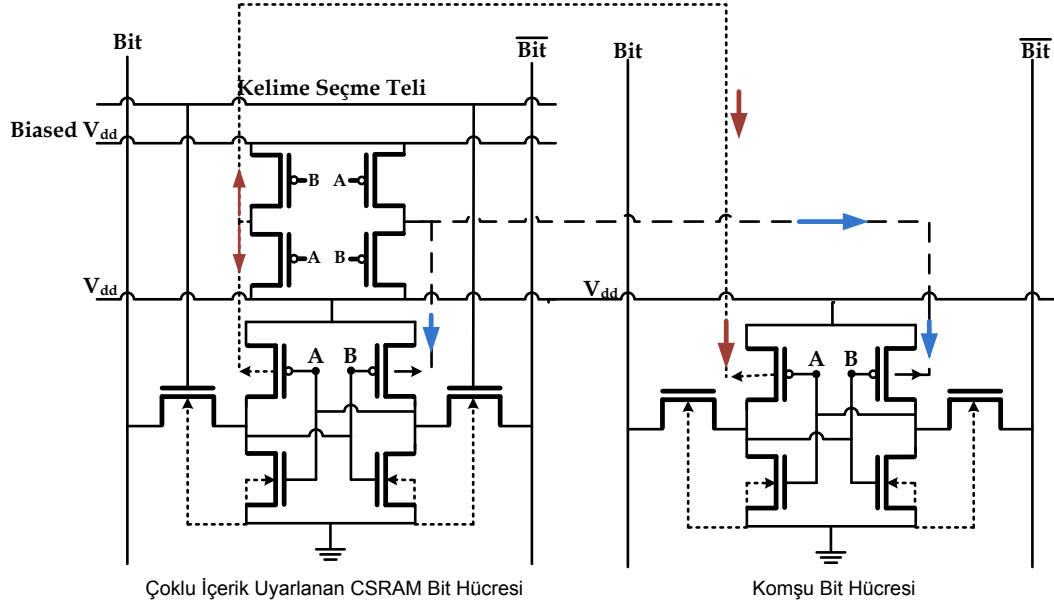
Bu sebeplerle alan maliyeti kabul edilemez seviyelere kadar artan bileşenlerde çözüm olarak her bir bit hücresi için kendi içeriğine uyarlamalı bias gerilimleri vermek yerine tek bir bit hücresinin içeriğini komşu bit hücrelerinin çoklu içeriği için uyarlamalı bias gerilimlerinin verildiği yeni bir tasarım geliştirildi. Her bir hücre yerine komşuların sahip olduğu çoklu içerik için, tümüne, sadece bir bit hücresinin içeriği uyarlandığı için bu yeni CSRAM tasarımı Çoklu İçerik Uyarlamalı CSRAM olarak adlandırılmaktadır.

Çoklu İçerik Uyarlamalı CSRAM tasarımı ile bias gerilimleri uygulamada kullanılan pmos geçiş transistörleri bloğu aynı içeriği kullanan komşu bit hücrelerinden sadece içeriği kullanılan bir tanesinde yer almakta ve diğerlerine konulmadığı için de alan maliyeti ciddi bir şekilde azaltılmaktadır. Alan maliyetini azaltırken sızdırmadaki azalma oranının da azalmasından dolayı alan parametresi ile sızdırma parametresi arasında tasarımda ödünleşim bulunmaktadır.

Fakat zaten bu tasarım, alan maliyeti kabul edilemez derecede artan devrelere uygulanacağı için ve sızdırmadaki azalma oranlarında da ciddi bir düşüş olmayacağı için (Alan maliyeti ve durağan enerji kaybı kazanç analizi kısımlarında bu parametrelerden detaylı bahsedilecektir.) Çoklu İçerik Uyarlamalı CSRAM verimli bir çözüm olmaktadır.

2 komşu bit hücrelerinden oluşan Çoklu İçerik Uyarlamalı CSRAM transistör seviyesi devre tasarımı Şekil 4.12'de gösterilmektedir. Bu şekilden de görülebileceği üzere

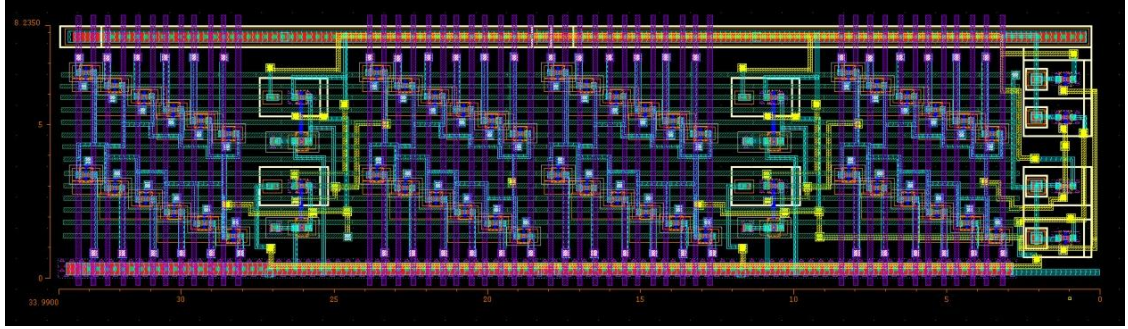
CSRAM Bit hücresinde tutulan veriye göre pmos geçiş transistörleri kullanılarak V_{dd} ve V_{dd} bias telleri üzerinden kapalı transistörlere daha yüksek bias gerilimi uygulanırken komşu bit hücresi olan normal SRAM bit hücresindeki aynı (açık veya kapalı olma ihtimali var) pmos transistörlerin bias girişleri de sürülür.



Şekil 4.12 İki komşu bit hücresinden oluşan Çoklu İçerik Uyarlamalı CSRAM

Sonuç olarak, eğer komşu hücrede de aynı bit değeri tutuluyorsa ekstrasdan pmos geçiş transistörlerine gerek kalmadan (az port sayıda kabul edilemez alan maliyeti) durağan enerji kaybı aynı oranda azaltılmış olmaktadır.

İki komşu bit hücresinden oluşan Çoklu İçerik Uyarlamalı CSRAM' e ait serim tasarımı ise Şekil 4.13'te verilmektedir. Pmos geçiş transistörleri her 2 hücre serimi içinde ortaklanmış ve en sağa alınmıştır. Ortaklanan geçiş transistörleri yapısınca sürülen bias gerilimleri ise V_{dd} ve Gnd hatları üzerine alınarak alandan tasarruf sağlanmıştır.

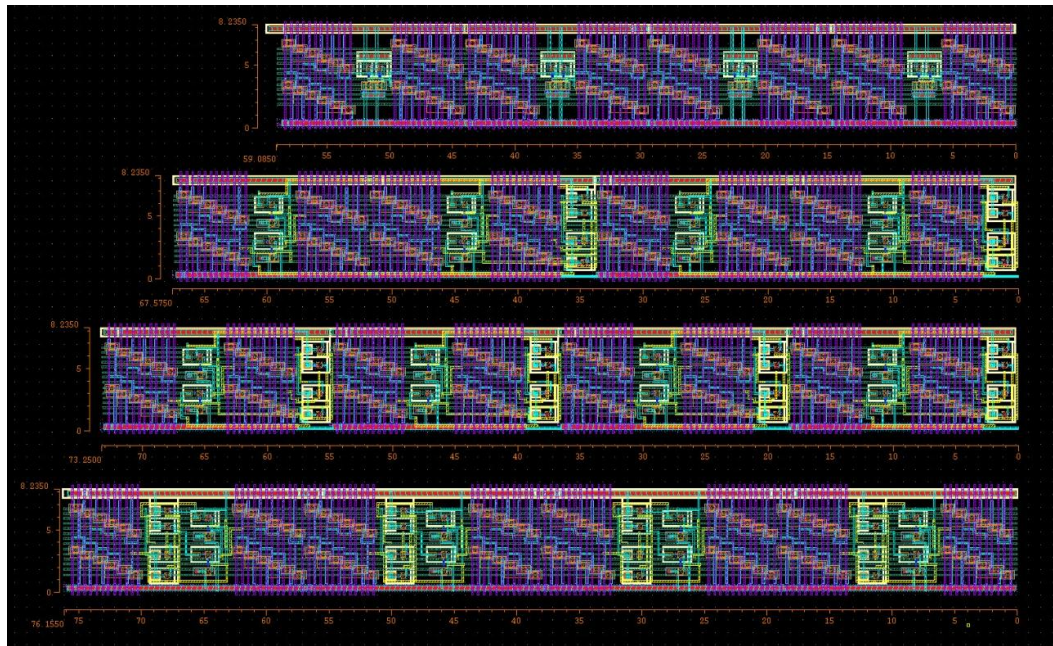


Şekil 4.13 İki komşu bit hücresinden oluşan Çoklu İçerik Uyarlamalı CSRAM Serimi

4.5.2 Çoklu İçerik Uyarlamalı CSRAM Analizi ve Deneysel Sonuçlar

4.5.2.1 Alan Maliyeti Analizi

Yalınlaştırılmış CSRAM'in alan maliyetini azaltması için geliştirilen Çoklu İçerik Uyarlamalı CSRAM'in alan maliyetini ortaya çıkarmak için: 4 tane normal SRAM bit hücresi, 2 komşuluklu biri normal CSRAM diğeri SRAM bit hücresinden oluşan 2 tane Çoklu İçerik Uyarlamalı CSRAM bloğu ve 4 tane alan bakımından iyileştirilmiş CSRAM bit hücresi ve 4 tane normal CSRAM bit hücresi serimleri sırayla alt alta yerleştirilerek yapılan karşılaştırma Şekil 4.14'de gösterilmektedir.

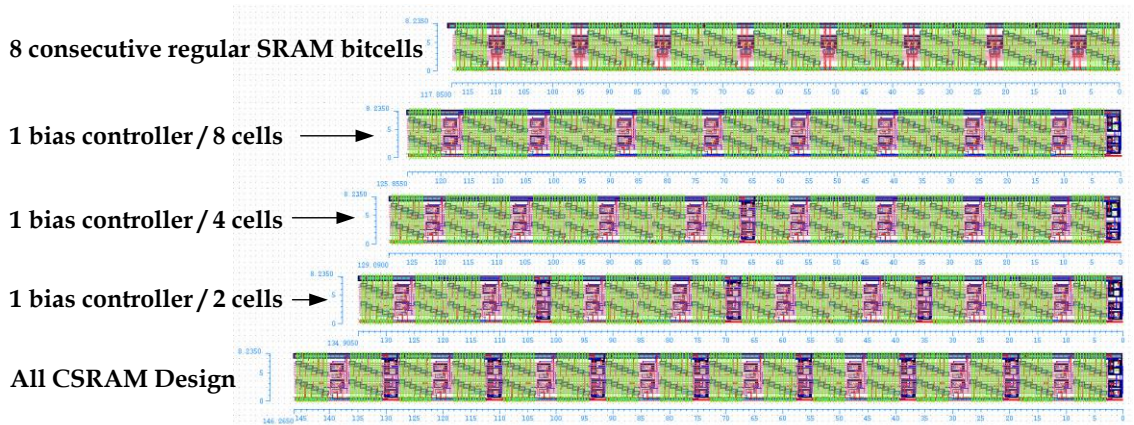


Şekil 4.14 4 Bitlik Bit hücreleri gruplarının serimleri ve alanlarının karşılaştırılması

Bu karşılaştırma sonucu olarak: Olağan haldeki CSRAM yapısının (en altta serimi yer alan) 4 bitlik grup için alan maliyeti, SRAM bit hücrelerinden (en üstte serimi yer alan) oluşan 4 bitlik gruba kıyasla %29,5, iyileştirilmiş CSRAM yapısının 4 bitlik grup için alan maliyeti SRAM bit hücrelerinden oluşan 4 bitlik gruba göre ise %23 olarak, önceki bölümde de belirtildiği üzere, görülmektedir.

Esas önemli maliyet olan, 2 komşuluklu biri CSRAM diğeri SRAM bit hücrelerinden oluşan 4 bitlik Çoklu İçerik Uyarlamalı CSRAM grubunun (serimi üstten 2. Sırada verilmektedir) 4 bitlik SRAM bit hücreleri grubuna kıyaslandığındaki alan maliyetinin %14,5 olduğu görülmektedir. Benzer şekilde 4 bitlik fakat 4 komşuluklu, aynı içerikten uyarlanan 4 bit hücresi, çoklu içerikli CSRAM bloğu ile 4 bitlik normal SRAM maliyeti karşılaştırılmış ve sonuçta alan maliyetinin bu sefer %9.5 olduğu görülmüştür.

Şekil 4.15'te serimleri yer alan 8 bitlik gruplar için alan maliyetleri (sayfaya toplu sığdırmak ve daha iyi bir görünüm için karşıtlıkla oynanarak serim görüntüleri değiştirildi) karşılaştırılmasından alan maliyetinin daha da düşerek %6.8'e kadar azaltılabildiği görülmektedir.



Şekil 4.15 8 bitlik gruplar için Serimler ve Alan maliyetleri

4.5.2.2 Gecikme Maliyeti Analizi

Yalınlaştırılmış CSRAM Bit hücresi gecikme maliyeti analizinde de detaylı anlatıldığı üzere 4 V'luk (zaten bu seviyelere çıkılmayacak) bias gerilimlerine kadar bir gecikme maliyeti neredeyse hiç olmamakta ve Çoklu İçerik Uyarlamalı CSRAM yapısı da yalınlaştırılmış CSRAM ve SRAM bit hücrelerinden oluştuğu için SRAM bit hücresi ile kıyaslandığında Çoklu İçerik Uyarlamalı CSRAM'in ekstra bir gecikme maliyeti olmadığı görülmektedir.

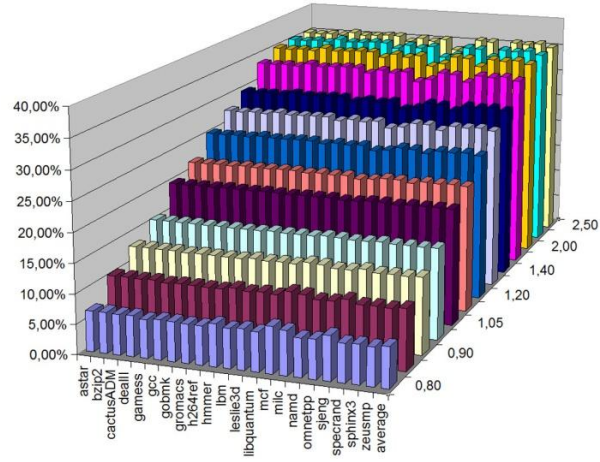
4.5.2.3 Durağan Güç Tüketimi Kazanç Analizi

Tek bir içeriğe bağlı olarak diğer komşu bit hücrelerinin bias gerilimlerini ayarlamak alan bakımından CSRAM'in maliyetini azaltmaktadır. Fakat bu yöntem uygulanırken CSRAM'in asıl amacı olan durağan enerji kaybındaki azalma olmayacak veya çok düşük miktarda olacaksa o zaman önerilen fikrin bir anlamı kalmayacaktır. Dolayısı ile alan maliyeti yüzünden zorunlu kılınan Çoklu İçerik Uyarlamalı CSRAM tasarımının durağan güç tüketimi analizi yapılması gerekir.

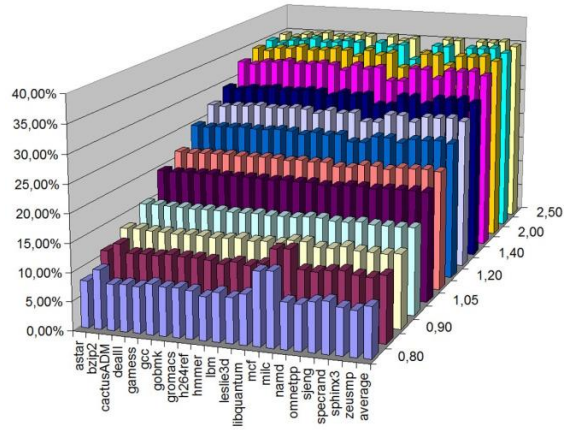
Sonuç olarak, içeriğine bakılacak ve komşularının da bias gerilimleri kendi içeriğine göre ayarlanacak olan bir bit hücresinin değeri ile aynı bit değerine sahip komşularda sızdırma aynı oranda azalacak ve diğerlerinde ise sızdırma değişmeyecektir.

Bunun için normal CSRAM bit hücresi için geçerli durağan güç tüketimi analizi sonuçları veya pbias gerilimine bağlı durağan enerji kaybı azalma oranları ile tüm SPEC 2006 Denek-taş'larının koşuturulması ile alınan sonuçlar birleştirilerek farklı bit grupları için ayrı ayrı sonuçlar alındı.

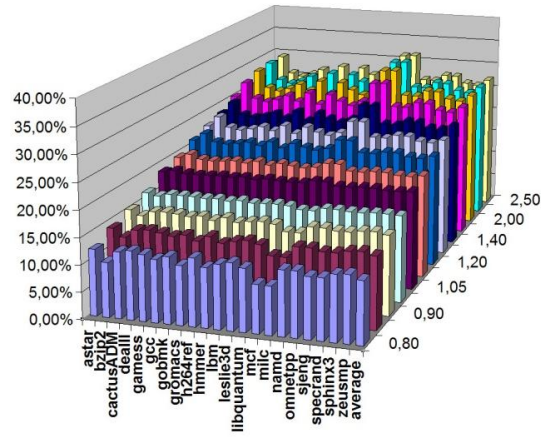
Burada benzetim koşuturulmasının amacı programlarda bir bit hücresinde saklanan bit değerinin komşu bit hücrelerinin değerleri ile hangi oranda aynı olduklarını her program için elde etmektir. Çünkü aynı olma oranı ne kadar yüksekse tasarım o kadar mantıklı olmaktadır.



Şekil 4.16 2 Bitlik Gruplar için Durağan Enerji Kaybındaki Azalma Oranları



Şekil 4.17 4 Bitlik Gruplar için Durağan Enerji Kaybındaki Azalma Oranları

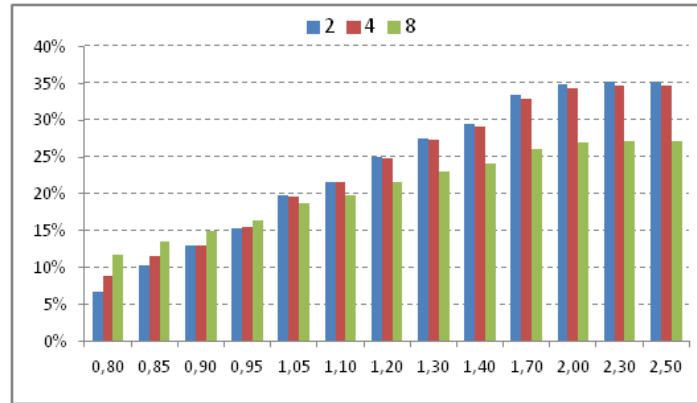


Şekil 4.18 8 Bitlik Gruplar için Durağan Enerji Kaybındaki Azalma Oranları

2 bitlik gruplar için tüm programlardan elde edilen bu oranların farklı bias gerilimlerinde durağan enerji kayıplarında sağlayacağı enerji kazanımları Şekil 4.16’da gösterilmektedir. 4 bitlik gruplar için bu enerji kazanımları Şekil 4.17’de ve son olarak 8 bitlik gruplar için bu enerji kazanımları ise Şekil 4.18’de gösterilmektedir.

Bu 3 şekilde, 2, 4 ve 8 bitlik gruplar için farklı bias gerilimlerinde içeriği uyarlanan bir bit hücresinde saklanan bit değerinin komşu bit hücrelerinin değerleri ile aynı oldukları oranların her bir program için bulunarak farklı bias gerilimlerinde yalınlaştırılmış CSRAM için bulunan sızdırma azaltma oranları ile çarpılması ile bulunan enerji kazanımları yer almaktadır.

İçeriği uyarlamak bir bit hücresinde saklanan bit değerinin komşu bit hücrelerinin değerleri ile aynı oldukları oranların her bir program için elde edilip bu oranların ortalaması alınarak elde edilen verilerin farklı bias gerilimlerinde yalınlaştırılmış CSRAM için bulunan sızdırma azaltma oranları ile çarpılması ile bulunan enerji kazanımları ise Şekil 4.19’da yer almaktadır.



Şekil 4.19 2,4 Ve 8 Bit Gruplar İçin Ortalama Durağan Enerji Azalma Oranları

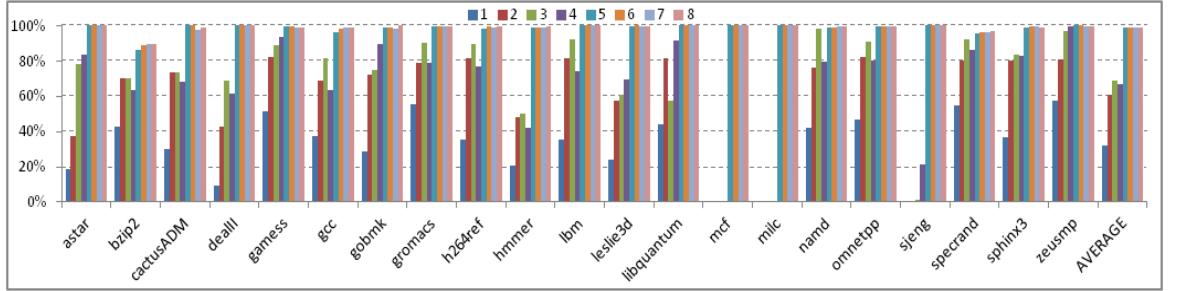
Şekil 4.19’den da görülebileceği üzere alan maliyetini azaltmak için uygulanan Çoklu İçerik Uyarlamalı CSRAM Bit hücreleri sayesinde %35’e varan enerji kazanımları olmaktadır. Böylece hem alan maliyeti düşürülmüş hem de

yalınlaştırılmış CSRAM bit hücrelerindeki sızdırma azalma oranlarına yakın değerlerle durağan enerji kaybında azalma sağlanmış olmaktadır.

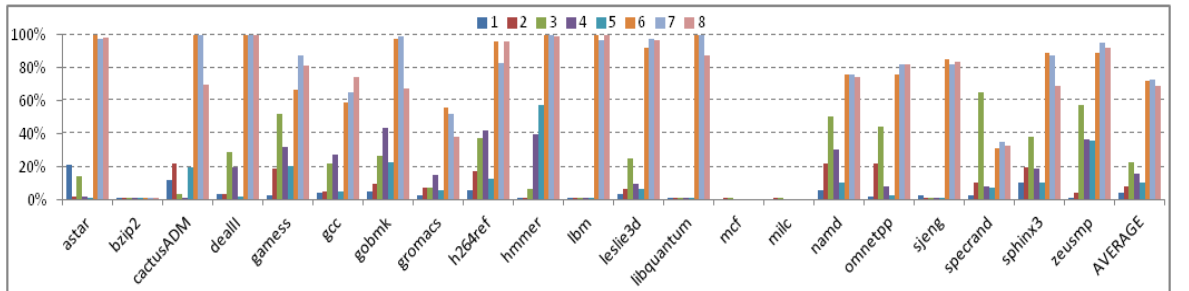
4.5.3 Çoklu İçerik Uyarlamalı Bit Hücresi Benzetim Sonuçları

Çoklu içerik uyarlamalı bit hücrelerinde içeriği uyarlanacak bit hücresinin değerinin komşuluklarında aynı olma oranlarının önemi anlatılmıştı ve bu oranlar her bir program için alınarak her bir program için ve ortalama enerji kazanımları gösterildi. Burada tekrar bu benzetim oranları verilmeyecek fakat burada tüm programlardan alınan 8 bitlik bir veri için içeriği uyarlanacak olan bit hücresinin değeri ile komşu bit hücrelerinin bit bit aynı değer gelme oranları gösterilecektir.

8 bitlik bir grupta en sağdaki bitin içeriği uyarlandığı durumda en sağdaki bit hücresinde 1 tutulma durumunda, her bir denek taşı veya program koşuturularak elde edilen komşu 7 bit hücresinde sırayla bit bit 1 tutulma oranları Şekil 4.20’de ve 0 tutulma oranları ise Şekil 4.21’de gösterilmektedir.



Şekil 4.20 1 baytta en sağdaki bit 0 olduğunda diğer her bir bit için 0 olma olasılıkları



Şekil 4.21 1 baytta en sağdaki bit 1 olduğunda diğer her bir bit için 1 olma olasılıkları

Sonuçlar, [60] ve [61]'de yapılan benzer çalışmanın sonuçlarına yakın çıkmıştır ve bir byte içinde üst bitlerde saklanan değerlerin alt bitin yüksek oranda birer tekrarlama veya kopyası olduğu görülmektedir.

5 SONUÇ VE DEĞERLENDİRME

Bu tez kapsamında, kendi içeriğine göre transistörlerinin alttaşlarına farklı bias gerilimleri uyarlayarak, kendi transistörlerinin eşik değer voltajlarını kendi değiştirebilen yeni bir SRAM bit hücresi tasarımı önerilmiştir. Önerilen bu İçerik Uyarlamalı CSRAM bit hücresi, içerisinde tuttuğu değere göre o durumda kapalı olan transistörlerinin bias gerilimlerini ayarlayarak ve böylece eşik değer voltajlarını daha yüksek hale getirerek bu transistörlerin sızdırma akımlarını azaltmakta ve sonuçta her durumda, hem 0 hem 1 saklanırken, durağan enerji kaybında azalma sağlanmaktadır.

Bazı üretim teknolojilerinde p-tipi alttaş üzerine serili nmos transistörlerinde, farklı gerilim seviyelerinde kutuplanmış alttaşlara izin verilmemekte ve izin verilen teknolojilerde ise üretimden gelen uzaklık kısıtları uygulamakta ve bu da alan maliyetine neden olmaktadır. Ayrıca nmos transistörler için gerekli negatif güç beslemesi devreleri de karmaşık yapıdadırlar. Bu sebeplerle sadece pmos transistörlerin bias gerilimleri değiştirilen Yalınlaştırılmış CSRAM Bit Hücreleri tasarlanmıştır.

Tez içerisinde Yalınlaştırılmış CSRAM için sunulan devre benzetimleri çıktıları incelendiğinde, CSRAM'in artan bias gerilimlerine bağlı olarak sızdırmayı azalttığı ve bias gerilimi olarak 2V ayarlandığında ise yaklaşık %35 oranında durağan enerji kaybını azalttığı görülmektedir. Gecikme maliyetinin ise uyarlanması uygun olan voltaj aralığında neredeyse yok olduğu görülmektedir. Alan maliyeti ise port sayısına bağlı olarak değişmektedir. Eğer çok portlu bir CSRAM yapısı varsa eklenen devrelerin alan maliyetleri giderek düşmekte ve 20 port civarında sıfırlanmaktadır. Düşük portlu, 2 portlu gibi, CSRAM yapısında ise %70'lere kadar alan maliyeti görülmektedir. Bunun için öncelikle pmos geçiş transistörlerinin serim üzerindeki

yeri deęiştirilerek iyileştirme yapılmıştır ve bununla alan maliyeti 12 portlu bir bit hücresi için anaçizgiye kıyasla %29.5'ten %23'e düşürülmüştür. Fakat hala yeterli olmadığı için daha kesim bir çözüm olan çoklu içerik uyarlama teknięi önerilmiştir.

Çoklu İçerik Uyarlamalı CSRAM için yapılan analize göre, alan maliyetinin 12 portlu bir SRAM bit hücresi anaçizgisiyle kıyaslandığında 2 bitlik gruplar için %14.5'a düşürülmesinin başarılıđı görülmüştür. Benzer şekilde alan maliyeti 4 bitlik gruplar için daha da düşerek %9.5 olmakta ve 8 bitlik gruplar için ise alan maliyetinde %6.8'e kadar bir düşüş görülmektedir. Gecikme maliyeti ise yine bit hücresi bazından bakıldığında zaten yalınlaştırılmış CSRAM ve SRAM bit hücrelerinden oluştuđu için görülmemektedir.

Alan maliyeti ile Enerji Kazanımı ödünleşiminin ilk ayađı başarılı olmuş ve kritikleşen ikinci ayađı için devre ve program benzetim sonuçları ile analiz edilmiştir. İçerięi uyarlanacak bir bit hücresinde saklanan bit deęerinin komşu bit hücrelerinin deęerleri ile aynı oldukları oranların her bir program için elde edilip bu oranların ortalaması alınarak elde edilen verilerin farklı bias gerilimlerinde yalınlaştırılmış CSRAM için bulunan sızdırma azaltma oranları ile çarpılması ile bulunan ortalama enerji kazanımları incelendiğinde 2 ve 4 bitlik gruplar için yalınlaştırılmış CSRAM deęerlerine yakın şekilde %35 oranlarında durađan enerji kaybında azalma sağlanmaktadır.

Dolayısı ile çoklu içerik uyarlama sayesinde hem alan maliyetinde ciddi düşüş sağlanırken hem de durađan enerji kaybından sağlanan kazançta çok az gerileme olmakta ve böylece CSRAM'in her durumda, farklı port sayılarında ve çeşitli işlemci bellek birimleri için başarı ile kullanılabileceęi anlaşılmaktadır.

5.1 Gelecek Çalışmalar

5.1.1 CSRAM Farklı Mimari Bileşenlerle Uygulamaları

Tez kapsamında daha çok yazmaç öbeği üzerinde duruldu ve benzetimler yazmaç öbeği üzerinden koşturuldu. Fakat özellikle son kısımda az portlu devreler için getirilen çözüm olan çoklu içerik uyarlamalı CSRAM yapısı ile bu tekniğin önbellek için de kullanılabileceği görüldü. Dolayısı ile gelecekte, önbellek için benzetim çıktıları alıp sonuçlarının değerlendirilmesi ve CSRAM'in önbellek üzerinde uygulanabilirliğinin gösterilmesi faydalı olacaktır.

Ayrıca yeniden adlandırma belleği, yeniden sıralama belleği gibi bellek çeşitleri içinde incelemeler yapılarak eğer gerekiyorsa devre düzeyinde iyileştirmeler yapılarak o bileşenler üzerinden benzetimler koşturularak bu bileşenlere de CSRAM'in uyarlanması ve uygulanabilirliğinin kanıtlanması üzerine çalışmalar planlanmaktadır.

5.1.2 CSRAM Farklı Tekniklerle Uygulamaları

CSRAM'in getirdiği alan maliyetlerine bir başka çözüm de CSRAM'i hibrit olarak ASRAM ile beraber yazmaç öbeğinde dar değerleri kullanarak uygulamaktır. Bunun için dar değerlerin istatistikleri çıkarılmalı, buradan çok fazla yüzdeyle dar değer olduğu belirli olan yapılara CSRAM diğerlerine ASRAM getirerek dar değerler daha az olduğu ve dar olmayan değerler için de (mesela içerik genel olarak 0 olmakta) ASRAM yeterli olabileceği için alan bakımından iyileştirilmiş ama durağan enerji kaybını azaltacak bir SRAM yapısı kurulması mantıklı ve faydalı bir çalışma olacaktır. İleriki çalışmalarda bu ve benzeri diğer var olan sızdırmaya karşı tedbirlerin CSRAM ile birlikte uygulandığı yeni tasarımların oluşturulması planlanmaktadır.

5.1.3 Farklı Amaçlar için CSRAM Uyarlamaları

CSRAM ve içerik uyarlamalı bit hücreleri mevcut SRAM bit hücreleri üzerine transistörlerin sızdırma akımlarından kaynaklı durağan enerji kaybını azaltmak için geliştirilmiştir ve bu sızdırma akımlarını azaltmak için eşik değer voltajı kullanılmaktadır. Eşik değer voltajı sızdırma akımlarının azaltılması haricinde gecikmenin azaltılması ve hataya karşı dayanıklılık gibi farklı iyileştirmeler için de kullanılabilir. Bu amaçla gelecekte mevcut bit hücrelerindeki gecikmelerin azaltılması için geliştirilen daha hızlı CSRAM ve içerik uyarlamalı bit hücreleri tasarımları ve aynı şekilde güvenilirliğin artırılması için daha kararlı ve hataya, özellikle geçici hatalara, karşı daha dayanıklı CSRAM bit hücreleri gibi farklı amaçlar için CSRAM uygulamaları üzerine çalışmalar planlanmaktadır.

5.1.4 İleri Teknolojilerde CSRAM Uygulamaları

Tez kapsamında, şu an için mevcut üretim teknolojilerinde ve 90nm UMC tasarım kiti kullanılarak serimler tasarlandı ve bunun üzerinden benzetimler koşturuldu. Fakat üretim teknolojisi boyut haricinde de değişmekte ve örneğin FINFET benzeri yeni transistör fiziksel tasarımları ortaya çıkmaktadır [62], [63]. Dolayısı ile burada uygulanan transistör seviyesinde yöntemler yeni geliştirilen teknolojilere uyarlanarak güncel ve uygulanabilir olması sağlanabilir.

Ayrıca şu an birçok yonga üreticisi tarafından kullanılmaya başlayan 3 Boyutlu Katman (3D Die) tekniği gibi yeni geliştirilen teknikleri ve teknolojileri CSRAM için kullanmak da CSRAM için maliyetlerin azaltılması, verimlilik ve uygulanabilirlik açısından CSRAM'i ileriye taşıyacaktır [64].

Bu çalışmalara bir örnek olarak, çoklu içerik uyarlamalı CSRAM yapısında bir içeriğe bağlı komşu hücrelerinin bias gerilimlerini sürmek için bit sayısına bağlı olarak uzayabilen bias gerilim telleri için 3B Katman Yığınlama (3D Die Stacking) tekniğinin ([64]) kullanımı verilebilir. Şöyle ki, mevcut teknolojide bit hücreleri serimi yan yana yapılmakta ve bit hücrelerinin genişliğinden dolayı bu hatlar

uzamaktadır. Fakat 3 boyutlu modellemeye geçilecek olursa, örneğin içeriği uyarlanacak 2 bitlik bir gruptaki bit hücresi komşu bit hücresinin yanına değil de üzerine katlanırsa o zaman sadece 2 katman arası bağlantılarla bias gerilimi sürülecek ve böylece buradaki sürme maliyeti veya diğer maliyetler azalacaktır.

Bu mantıkla, daha fazla komşuluklu bir Çoklu İçerik Uyarlamalı CSRAM bit hücresi için tüm komşu hücrelerin içeriği uyarlanacak hücreye en yakın olacak şekilde 3 boyutlu dizilimi ile 3 boyutlu bloklar halinde yeni SRAM tasarımları oluşturulabilir ve maliyetlerde daha da fazla azalma sağlanabilir. Benzer şekilde geçiş transistörlerini, eviricileri, satır ve sütun devrelerini taşıma gibi yeni 3D tasarımlar ile alan maliyetinde, güç tüketiminde ve diğer maliyetlerde azalma sağlanarak CSRAM daha verimli hale getirilebilir. Bu sebeplerle gelecekte, CSRAM'in farklı teknolojilere uyarlanması ve özellikle bu kısımda bahsedilen örnekler üzerine çalışmalar planlanmaktadır.

KAYNAKLAR

- [1] ITRS, International Technology Roadmap for Semiconductors 2011 Edition Executive Summary, ITRS Reports, 2012.
- [2] Hu, Chenming et al., MOSFET gate leakage modeling and selection guide for alternative gate dielectrics based on leakage considerations, IEEE Transactions on Electron Devices, 50(4), 1027-1035, Nisan 2003.
- [3] Weste, Neil H. E., Harris, David M., CMOS VLSI DESIGN 4th Edition, Addison-Wesley, 2011.
- [4] Bohr, M., Interconnect scaling-the real limiter to high performance VLSI, Proc. of Int. Electron Devices Meeting, 241-244, Washington, DC, Aralık 1995.
- [5] Chawla, B.R, Gummel, H.K., Transition region capacitance of diffused p-n junctions, IEEE Transactions on Electron Devices, 18(3), 178-195, 1971.
- [6] Suzuki, K., Parasitic capacitance of submicrometer MOSFET's, IEEE Transactions on Electron Devices, 46(9), 1895 - 1900, 1999.
- [7] Bulucea, C.D., Diffusion capacitance of p--n junctions and transistors, Electronics Letters, 4(25), 559 – 561, 1968.
- [8] Kang, S.-M., Leblebici, Y., CMOS Digital Integrated Circuits Analysis and Design 3rd edn. McGraw-Hill, 2003.
- [9] Yoo, Changsik, A CMOS Buffer Without Short-Circuit Power Consumption, IEEE Transactions On Circuits And Systems—II: Analog And Digital Signal Processing, 47(9), 2000.
- [10] Butzen, P. F., Ribas, R., Leakage Current in Sub-Micrometer CMOS Gates, Advanced Topics in VLSI Design Book Chapter, 2009.
- [11] Drazdziulis, M., Larsson-Edefors, P., A gate leakage reduction strategy for future CMOS circuits, Proceedings of the 29th European Solid-State Circuits Conference, ESSCIRC '03, 317-320, Estoril, Portugal, Eylül 2003.
- [12] Pedram, Massaud, Leakage Power Modelling and Minimization, International Conference on Computer Aided Design, ICCAD'04 Tutorial, San Jose, CA, USA, Kasım 2004.
- [13] Rohrer, N. et al., A 64-bit microprocessor in 130-nm and 90-nm technologies with power management features, IEEE Journal of Solid-State Circuits, Solid-State Circuits, 40(1), 19 – 27, 2005.
- [14] Chandrakasan, A. Bowhill, W., Fox, F., Design of High Performance Microprocessor Circuit, Wiley-IEEE Press, 2001.
- [15] Ahsan, B. et al., Eliminating Energy of Same-Content-Cell-Columns of On-Chip SRAM Arrays, Proceedings of the International Symposium on Low Power Electronics and Design, ISLPED'11, 181-186, Fukuoka, Japan, Ağustos 2011.
- [16] Shen, J., Lipasti, M., Modern Processor Design Fundamentals of Superscalar Processors, Beta Edition, McGraw-Hill, 2003.
- [17] Keeth, B., DRAM Circuit Design: Fundamental and High-Speed Topics, John Wiley & Sons, 2008.
- [18] Wang, G, Cheng, K., Ho, H., et al, A 0.127 μm^2 High Performance 65nm SOI Based embedded DRAM for on-Processor Applications, International Electron Devices Meeting, IEDM'06, 1-4, San Francisco, CA, Aralık 2006.

- [19] Kuriyama, H. et al., An 8 ns 4 Mb serial access memory, *IEEE Journal of Solid-State Circuits*, 26(4), 502 – 506, 1991.
- [20] Forstner, P., FIFO Architecture, Functions, and Applications, SCAA042A, Application Report, Texas Instruments (TI), 1999.
- [21] Pagiamtzis, K., Sheikholeslami, A., Content-Addressable Memory (CAM) Circuits and Architectures: A Tutorial and Survey, *IEEE Journal Of Solid-State Circuits*, 41(3), 712 – 727, 2006.
- [22] Kocerberber, O., 2009, Çağdaş Mikroişlemcilerde Veri Saklayan Bileşenlerin Sızdırmaya Bağlı Güç Tüketiminin Azaltılması, Y. L. Tezi, TOBB ETÜ Fen Bilimleri Enstitüsü, Ankara.
- [23] Sutherland, I., Sproul, B. F., Harris, D. L., Logical Effort: Designing Fast CMOS Circuits, Morgan Kaufman Publishers, Mayıs 1999.
- [24] Yoshimoto, M. et al., A divided word-line structure in the SRAM and its application to a 64K full CMOS RAM, *IEEE Journal of Solid-State Circuits*, 18(5), 479 – 485, 1983.
- [25] Kiyoo Itoh, B.S., Nakagome, Y., Kimura, S., Watanabe, T., Limitations and challenges of multigigabit DRAM chip design, *IEEE Journal of Solid-State Circuits*, 32(5), 624 – 634, 1997.
- [26] Sasaki, K. et al., A 23-ns 4-Mb CMOS SRAM with 0.2- μ A standby current, *IEEE Journal of Solid-State Circuits*, 25(5), 1075 - 1081, 1990.
- [27] B. Wicht, J.-Y. Languier, and D. Schmitt-Landsiedel, A 1.5V 1.7ns 4k x 32 SRAM with a fully-differential auto-power-down current sense amplifier, *International Solid-State Circuits Conf. Dig. Tech. Papers*, 1, 462–508, 2003.
- [28] Nambu H., Kanetani K., Yamasaki K., Higeta K., Usami M., Fu-jimura Y., K. Ando, Kusunoki, T., Yamaguchi, K., and Homma, N., A 1.8-ns access, 550-MHz, 4.5-Mb CMOS SRAM, *IEEE Journal of Solid-State Circuits*, 33(11), 1650–1658, 1998.
- [29] Patterson, David A., Hennessy John L., *Computer Architecture, 5th Edition: A Quantitative Approach*, Morgan Kaufman Publishers, Mart 2011.
- [30] Hinton G. et al., A 0.18-um CMOS IA-32 processor with a 4-GHz integer execution unit, *IEEE Journal of Solid-State Circuits*, 36(11), 1617 – 1627, 2001.
- [31] Saavedra, R.H., Smith, A.J., Measuring cache and TLB performance and their effect on benchmark runtimes, *IEEE Transactions on Computers*, 44(10), 1223 – 1235, 1995.
- [32] E. Safi, P. Akl, A. Moshovos, On the Latency and Energy of Checkpointed Superscalar Register Alias Tables, *IEEE Transactions on VLSI*, 18(3), 365 – 377, 2010.
- [33] Brooks, D., Martonosi, M., Dynamically exploiting narrow width operands to improve processor power and performance, *Proc. of 5th Int. High-Performance Computer Architecture, HPCA*, 13-22, Orlando , FL, USA, Ocak 1999.
- [34] Shieh W., Chen H., Saving Register-File Static Power by Monitoring Short-Lived Temporary Values in ROB, *13th Asia-Pacific Computer Systems Architecture Conference, ACSAC'08*, 1-8, Hsinchu, Taiwan, Ağustos 2008.
- [35] Cruz, J.-L., Gonzalez, A., Valero, M., Topham, N. P., Multiple-banked register file architectures, *Proc. of 27th International Symposium on Computer Architecture, Vancouver, ISCA*, 316 – 325, BC, Canada, Haziran 2000.

- [36] Hamzaoglu, F., Ye, Y., Keshavarzi, A., Zhang, K., Narendra, S., Borkar, S., Stan, M., and De, V., Dual V -SRAM cells with full-swing single-ended bit line sensing for high-performance on-chip cache in 0.13 m technology generation, Proc. of 2000 International Symposium on Low Power Electronics and Design, ISLPED'00, 15-19, Rapallo, Italy, Haziran 2000.
- [37] Assaderaghi, F., Sinitsky, D., Parke, S.A., Bokor, J., Ko, P.K., Hu, C., Dynamic Threshold-Voltage MOSFET (DTMOS) for Ultra-Low Voltage VLSI, IEEE Transactions on Electron Devices, 44(3), 414 – 422, 1997.
- [38] Bonnoit, A., et al., Integrating Dynamic Voltage/Frequency Scaling and Adaptive Body Biasing using Test-time Voltage Selection, International Symposium on Low Power Electronics and Design, ISLPED'09, San Francisco, California, USA, Ağustos 2009.
- [39] Chen T., and Naffziger, S., Comparison of Adaptive Body Bias (ABB) and Adaptive Supply Voltage (ASV) for Improving Delay and Leakage Under the Presence of Process Variation, IEEE Transactions on VLSI Systems, 11(5), 888 – 899, 2003.
- [40] Kubo, M., et al., A Threshold Voltage Controlling Circuit for Short Channel MOS integrated Circuits, IEEE International Solid State Circuits Conference, 54-55, Philadelphia, PA, USA, Şubat 1976.
- [41] Kuroda, T. et al., An 0.9-V, 150-MHz, 10-mW, 4 mm², 2-D Discrete Cosine Transform Core Processor with Variable Threshold-Voltage (VT) Scheme, IEEE Journal of Solid-State Circuits, 11(11), 1770–1779, 1996.
- [42] Kursun, V., and Friedman, E. G., Domino Logic With Variable Threshold Voltage Keper, IEEE Transactions on VLSI Systems, 11(6), 1080 – 1093, 2003.
- [43] Martin, S., M. et al., Combined Dynamic Voltage Scaling and Adaptive Body Biasing for Lower Power Microprocessors under Dynamic Workloads, IEEE/ACM International Conference on Computer Aided Design, ICCAD'02, 721-725, San Jose, CA, USA, Kasim 2002.
- [44] Miyazaki, M., Ono, G., and Ishibashi, K., A 1.2-GIPS/W Microprocessor Using Speed-Adaptive Threshold-Voltage CMOS with Forward Bias, IEEE Journal of Solid-State Circuits, 37(2), 210 – 217, 2002.
- [45] Srivasta A., and Zhang, C., An Adaptive Body-Bias Generator for Low Voltage CMOS VLSI Circuits, International Journal of Distributed Sensor Networks, 4(2), 213–222, 2008.
- [46] Tschanz, J. W. et al., Adaptive Body Bias for Reducing Impacts of Die-to-Die and Within-Die Parameter Variations on Microprocessor Frequency and Leakage, IEEE Journal of Solid-State Circuits, 37(11), 1396 – 1402, 2002.
- [47] Flautner, K. et al., Drowsy Caches: Simple Techniques for Reducing Leakage Power, Proc. of 29th Annual International Symposium on Computer Architecture, 148-157, Anchorage, AK, USA, Mayıs 2002.
- [48] Kumar, R., Hinton, G., A family of 45nm IA processors, IEEE International Solid-State Circuits Conference - Digest of Technical Papers, ISSCC'09, 58-59, San Francisco, CA, USA, Şubat 2009.
- [49] Abdollahi, A., Fallah, F., Pedram, M., A Robust Power Gating Structure and Power Mode Transition Strategy for MTCMOS Design, IEEE Transactions on VLSI Systems, 15(1), 80-89, 2007.

- [50] Agarwal, K., Nowka, K., Deogun, H., Sylvester, D., Power Gating with Multiple Sleep Modes, Proceedings of the 7th international Symposium on Quality Electronic Design, 5 pp. – 637, Washington DC, Mart 2006.
- [51] Shi, K., Howard, D., Sleep Transistor Design and Implementation - Simple Concepts Yet Challenges To Be Optimum, International Symposium on VLSI Design, Automation and Test, 1 – 4, Hsinchu, Taiwan, Nisan 2006.
- [52] Anis, M., Mahmoud, M., Elmasry, M., Areibi, S., Dynamic and leakage power reduction in MTCMOS circuits using an automated efficient gate clustering technique, Proceedings. 39th Design Automation Conference (DAC'02), 480 – 485, New Orleans, Louisiana, USA, Haziran 2002.
- [53] Azizi, N., Najm, F. N., Moshovos, A. Low-leakage asymmetric-cell SRAM, IEEE Transactions on VLSI Systems, 11(4), 701-715, 2003.
- [54] Moshovos, A., Falsafi, B., Najm, F. N., Azizi, N., A Case for Asymmetric-Cell Cache Memories, IEEE Transactions on VLSI Systems, 13(7), 877-881, 2005.
- [55] Borkar, S., Design challenges of technology scaling, IEEE Micro, 19(4), 23–29, 1999.
- [56] Koc, F., Simsek, O. S., Ergin, O., Content-Aware Bitcells to Reduce Static Energy Dissipation, IEEE 29th International Conference on Computer Design, ICCD'11, Amherst, MA, USA, Ekim 2011.
- [57] Nyathi, J., and Bero, B., Logic Circuits Operating in Subthreshold Voltages, Proc. of International Symposium on Low Power Electronics and Design, ISLPED'06, 131 – 134, Tergensee, Germany, Ekim 2006.
- [58] Sharkey, J. J., M-Sim: A Flexible, Multithreaded Architectural Simulation Environment, Technical Report CS-TR-05-DP01, Dept. of CS, SUNY - Binghamton, Ekim 2005.
- [59] Balasubramonian, R., Dwarkadas, S., and Albonesi, D., Reducing the Complexity of the Register File in Dynamic Superscalar Processor, Proc. of. 34th ACM/IEEE International Symposium on Microarchitecture, MICRO-34, 237 – 248, Austin, TX, USA, Aralık 2001.
- [60] Ergin, O., Balkan, D., Ghose, K., Ponomarev, D., Register Packing: Exploiting Narrow-Width Operands for Reducing Register File Pressure, 37th International Symposium on Microarchitecture, MICRO-37, Portland, OR, USA, Aralık 2004.
- [61] Lipasti, M., Mestan, B.R., Gunadi, E., Physical Register Inlining, Proceedings. 31st Annual International Symposium on Computer Architecture, ISCA'04, 325 – 335, Munchen, Germany, Haziran 2004.
- [62] Choi, Y. K., Lindert, N., Tang P. X., Ha D., Anderson, E., King T., Bokor, J, Hu C., Sub-20 nm CMOS FinFET Technologies, International Electron Devices Meeting, IEDM '01, 19.1.1 - 19.1.4, Washington, DC, USA, Aralık 2001.
- [63] Guo, Z., Balasubramanian, S., Zlatanovici, R., King, T., Nikolic, B., FinFET-based SRAM design, Proceedings of the 2005 International Symposium on Low Power Electronics and Design, ISLPED '05, 2 – 7, San Diego, California, USA, Ağustos 2005.
- [64] Loh, Gabriel H., Xie, Y., Black, B., Processor Design in 3D Die-Stacking Technologies, Micro, IEEE, 27(3), 31 – 48, 2007.

ÖZGEÇMİŞ

Kişisel Bilgiler

Soyadı, adı : KOÇ, Fahrettin
Uyruğu : T.C.
Doğum tarihi ve yeri : 11.08.1989 Afyonkarahisar
Medeni hali : Bekar
Telefon : 0 (312) 590 90 78
E-mail : fahrettin.koc@tubitak.gov.tr

Eğitim

Derece	Eğitim Birimi	Mezuniyet tarihi
Lisans	TOBB Ekonomi ve Teknoloji Üniversitesi	2011

İş Deneyimi

Yıl	Yer	Görev
04.13-	TÜBİTAK SAGE	Sistem Mühendisi
04.10-05.11	Yumruk Uzay Savunma Sist.	Elektronik Mühendisi
05.11-08.11	Kasırga Bilişim Sist.	Stajyer Mühendis
09.09-12.09	Kasırga Bilişim Sist.	Stajyer Mühendis
09.08-12.08	Apsis Kontrol Sist.	Stajyer Mühendis

Yabancı Dil

İngilizce, Almanca

Yayımlar

Koc, F., Bozdas, K., Karsli, B., Ergin, O., Exploiting Replicated Checkpoints for Soft Error Detection and Correction, Design, Automation & Test in Europe Conference & Exhibition (DATE), Grenoble, France, Mart 2013.

Kayaalp, M., Koc, F., Ergin, O., Exploiting Bus Level and Bit Level Inactivity for Preventing Wire Degradation due to Electromigration, Digital System Design (DSD), 15th Euromicro Conference on, İzmir, Türkiye, Eylül 2012.

Kayaalp, M., Koc, F., Ergin, O., Improving the Reliability of the Register File against Soft Errors Using SRAM Bitcells with Built-in Comparators, Digital System Design (DSD), 15th Euromicro Conference on, İzmir, Türkiye, Eylül 2012.

Koc, F., Simsek, O. S., Ergin, O., Content-Aware Bitcells to Reduce Static Energy Dissipation, IEEE 29th International Conference on Computer Design, ICCD'11, Amherst, MA, USA, Ekim 2011.

Koc, F., Bozdas, K., Karsli, B., Ergin, O., Exploiting Existing Redundancy in Checkpointed Register Alias Tables for Soft Error Detection and Correction, HIPEAC ACACES Poster Session, Fiuggi, İtalya, Temmuz 2012

Kasnakoglu et al, Loss of Control Surface Balancing for Unmanned Aerial Vehicles and Automatic Flight and Landing System Design which can work in side wind conditions, TOK'10, İstanbul, Türkiye, 2010