

TOBB EKONOMİ VE TEKNOLOJİ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

**JOSEPHSON-CMOS HİBRİT BELLEK SİSTEMLERİ İÇİN TEK AKI
KUANTUM TABANLI BELLEK KONTROL BİRİMİ TASARIMI VE
GERÇEKLENMESİ**

YÜKSEK LİSANS TEZİ

Seda DEMİRHAN

Elektrik ve Elektronik Mühendisliği Anabilim Dalı

Tez Danışmanı: Doç. Dr. Ali BOZBEY

AĞUSTOS 2019

Fen Bilimleri Enstitüsü Onayı

.....
Prof. Dr. Osman EROĞUL
Müdür

Bu tezin Yüksek Lisans derecesinin tüm gereksinimlerini sağladığını onaylarım.

.....
Doç. Dr. Tolga GİRİCİ
Anabilim Dalı Başkanı

TOBB ETÜ, Fen Bilimleri Enstitüsü'nün 161211099 numaralı Yüksek Lisans Öğrencisi **Seda DEMİRHAN**'ın ilgili yönetmeliklerin belirlediği gerekli tüm şartları yerine getirdikten sonra hazırladığı "**JOSEPHSON-CMOS HİBRİT BELLEK SİSTEMLERİ İÇİN TEK AKI KUANTUM TABANLI BELLEK KONTROL BİRİMİ TASARIMI VE GERÇEKLENMESİ**" başlıklı tezi **08.08.2019** tarihinde aşağıda imzaları olan jüri tarafından kabul edilmiştir.

Tez Danışmanı: **Doç. Dr. Ali BOZBEY**
TOBB Ekonomik ve Teknoloji Üniversitesi

Jüri Üyeleri: **Prof. Dr. Mehmet Efe ÖNDER (Başkan)**
Hacettepe Üniversitesi

Prof. Dr. Oğuz ERGİN
TOBB Ekonomi ve Teknoloji Üniversitesi

TEZ BİLDİRİMİ

Tez içindeki bütün bilgilerin etik davranış ve akademik kurallar çerçevesinde elde edilerek sunulduğunu, alıntı yapılan kaynaklara eksiksiz atıf yapıldığını, referansların tam olarak belirtildiğini ve ayrıca bu tezin TOBB ETÜ Fen Bilimleri Enstitüsü tez yazım kurallarına uygun olarak hazırlandığını bildiririm.

Seda Demirhan

ÖZET

Yüksek Lisans

JOSEPHSON-CMOS HİBRİT BELLEK SİSTEMLERİ İÇİN TEK AKIKUANTUM TABANLI BELLEK KONTROL BİRİMİ TASARIMI VE GERÇEKLENMESİ

Seda Demirhan

TOBB Ekonomi ve Teknoloji Üniversitesi
Fen Bilimleri Enstitüsü
Elektrik ve Elektronik Mühendisliği Anabilim Dalı

Danışman: Doç. Dr. Ali Bozbey

Tarih: Ağustos 2019

Tek Akı Kuantum (Single Flux Quantum, SFQ) dijital devreleri, düşük güç tüketimi ile yüksek frekansta çalışma olanağı sunduğu için CMOS entegre devrelerine alternatif olarak geliştirilmiştir. Ancak SFQ devrelerinin düşük entegrasyon yoğunluğu ve düşük sürüş kabiliyeti nedeniyle, sadece SFQ devreleri kullanılarak geniş çaplı hafızaları gerçekleştirmek zordur. Yüksek hızlı, düşük güç tüketimli SFQ devrelerini ve yüksek yoğunluklu CMOS hafızalarını hibritleyen Josephson-CMOS hibrit bellek, RSFQ dijital sistemlerindeki büyük ölçekli bellek sorununa bir çözüm olarak sunulmuştur. Bu çalışmada, Josephson-CMOS hibrit bellek sistemleri için 10 GHz saat frekansına kadar çalışabilen SFQ tabanlı bellek kontrol birimi tasarlanmıştır. Bellek kontrol birimi, SFQ devresi ile SRAM modülü arasında CMOS/SFQ arayüzü olarak görev yapar ve SRAM okuma ve yazma işlemleri için gereken dalga formlarını oluşturur. Devre 4 bit veri ve 2 bit adres hatlarına sahiptir. Ancak, tasarım daha büyük belleklere ölçeklenebilir. Tasarlanan devreler, AIST-STP2 standart üretim süreci ile üretilerek devrelerin çalışması doğrulanmıştır.

Anahtar Kelimeler: Tek akı kuantum, Josephson-CMOS hibrit bellekleri, Josephson-CMOS arayüzü, Bellek kontrol birimi.

ABSTRACT

Master of Science

DESIGN AND IMPLEMENTATION OF A SINGLE FLUX QUANTUM BASED MEMORY CONTROLLER FOR JOSEPHSON-CMOS HYBRID MEMORY SYSTEMS

Seda Demirhan

TOBB University of Economics and Technology
Institute of Natural and Applied Sciences
Department of Electrical and Electronics Engineering

Supervisor: Doç. Dr. Ali Bozbey

Date: August 2019

Single Flux Quantum (SFQ) digital circuits which are capable of high-speed operation with low-power consumption have been developed as an alternative to CMOS integrated circuits. Unfortunately, because of the low integration density and low driving capability of SFQ circuits, realizing large-scale memories by using only SFQ circuits is still a challenge. Josephson-CMOS hybrid memory hybridizing high-speed, low power SFQ circuits and high-density CMOS memories is already proposed as a solution to the large-scale memory problem in RSFQ digital systems. In this study, an SFQ based memory control unit which works up to 10 GHz clock frequencies is designed for Josephson-CMOS hybrid memory systems. The memory controller acts as a CMOS/SFQ interface between the SFQ circuit and SRAM module and generates the required waveforms for SRAM read and write operations. The circuit has 4-bit data and 2-bit address lines. However, the design is scalable to larger memories. The designed circuits have been fabricated with AIST-STP2 standard production process and operations of the circuits are verified.

Keywords: Single flux quantum, Josephson-CMOS hybrid memories, Josephson-CMOS interface, Memory controller

TEŐEKKÜR

Çalıőmalarım boyunca deęerli yardım ve katkılarıyla beni yönlendiren hocam Doç. Dr. Ali BOZBEY'e, yüksek lisans eęitimim boyunca bana burs saęladığı için TOBB TOBB Ekonomi ve Teknoloji Üniversitesi'ne, kıymetli tecrübelerinden faydalandığım TOBB Ekonomi ve Teknoloji Üniversitesi Elektrik ve Elektronik Mühendisliği Bölümü öğretim üyelerine, yardımlarını esirgemeyen tüm asistan arkadaşlarıma, destekleriyle her zaman yanımda olan aileme ve beni bu süreçte yalnız bırakmayan Ozan DEMİR'e çok teşekkür ederim.

Yapılan çalıőmalar, 117E816 no'lu TÜBİTAK projesi kapsamında desteklenmiş olup, desteęinden dolayı TÜBİTAK'a teşekkür ederim.

İÇİNDEKİLER

Sayfa

ÖZET	iv
ABSTRACT	v
TEŞEKKÜR	vi
İÇİNDEKİLER	vii
ŞEKİL LİSTESİ	ix
ÇİZELGE LİSTESİ	xii
KISALTMALAR	xiii
SEMBOL LİSTESİ	xiv
1. GİRİŞ	1
1.1 Süperiletkenlik	2
1.1.1 Josephson eklemi	8
1.1.2 SQUIDs	10
1.2 Rapid Single Flux Quantum (RSFQ)	12
1.3 Tezde Kullanılan RSFQ Mantık Kapıları.....	13
1.3.1 Josephson iletim hattı (JTL).....	14
1.3.2 Ayırıcı hücre (SPL)	14
1.3.3 Ayırıcı hücre (SPL)	15
1.3.4 D flip-flop devresi (DFF).....	16
1.3.5 Ve kapısı (AND)	18
1.3.6 Veya kapısı (OR)	19
1.3.7 Değil kapısı (NOT)	20
1.3.8 DC/SFQ ve SFQ/DC çevirici	21
1.4 Tezde Kullanılan Simülatörler	23
1.4.1 Verilog-XL simülatörü.....	24
1.4.2 JSIM simülatörü	24
1.5 Tezde Kullanılan Yonga Üretim Yöntemi	26
2. DENEY DÜZENİ	29
3. KONTROL BİRİMİ TASARIMI	31
3.1 Çalışmanın Amacı	31
3.2 Kontrol Biriminin CMOS Mantık Kapıları Kullanılarak Tasarlanması.....	32
3.2.1 CMOS kontrol biriminin bellekten veri okuyan devresinin tasarımı.....	32
3.2.2 CMOS kontrol biriminin belleğe veri yazan devresinin tasarımı	35
3.2.3 CMOS kontrol biriminin belleğe veri yazan devresinin tasarımı	37
3.3 Kontrol Biriminin Bellekten Veri Okuyan ve Belleğe Veri Yazan Devrelerinin SFQ Mantık Kapıları Kullanılarak Tasarlanması.....	40
3.3.1 SFQ kontrol biriminin bellekten veri okuyan devresinin tasarımı.....	40
3.3.2 SFQ kontrol biriminin belleğe veri yazan devresinin tasarımı	43
3.3.3 SFQ kontrol biriminin bellekten veri okuyan ve belleğe veri yazan devreleri için tasarlanan modüller	45
3.3.3.1 Sayaç modülü	45

3.3.3.2CMOS/SFQ arayüz modülü	47
3.3.3.3SFQ/CMOS veri arayüz modülü	49
3.3.3.4SFQ/CMOS adres arayüz modülü	51
3.3.3.5Kontrol sinyal üretici modül	52
3.3.4SFQ kontrol biriminin bellekten veri okuyan devresinin simülasyon sonuçları	54
3.3.5SFQ kontrol biriminin belleğe veri yazan devresinin simülasyon sonuçları.....	55
3.4Bellekten Veri Okuyan ve Belleğe Veri Yazan Devreler Birleştirilerek Kontrol Biriminin Tasarlanması	56
3.4.1Kontrol birimi devre modülleri	60
3.4.1.1Sayaç modülü	60
3.4.1.2CMOS/SFQ arayüz modülü	60
3.4.1.3SFQ/CMOS veri arayüz modülü	61
3.4.1.4SFQ/CMOS adres arayüz modülü	62
3.4.1.5Kontrol sinyal üretici modülü	62
3.4.2Kontrol biriminin simülasyon ve deneysel sonuçları	64
4. SONUÇ VE ÖNERİLER.....	71
KAYNAKLAR.....	73
ÖZGEÇMİŞ.....	79

ŞEKİL LİSTESİ

Sayfa

Şekil 1.1: Civa elementinin sıcaklık (K)-direnç (Ω) eğrisi [20].....	3
Şekil 1.2: Süperiletken materyallerinin buldukları yıla göre T_C değerleri [20]......	3
Şekil 1.3: Manyetik alan, akım yoğunluğu ve sıcaklık değerlerine bağlı olarak süperiletken olma durumu.....	4
Şekil 1.4: Meissner etkisi [23].	5
Şekil 1.5: (a) $T > T_C$ durumunda manyetik alana maruz bırakılan halkanın, $T < T_C$ durumunda manyetik alanın halka içerisine nüfuz etmemesi. (b) Manyetik alanın kaldırılması ile delikten geçen manyetik akının hapsedilmesi ve indüklenen akım [24].	6
Şekil 1.6: Süperiletken halka içindeki manyetik alanın kuantizasyonu. (a) kuantize olmama durumu. (b) kuantize durum [26].	7
Şekil 1.7: Josephson Ekleme [33].	8
Şekil 1.8: Josephson Ekleme akım-gerilim grafiği [34].	9
Şekil 1.9: Josephson Ekleminin devre modeli [35].	10
Şekil 1.10: DC SQUID'in şematik gösterimi [37].	11
Şekil 1.11: Manyetik akı uygulandığında DC-SQUID üzerinde indüklenen akım ve halka üzerindeki akının değişimi.	11
Şekil 1.12: DC-SQUID'in I-V grafiği ve çıkış terminalindeki gerilim.	12
Şekil 1.13: Akım ile beslenen Josephson eklemesinin I-V grafiği.	13
Şekil 1.14: JTL hücresinin şematik gösterimi.	14
Şekil 1.15: SPL hücresinin şematik gösterimi.	15
Şekil 1.16: MERGER hücresinin şematik gösterimi.	16
Şekil 1.17: DFF hücresinin şematik gösterimi.	17
Şekil 1.18: DFF hücresinin Moore diyagramı [50].	17
Şekil 1.19: DFFE hücresinin Moore diyagramı [50].	18
Şekil 1.20: AND hücresinin Moore diyagramı [50].	19
Şekil 1.21: AND hücresinin şematik gösterimi.	19
Şekil 1.22: OR hücresinin Moore diyagramı [50].	20
Şekil 1.23: OR hücresinin şematik gösterimi.	20
Şekil 1.24: Değil hücresinin Moore diyagramı [50].	21
Şekil 1.25: Değil hücresinin şematik gösterimi.	21
Şekil 1.26: DC-SFQ çevirici devresinin giriş/çıkış gerilim grafiği.	22
Şekil 1.27: DC-SFQ çevirici devresinin şematik gösterimi.	22
Şekil 1.28: SFQ-DC çevirici devresinin giriş/çıkış gerilim grafiği.	23
Şekil 1.29: SFQ-DC çevirici devresinin şematik gösterimi.	23
Şekil 1.30: OR hücresinin Verilog-XL simülasyonu.	24
Şekil 1.31: OR hücresinin netlisti.	25
Şekil 1.32: OR hücresinin JSIM simülasyonu.	25
Şekil 1.33: Üretim yöntemlerinin özellikleri.	26
Şekil 1.34: Üretim katmanlarının yandan kesiti [63].	27

Şekil 2.1: Dijital devre test sisteminin blok diyagramı.	29
Şekil 3.1: SFQ-CMOS hibrit bellek sistemleri için kontrol birimi tasarımının genel gösterimi.	31
Şekil 3.2: AS6C1008 okuma dalga formu.	33
Şekil 3.3: Kontrol biriminin okuma devresine ait blok diyagramı.	34
Şekil 3.4: SRAM okuma devresinin mantık kapıları ile tasarımı.	34
Şekil 3.5: AS6C1008 yazma dalga formu.	35
Şekil 3.6: Kontrol biriminin yazma devresine ait blok diyagramı.	36
Şekil 3.7: SRAM yazma devresinin mantık kapıları ile tasarımı.	36
Şekil 3.8: SRAM okuma işlemi için simülasyon sonucu.	37
Şekil 3.9: SRAM yazma işlemi için simülasyon sonucu.	38
Şekil 3.10: SRAM okuma ve yazma işlemi için test kurulumu.	38
Şekil 3.11: SRAM okuma işlemi Chipscope ILA sonucu.	39
Şekil 3.12: SRAM yazma işlemi Chipscope ILA sonucu.	40
Şekil 3.13: Okuma devresinin blok şema ve giriş/çıkış sinyal bilgisi.	40
Şekil 3.14: 8-bit okuma devresinin şematik gösterimi.	41
Şekil 3.15: 8-bit okuma devresinin yonga üzerindeki gösterimi.	42
Şekil 3.16: 8-bit Okuma devresinin analog simülasyon sonucu. (a) Okuma devresi girişleri. (b) Okuma devresi çıkışları. SFQ darbe süresi ps mertebelerinde olduğu için büyütülmüş hali sunulmuştur. (Addr="00", Wdata_in="10110110", Ready='1', Start='1')	42
Şekil 3.17: Yazma devresinin blok şema ve giriş/çıkış sinyal bilgisi.	43
Şekil 3.18: 8-bit yazma devresinin şematik gösterimi.	44
Şekil 3.19: 8-bit yazma devresinin yonga üzerindeki gösterimi.	44
Şekil 3.20: 8-bit yazma devresinin analog simülasyon sonucu. (a) Yazma devresi girişleri. (b) Yazma devresi çıkışları. SFQ darbe süresi ps mertebelerinde olduğu için büyütülmüş hali sunulmuştur. (Addr="01", Wdata_in="11010110", Ready='1', Start='1')	45
Şekil 3.21: Sayaç modülünün blok şema gösterimi.	46
Şekil 3.22: Sayaç modülü ekleme/çıkarma devresi.	46
Şekil 3.23: Sayaç modülü devresinin şematik gösterimi.	47
Şekil 3.24: Sayaç modülü devresinin yonga üzerindeki gösterimi.	47
Şekil 3.25: CMOS/SFQ arayüz devresinin blok şema gösterimi.	48
Şekil 3.26: 8-bit CMOS/SFQ arayüz devresinin şematik gösterimi.	48
Şekil 3.27: 8-bit CMOS/SFQ arayüz devresinin yonga gösterimi.	49
Şekil 3.28: SFQ/CMOS veri arayüz devresinin blok şema gösterimi.	49
Şekil 3.29: 8-bit SFQ/CMOS veri arayüz devresinin şematik gösterimi.	50
Şekil 3.30: 8-bit CMOS/SFQ arayüz devresinin yonga gösterimi.	51
Şekil 3.31: 2-bit SFQ/CMOS adres arayüz devresinin şematik gösterimi.	52
Şekil 3.32: 2-bit SFQ/CMOS adres arayüz devresinin yonga gösterimi.	52
Şekil 3.33: Kontrol Sinyal Üretici Modülün blok şema gösterimi.	53
Şekil 3.34: 8-bit bellekten veri okuyan devrenin dijital simülasyon sonucu.	54
Şekil 3.35: 8-bit belleğe veri yazan devrenin dijital simülasyon sonucu.	56
Şekil 3.36: Kontrol Biriminin şematik gösterimi.	58
Şekil 3.37: Kontrol Biriminin yonga üzerindeki gösterimi.	58
Şekil 3.38: Belleğe veri yazan devrenin analog simülasyon sonucu. (a) Yazma devresi girişleri. (b) Yazma devresi çıkışları. (Addr="11", Wdata_in="1110", W_r='1', Ready='1', Start='1')	59

Şekil 3.39: Bellekten veri okuyan devrenin analog simülasyon sonucu. (a) Okuma devresi girişleri. (b) Okuma devresi çıkışları. (Addr="11", Rdata_in="0111", W_r='0', Ready='1', Start='1')	59
Şekil 3.40: 4-bit CMOS/SFQ Arayüz Modülü şematik gösterimi.	60
Şekil 3.41: 4-bit CMOS/SFQ Arayüz Modülü yonga gösterimi.	61
Şekil 3.42: 4-bit SFQ/CMOS Veri Arayüz Modülü şematik gösterimi.	61
Şekil 3.43: 4-bit SFQ/CMOS Veri Arayüz Modülü yonga gösterimi.	62
Şekil 3.44: Ce ve Ce2 sinyallerinin dalga formunu oluşturan tasarımın blok şema gösterimi.	62
Şekil 3.45: We ve Oe sinyallerinin dalga formunu oluşturan tasarımın blok şema gösterimi.	63
Şekil 3.46: Kontrol biriminin yazma işlemine ait dijital simülasyon sonucu.	65
Şekil 3.47: Kontrol biriminin yazma işlemine ait dijital test sonucu. (a) Yazma devresi girişleri. (b) Yazma devresi çıkışları. (Addr="11", Wdata_in="1110", W_r='1', Ready='1', Start='1')	66
Şekil 3.48: AS6C1008 belleğin yazma dalga formu. b) Kontrol biriminin yazma işlemine ait analog simülasyon sonucu. c) Kontrol biriminin yazma işlemine ait dijital test sonucu	66
Şekil 3.49: Kontrol biriminin okuma işlemine ait dijital simülasyon sonucu.	67
Şekil 3.50: Kontrol biriminin okuma işlemine ait dijital test sonucu. (a) Okuma devresi girişleri. (b) Okuma devresi çıkışları. (Addr="11", Rdata_in="1111", W_r='0', Ready='1', Start='1')	68
Şekil 3.51: AS6C1008 belleğin okuma dalga formu. b) Kontrol biriminin okuma işlemine ait analog simülasyon sonucu. c) Kontrol biriminin okuma işlemine ait dijital test sonucu.	69

ÇİZELGE LİSTESİ

Sayfa

Çizelge 1.1: AIST STP2'in katman özellikleri [63].	27
Çizelge 3.1: AS6C1008 giriş/çıkış sinyal bilgisi.	32
Çizelge 3.2: Kontrol biriminin okuma devresine ait giriş/çıkış sinyal bilgisi.	34
Çizelge 3.3: Kontrol biriminin yazma devresine ait giriş/çıkış sinyal bilgisi.	36
Çizelge 3.4: Kontrol birimi ile SRAM arasındaki giriş/çıkış sinyal bilgisi.	39



KISALTMALAR

CB	: MERGER Kapısı
CLK	: Clock (Saat Darbesi)
CMOS	: Complementary Metal Oxide Semiconductor (Bütünleyici Metal Oksit Yarı İletken)
DC	: Direct Current (Doğru Akım)
DFF	: D Flip Flop (Delay Flip Flop) Kapısı
H_c	: Critical Magnetic Field (Kritik Manyetik Alan)
I_B	: Bias Current (Besleme Akımı)
I_c	: Critical Current (Kritik Akım)
IBUF	: Input Buffer (Girdi Tamponu)
JJ	: Josephson Junction (Josephson Ekleme)
JTL	: Josephson Transmission Line (Josephson İletim Hattı)
OBUF	: Output Buffer (Çıktı Tamponu)
RTL	: Register Transfer Level (Yazmaç Transfer Seviyesi)
RSFQ	: Rapid Single Flux Quantum (Hızlı Tek Akı Kuantumu)
SFQ	: Single Flux Quantum (Tek Akı Kuantumu)
SPL	: Splitter (Ayrıcı) Kapısı
T_c	: Critical Temperature (Kritik Sıcaklık)
VHDL	: VHSIC (Very High Speed Integrated Circuit) Hardware Description Language (yüksek hızlı tümleşik devreler için donanım tanımlama dili)

SEMBOL LİSTESİ

Bu çalışmada kullanılmış olan simgeler açıklamaları ile birlikte aşağıda sunulmuştur.

Simgeler

Açıklama

A	Akım Birimi (Ampere)
e	Elektron Yüğü
f	Frekans
L	İndüktans
n	Nano
p	Piko
μ	Mikro
m	Mili
m	Metre
Φ	Akı Kuantası
\hbar	Plank sabiti
δ	İki Süperiletken Katmandaki Elektrotların Faz Farkı
Ψ	Makroskopik Dalga fonksiyonu Sembolü
I	Akım
s	Saniye
t	Zaman
T	Sıcaklık
V	Potansiyel Fark (Voltaj)
τ	Dalganın Sönümlenme Zaman Sabiti
A	Akım Birimi (Ampere)
e	Elektron Yüğü

1. GİRİŞ

Günümüzde, yüksek hızlı ve düşük güç tüketimli bilgisayarlara olan ihtiyaçtan dolayı Bütünleyici Metal Oksit Yarı İletken (CMOS) ve silikon teknolojilerine alternatif olabilecek mantık aileleri araştırılmaktadır. Hızlı tek akı kuantumu (RSFQ) teknolojisi ve büyük ölçekli süperiletken entegrasyonu alanındaki son gelişmeler, karmaşık RSFQ devrelerini ve yüksek sayıda Josephson eklemi olan yapıları bir çipte üretmemize olanak sağlamaktadır [1], [2]. Bu gelişmeler, MOSFET'lerden daha az güç tüketen ve nispeten daha yüksek frekansta çalışan mantık devreleri geliştirmeye yol açmaktadır [3]-[5]. Büyük ölçekli bilgisayarlardaki güç tüketimi, CMOS devrelerinin bilgi işlem gücünü ve ölçeklenebilirliğini sınırlayan önemli bir sorundur. Yapılan araştırmalar, Amerika Birleşik Devletleri veri merkezlerinin enerji tüketiminin 2020 yılına kadar 72 Terawatt'tan 176 TW'ye yükseleceğini tahmin etmektedir [6]. Bu hesaplamalı veri merkezlerinin enerji tüketimi azaltılarak, her yıl 15 milyar dolara kadar tasarruf sağlanabilmektedir.

Josephson etkisiyle oluşturulan süperiletken mantık devreleri, geleneksel MOSFET'lerden çok daha hızlı anahtarlanmakta ve yaklaşık 1000 kat daha az enerji tüketmektedir. Süperiletkenler, 10K sıcaklığın altında çalışan soğutma sistemlerine ihtiyaç duymaktadır. Bununla birlikte, tüm veri merkezlerinde zaten soğutucu bulunduğundan bu durum çokta elverişsiz olmamaktadır. RSFQ devreleri çok yüksek hızlarda çalışmakla birlikte bazıları 770 GHz hızına kadar çalışma imkanı sunmaktadır [7]. RSFQ teknolojisi temel problemleri, kompakt ve ölçeklenebilir SFQ tabanlı bellek eksikliği ve henüz CMOS işlemleri kadar gelişmiş olmayan üretim sürecidir[8], [9]. Bu yüzden süperiletken dijital teknolojisinde yeterli kapasiteye ve yüksek hıza sahip bellek, uzun süreli problem olarak görülmektedir [10]. Şu ana kadar en yüksek kapasiteli SFQ bellek sadece 4 kB'dır [11]. Kısa vadede, SFQ dijital sistemlerdeki bellek probleminin üstesinden gelme potansiyeline sahip CMOS-SFQ hibrit bellek, yüksek hızlı ve düşük güç tüketimli SFQ devrelerini ve yüksek yoğunluklu CMOS dijital devrelerini birlikte kullanmaktadır. Teknolojik olarak oturmuş, yüksek yoğunluğa sahip CMOS bellek teknolojilerinin SFQ devreleri ile birlikte kullanımı, her iki teknolojinin avantajlarından yararlanmaya olanak

vermektedir. Ayrıca, CMOS devrelerinin kriyojenik sıcaklıklarında çalıştırıldığının gösterilmiş olması da SFQ-CMOS hibrit belleğin uygulanabilirliği konusunda umut vadeden sonuçlardandır [12]-[16].

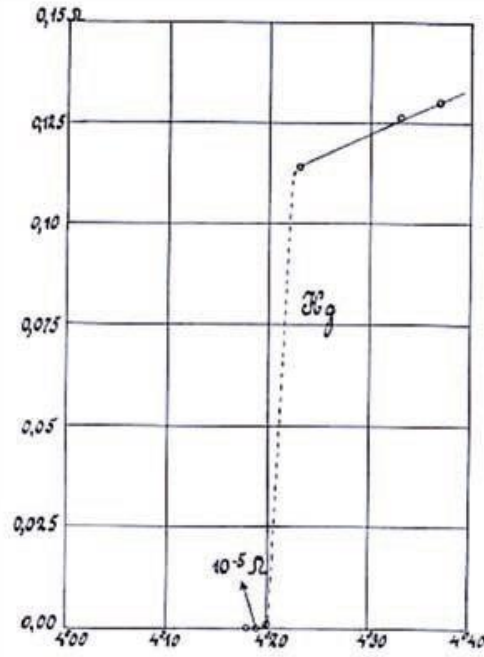
Bu çalışmada, Josephson-CMOS hibrit belleği için SFQ tabanlı CMOS kontrol birimi tasarımı yapılmıştır. Tasarlanan kontrol birimi maksimum 10 GHz saat frekansı ile yüksek hızda çalışma imkanı sunmaktadır. SFQ mikroişlemci ile CMOS belleğin arasındaki çift taraflı veri akışını sağlayan SFQ tabanlı kontrol birimi, CMOS mantığı ile uyumlu olacak şekilde tasarlanmıştır. SFQ/CMOS arayüz işlevinide gören kontrol birimi SRAM'i okumak veya yazmak için gerekli dalga formlarını üretmektedir. Ölçeklenebilir bir şekilde tasarlanan kontrol birimi çok küçük değişiklikler ile farklı SRAM'ler için kullanılabilir. Aynı şekilde saat frekansı ile çalışan kontrol biriminin saat frekansı değiştirilerek farklı SRAM'ler ile veri alış verişi sağlanabilmektedir. Kontrol birimi simülasyon aşamasında 8-bit veri ve 2-bit adres sinyalinden, üretim aşamasında 4-bit veri ve 2-bit adres sinyalinden oluşmaktadır. Fonksiyonel test aşamasındaki sinyal kısıtından dolayı 8-bit veri 4-bit olarak azaltılmıştır. Tasarlanan SFQ tabanlı kontrol birimi, Advance Institute of Science and Technology (AIST) tarafından STP2 teknolojisi ile üretilmiştir [17], [18].

1.1 Süperiletkenlik

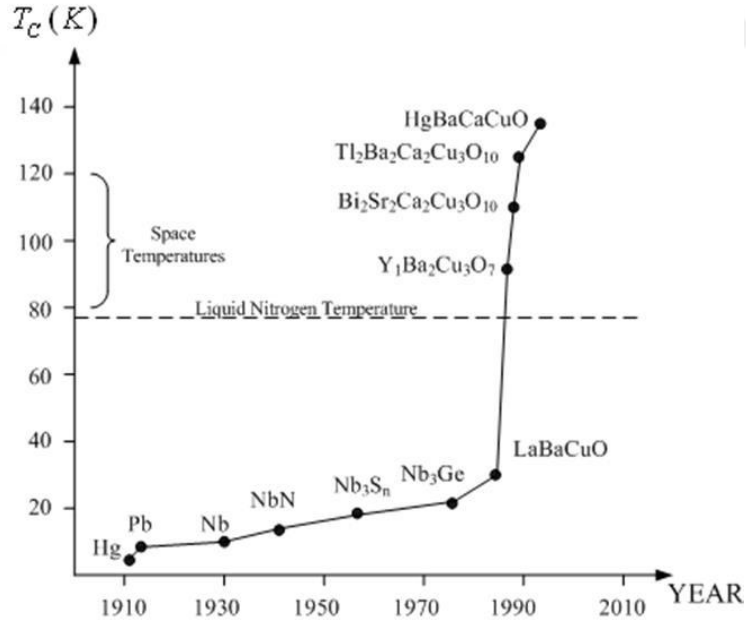
1911 yılında Hollandalı Heike Kamerlingh Onnes adında bir bilim adamı, civa elementinin (Hg) sıcaklığının 4.2K'nın (sıvı Helyum sıcaklığının) altına düşmesi halinde DC direncinin aniden sıfıra düştüğünü tespit etti. Dirençte meydana gelen bu değişim, "Süperiletkenlik" adı altında yeni bir fenomenin ortaya çıkmasına neden oldu [19]. Şekil 1.1'de civa elementinin sıcaklık(K)/direnç (Ω) eğrisi gösterilmektedir. 4.2K sıcaklığı altında direncin $10^{-5}(\Omega)$ gibi ölçülemeyecek kadar küçük olduğu görülmektedir.

Çalışmalarına devam eden Heike Kamerlingh Onnes 1913 yılında Nobel fizik ödülünü almıştır. Sonraki yıllarda süperiletken materyalleri üzerine yapılan çalışmalar ile yüksek kritik sıcaklık (T_C) değerine sahip süperiletken malzemeler bulunmuştur. 1930 yılında bulunan yüksek kritik sıcaklık değerine sahip Niobium (Nb) malzemesinin T_C değeri 9.2 K iken, 1993 yılında HgBaCaCuO seramik

materyalin T_C değeri 136K'dır. Süperiletken materyallerinin kritik sıcaklık değerleri ve bu materyallerin üretildiği yıl Şekil 1.2'de gösterilmektedir [20].



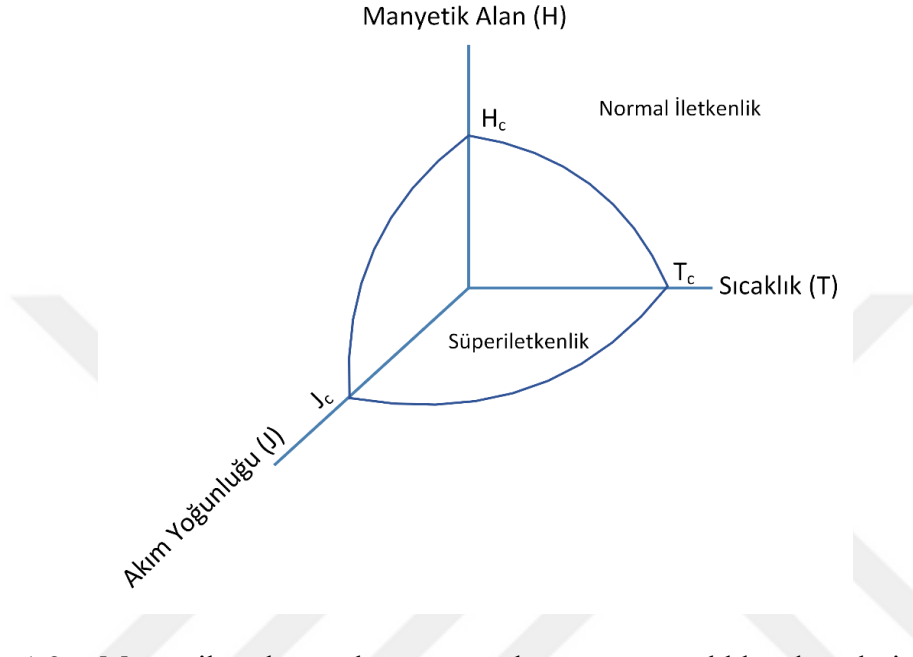
Şekil 1.1: Civa elementinin sıcaklık(K)-direnç (Ω) eğrisi [20].



Şekil 1.2: Süperiletken materyallerinin buldukları yıla göre T_C değerleri [20].

Herhangi bir materyalin süperiletken olma koşulu Şekil 1.3'de verildiği gibi manyetik alana (H), akım yoğunluğuna (J) ve sıcaklık (T) değerlerine bağlıdır. Süperiletken materyallerin kritik manyetik alan (H_C), kritik akım yoğunluğu (J_C) ve kritik sıcaklık (T_C) değerleri altındaki değerleri için süperiletkenlik durumunu

korunmaktadır. Bu değerler üzerinde herhangi bir akım, manyetik alan veya sıcaklık değeri uygulanması durumunda malzeme normal iletken durumuna geçmektedir. Ayrıca bu koşullar birbirine bağımlıdır. T_c değerinin düşmesi durumunda H_c ve J_c değerleri artmaktadır. Aynı şekilde J_c değerinin düşmesi durumunda H_c ve J_c değerleri artmaktadır.



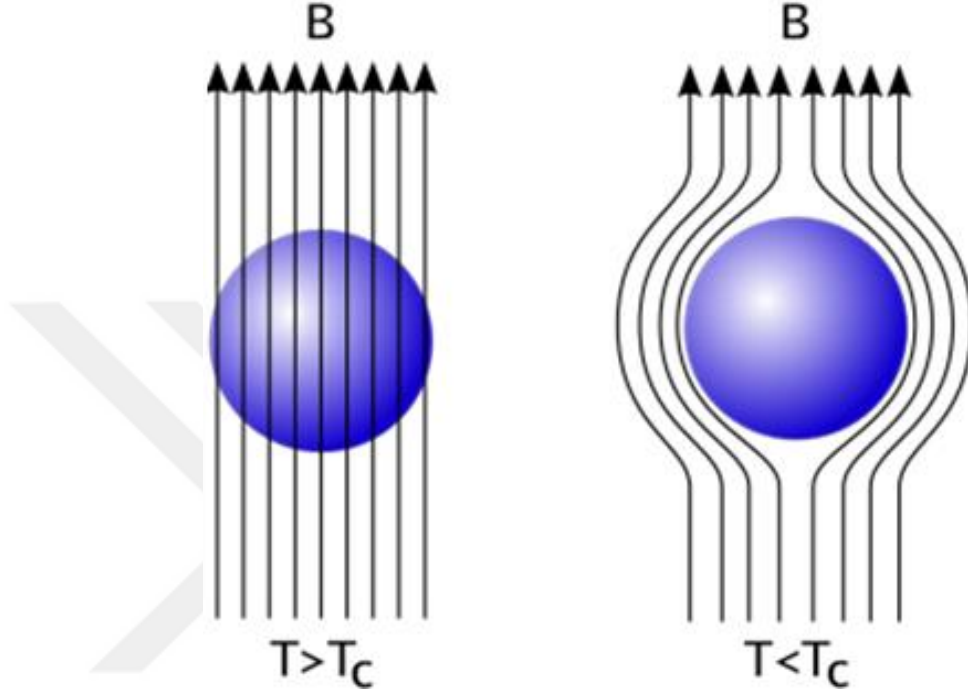
Şekil 1.3: Manyetik alan, akım yoğunluğu ve sıcaklık değerlerine bağlı olarak süperiletken olma durumu.

Süperiletkenin davranışı ilgili birçok teori bulunmaktadır. 1933'te Walther Hans Meissner ve Robert Ochsenfeld, bazı süperiletken maddelerin kritik sıcaklık altında, manyetik alana maruz kalmaları durumunda manyetik alanı dışladığını keşfettiler [21]. Süperiletken maddelerin bu diamanyetizma özelliği Meissner Etkisi olarak adlandırılmaktadır.

Meissner ve Ochsenfeld, ilk olarak oda sıcaklığında bulunan kurşun malzemesinin sıcaklık değerini belli bir manyetik alan altında kritik sıcaklığın altına düşürerek malzemenin normal durumdan süperiletken duruma geçişini sağlamışlardır ($T < T_c$). Süperiletken malzemelerin sadece mükemmel iletkenlik özelliği gösterdiğini düşünen bilim insanları, manyetik alana maruz kalan mükemmel iletkenlerin manyetik akıyı hapsedeceğini ve bu akının manyetik alanın kaldırılması durumunda süperiletkende var olmaya devam edeceğini düşünmekteydi [22].

Şekil 1.4'de görüldüğü gibi manyetik alana maruz bırakılan süperiletken malzemelerin, sıcaklık değerlerinin kritik sıcaklık değerlerinden yüksek ($T > T_c$)

olması durumunda manyetik alanı geçirdiği görülmektedir. Mükemmel iletkenlerden farklı olarak manyetik alana maruz bırakılan süperiletken malzemelerin, sıcaklık değerlerinin kritik sıcaklık değerlerinden düşük ($T < T_C$) duruma getirilmesi ile manyetik alanı dışladığı görülmüştür. Bu sayede süperiletken malzemeler güçlü diamanyetizma özelliği göstermektedir.



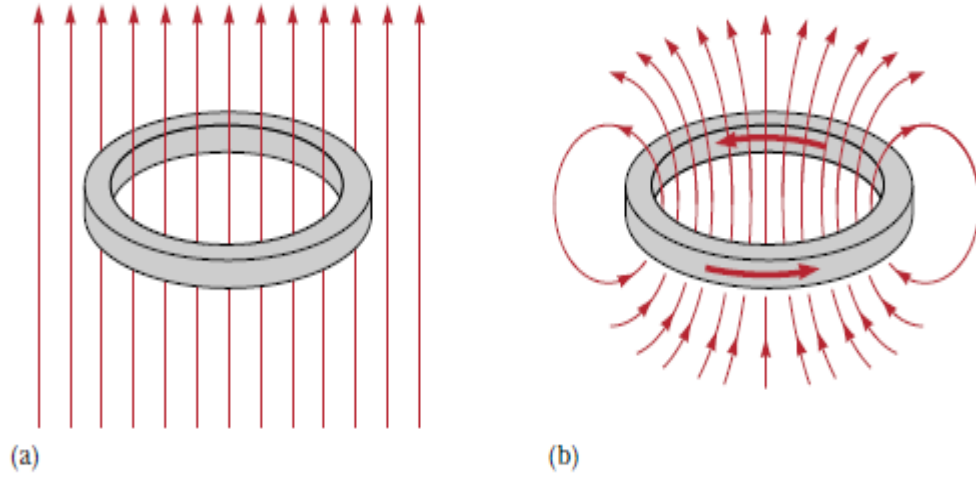
Şekil 1.4: Meissner etkisi [23].

1935'te, Maxwell denklemlerini kullanarak Meissner etkisini elektrodinamik denklemlerle çözümleyen Fritz ve Heinz London, ayrıca London nüfuz derinliğini (k , Λ_L) ortaya atmıştır. London nüfuz derinliği, süperiletken bir malzeme içerisine nüfuz edebilecek manyetik alanın maksimum derinliğidir ve denklemini Denklem 1.1'de verilmiştir.

$$\Lambda_L = \sqrt{\frac{mc^2}{4\pi n_s e^2}} \quad (1.1)$$

Süperiletken malzemelerde görülen Meissner etkisi malzemenin deliksiz olma durumunda geçerlidir. $T > T_C$ durumunda iken manyetik alana maruz bırakılan süperiletken halka daha sonra $T < T_C$ durumuna getirilerek halkanın süperiletken duruma geçişi sağlanmaktadır. Manyetik alanın halka deliğinden geçtiği ve içerisine nüfuz etmediği Şekil 1.5(a)'da görülmektedir. Manyetik alanın kaldırılmasıyla, halka

deliğinden geçen manyetik akının hapsedilmesi ve indüklenen akım Şekil 1.5(b) gösterilmektedir.



Şekil 1.5: (a) $T > T_C$ durumunda manyetik alana maruz bırakılan halkanın, $T < T_C$ durumunda manyetik alanın halka içerisine nüfuz etmemesi. (b) Manyetik alanın kaldırılması ile delikten geçen manyetik akının hapsedilmesi ve indüklenen akım [24].

Kapalı süperiletken halka içerisinde bulunan manyetik akının Denklem 1.2'de verildiği gibi belirli oranda değişim göstermesine akı kuantizasyonu denir. Denklemde verilen plank sabiti \hbar , elektron yükü e , manyetik akı kuantası Φ_0 ve n ise bir tam sayıyı ifade etmektedir. Manyetik akı denklemde görüldüğü akı kuantasının tam katları şeklinde değişim göstermektedir. Manyetik akı quantumunun değeri Denklem 1.3'de verilmiştir.

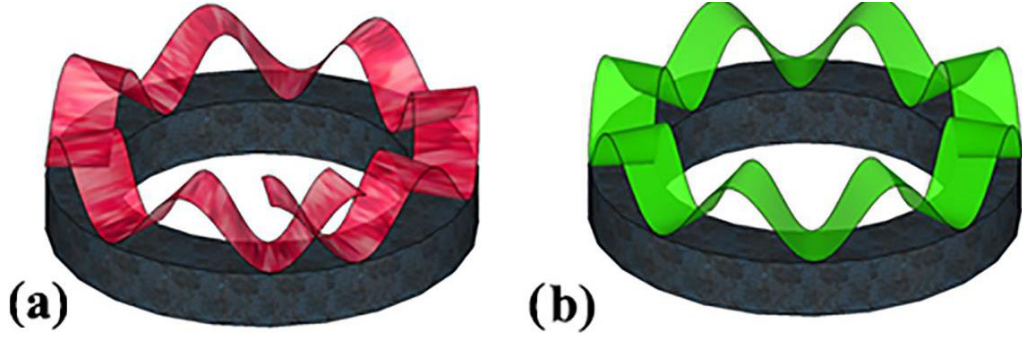
$$\Phi = \frac{n\hbar}{2e} = n\phi_0 \quad (1.2)$$

$$\Phi_0 = \frac{\hbar}{2e} = 2.0679 \times 10^{-15} T \cdot m^2 \quad (1.3)$$

Denklem 1.4'de verilen dalga fonksiyonu ile akı kuantalama tanımlanmaktadır [25]. Elektron yüklerin zaman ve konumuna göre dalga fonksiyonu $\Psi(\vec{r}, t)$ iken faz fonksiyonu $\varphi(\vec{r}, t)$ 'dur. Süperiletken halka üzerine akım veya manyetik alan uygulanmadığı durumda Cooper çiftlerinin $\varphi(\vec{r}, t)$ değerleri aynı olmaktadır.

$$\Psi(\vec{r}, t) = |\Psi(\vec{r}, t)| e^{i\varphi(\vec{r}, t)} \quad (1.4)$$

Uygulanan manyetik akı ile süperiletken halka üzerindeki faz değişimi $2\pi n$ şeklinde olmaktadır. Halka içerisindeki akı kuantizasyon durumu Şekil 1.6’de verilmiştir.



Şekil 1.6: Süperiletken halka içindeki manyetik alanın kuantizasyonu. (a) kuantize olmama durumu. (b) kuantize durum [26].

Süperiletkenlik için en eksiksiz model 1957’de üç fizikçi Leon Cooper ve Robert Schrieffer ve John Bardeen tarafından ortaya atılmış ve 1972’de BCS teorisi ile Nobel ödülünü almışlardır. Günümüzde bu teori saf elementler için uygulanabilir özellikteyken, farklı elementlerden oluşan süperiletkenler için uygulanabilir değildir.

1957 yılında ise Leon Cooper ve Robert Schrieffer ve John Bardeen, “Cooper Çiftleri” olarak isimlendirdikleri süperiletken içerisindeki elektron hareketlerini ve enerji taşıyan parçacıkları dalga formu kullanarak tanımladılar [27]. BCS teorisine göre, süperiletken durumunda atom hareketleri minimum düzeye iner ve kristal yapıda elektronlar atomlarla etkileşime geçmeden çift halinde ilerleyebilir. Elektronların hareketinden dolayı kristal yapıda meydana gelen Coulomb kuvveti diğer elektronun o yönde hareket etmesine neden olmakla birlikte elektronların çift halinde ilerlemesini sağlar.

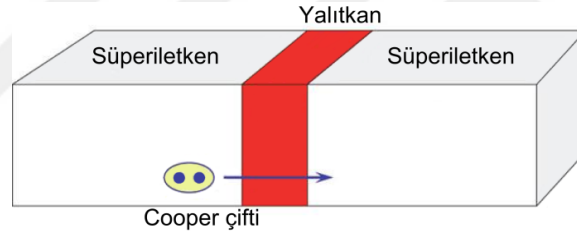
1962’te Brian D. Josephson, iki süperiletken tabaka arasında kalınlığı nano düzeyde olan yalıtkan bir malzemenin bulunması durumunda Cooper çiftlerinin bu yalıtkan malzemedan tünelleyerek geçebileceğini ortaya atmış ve bu çalışma ile 1973’te Nobel fizik ödülünü almıştır. İki süperiletken tabaka arasına yalıtkan malzeme konularak elde edilen bu yapı Josephson Ekleminin (JJ: Josephson Junction) olarak isimlendirilmiştir.

Josephson ekleminin buluşu ile tanımlanan Josephson etkisi ve akı kuantalama prensibi kullanılarak dünyanın en hassas manyetik alan sensörü olan Süperiletken Kuantum Girişim Cihazı (SQUID: Superconductor Quantum Interference Device) bulunmuştur [28]-[30].

1980'ler de Konstantin K. Likharev, Oleg A. Mukhanov ve Vasili K. Sememov tarafından Josephson eklemler kullanılarak geliştirilen süperiletken dijital devre ailesi Hızlı Tek Akı Kuantum (RSFQ: Rapid Single Flux Quantım) mantık devreleridir [31], [32]. CMOS devrelerinde dijital veri voltaj seviyesine, SFQ devrelerin ise dijital veri manyetik akının varlığına bağlıdır. Süperiletken dijital elektroniğinde süperiletken halka da depolanan akının varlığı mantıksal '1' iken akının yokluğu mantıksal '0' olarak kabul edilmektedir.

1.1.1 Josephson eklemi

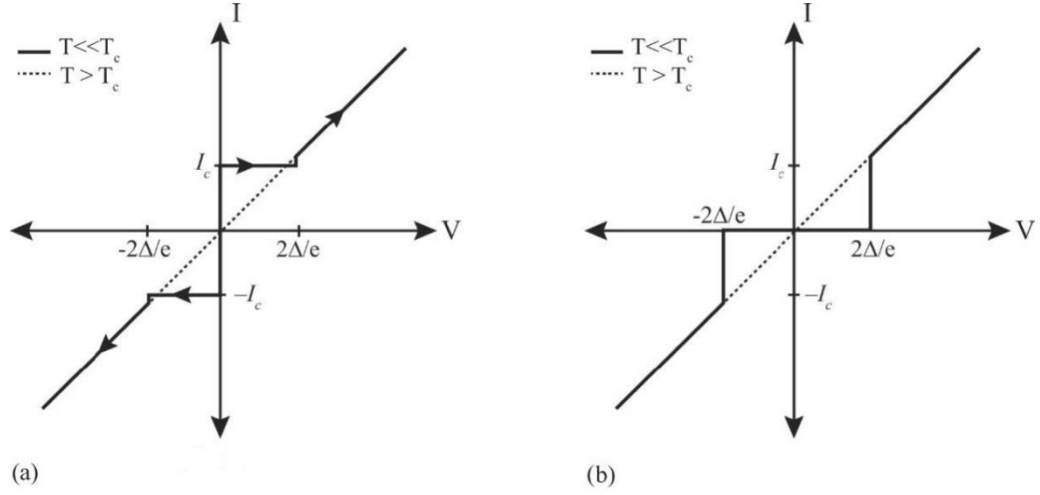
Şekil 1.7'de verilen Josephson eklemi, iki süperiletken malzemenin arasına yalıtkan veya iletken tabaka yerleştirilmesiyle oluşmaktadır. Josephon ekleminin süperiletken-yalıtkan-süperiletken (SIS: Superconductor-Insulator-Superconductor) ve süperiletken-normal-süperiletken (SNS: Superconductor-Normal-Superconductor) gibi farklı türleri bulunmaktadır. Bu bölümde Josephon ekleminin SIS türü anlatılacaktır.



Şekil 1.7: Josephson Eklemi [33].

İki süperiletken birbirine yaklaşırken, dalga fonksiyonları sistemdeki enerji seviyesini düşürmek için aralarındaki bariyere nüfuz etmektedir. Bu şartlarda, süperiletken akımı taşıyan Cooper çiftleri hiçbir enerji tüketmeden yalıtkan bariyerden tünelleyerek geçmektedir. Eklem üzerinden geçen süperiletken akımın (I_s), eklemin kriktik akım değerine (I_0) ve eklemin her iki tarafında bulunan süperiletkenlerin dalga fonksiyonundaki faz farkına bağlı olduğu (δ) Denklem 1.5'de görülmektedir. (I_0), ekleme gerilim uygulanmadığı durumda eklem üzerinden geçebilecek maksimum akımı ifade etmektedir. Eklem üzerinde gerilim oluşmadan eklem üzerinden dc akımın akmasına DC Josephson etkisi denilmektedir. Josephson ekleminin akım gerilim grafiği Şekil 1.8'de görülmektedir.

$$I_s = I_0 \sin \delta \quad (1.5)$$



Şekil 1.8: Josephson Ekleme akım-gerilim grafiği [34].

Ekleme DC gerilim verilmesi sonucu eklem üzerinden geçen akımda yüksek frekansta salınım oluşmaktadır. Aynı şekilde eklem AC sinyal ile beslenirse faz farkından dolayı eklem üzerinde gerilim oluşmaktadır. AC Josephson etkisi olarak bilinen bu durum Denklem 1.6'de verilmiştir.

$$\frac{d\delta}{dt} = \frac{4\pi e}{\hbar} U = \frac{2\pi}{\Phi_0} U \quad (1.6)$$

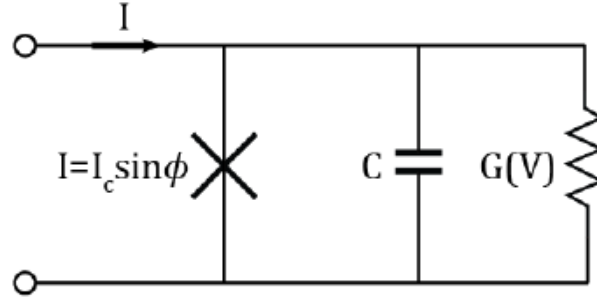
Burada Φ_0 , manyetik akı kuantumudur ve yaklaşık olarak 2.07×10^{-15} Wb'dir. U ise ekleme verilen ortalama DC gerilimdir. Dolayısıyla Denklem 1.7'de verildiği gibi U geriliminin uygulanması durumunda Josephson akımı ω_j açısal frekansı ile salınım yapmaktadır. Buna bağlı olarak ekleme $1\mu V$ dc gerilim uygulanması ile 483.6 MHz frekansında salınım yapan akım oluşmaktadır (Denklem 1.8).

$$\omega_j = \frac{2\pi U}{\Phi_0} \quad (1.7)$$

$$f_j = \frac{\omega_j}{2\pi} = U \times 483.6 \frac{MHz}{\mu V} \quad (1.8)$$

1.7 ve 1.8'de verilen denklemler de Cooper çiftlerinin taşıdığı akım belirtilmektedir. Cooper çiftlerinin akımına paralel olarak, malzemedeki normal elektronların oluşturduğu akımdan kaynaklı gerilim sıfır olmamaktadır. Buna ek olarak yalıtkan materyaldeki kusurlardan kaynaklı kaçak akım da olabilmektedir. Ayrıca iki süperiletken arasına yalıtkan konularak elde edilen Josephson ekleme, bu yapıyla

kapasitör (C) gibidir. Tüm bunları tanımlayan RCSJ devre modeli Şekil 1.9'da verilmiştir. Burada kaçak ve normal elektron akımı için gerilime bağlı direnç konulmakta ve Josephson eklemi '×' işareti ile gösterilmektedir.



Şekil 1.9: Josephson Ekleminin devre modeli [35].

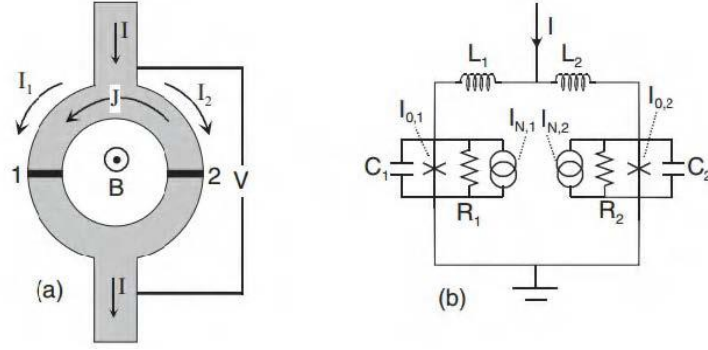
Kirchoff denklemleri kullanılarak çözümlenen devre eşitliği Denklem 1.9'de verilmiştir.

$$I = I_c \sin \phi + C \frac{dV}{dt} + GV \quad (1.9)$$

1.1.2 SQUIDS

SQUID ilk olarak 1964 yılında Josephson eklemlerinin icadından iki yıl sonra Ford Araştırma Laboratuvarında tanıtıldı. SQUID'ler temelde manyetik akıyı elektrik voltaja dönüştüren bir cihazdır ve manyetik alanları $10^{-6} \Phi_0$ mertebesine kadar algılayabilir [36]. DC-SQUID, RF-SQUID ve Quasi One Junction SQUID (QOS) olmak üzere farklı SQUID sensörleri vardır. Burada DC-SQUID sensörü anlatılacaktır.

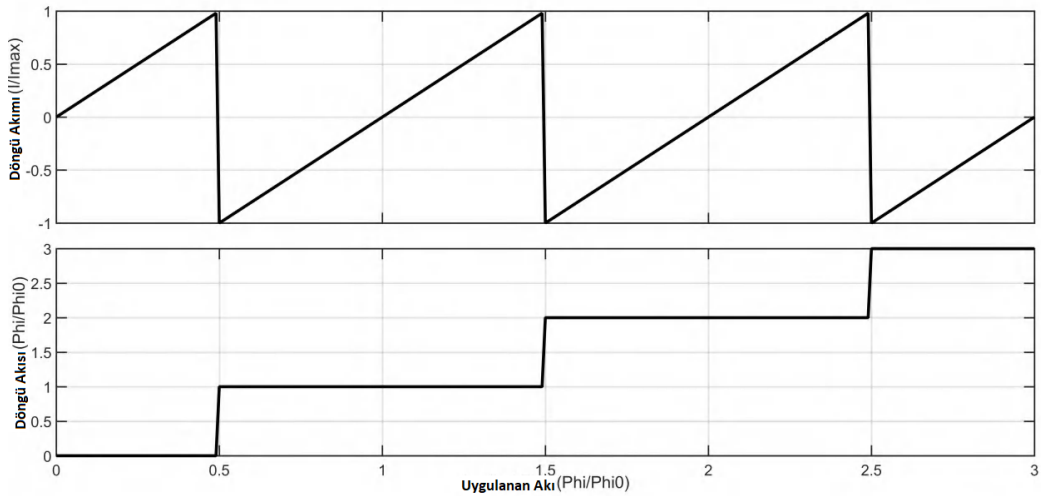
DC-SQUID, iki adet özdeş Josephson eklemi birbirene paralel bağlanması ile oluşan halka yapısıdır ve halka içerisinde geçen manyetik akıyı ölçmek için kullanılmaktadır. Şekil 1.10(a), DC-SQUID sensörünün genel görünümünü, Şekil 1.10 (b) RSCJ modeli kullanılarak oluşturulan DC-SQUID'in eşdeğer devresini göstermektedir. (a) bölümünde gri renk süper iletken malzemeyi, siyah bölüm iki süperiletken arasındaki yalıtkan malzemeyi göstermektedir. (b) bölümünde eklemler RSCJ modeliyle, süperiletken döngü ise endüktanslar ile değiştirilir. $I_{N,1}$ ve $I_{N,2}$ sembolleri eklemdaki çoğunlukla termal gürültünün neden olduğu akımları göstermektedir.



Şekil 1.10: DC SQUID'in şematik gösterimi [37].

DC-SQUID, manyetik alanı ölçmek için süperiletken halkaların manyetik akıyı kuantalama özelliğini kullanmaktadır. Bu yüzden DC-SQUID halkasının içerisindeki manyetik akının Φ_0 'ın tam katı olması gerekmektedir. Eğer DC-SQUID halkasına uygulanan manyetik akı Φ_0 'ın tam katı değilse, manyetik akıyı Φ_0 'ın en yakın tam katına çekecek akım süperiletken halka üzerinde indüklenmektedir. Oluşan bu akım, süperiletken halka üzerindeki Josephson bağlantılarının I-V karakteristiğini etkilemektedir.

Şekil 1.10'daki gibi halkaya dışarı doğru uygulanan manyetik akı, Şekil 1.11'deki gibi $0.5\Phi_0$ 'ye kadar artırılmakta ve buna bağlı olarak manyetik akı değerini sıfıra çekmek için halka üzerinde saat yönünde artan miktarda akım indüklenmektedir. Manyetik akı $0.5\Phi_0$ 'yı geçtikten sonra sistem tüm enerjisini azaltmak için akım yönünü tersine çevirmektedir. Uygulanan manyetik akı Φ_0 'nin tam katı olması durumunda indüklenen akım sıfır olmaktadır.

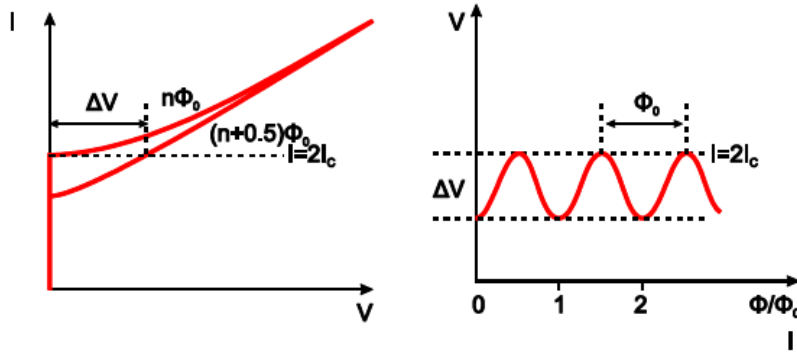


Şekil 1.11: Manyetik akı uygulandığında DC-SQUID üzerinde indüklenen akım ve halka üzerindeki akımın değişimi.

DC-SQUID'e $I=2I_c$ akımı uygulanarak halkadaki manyetik akı değişimleri okunmaktadır. Akım eş kollara eşit şekilde dağılmakta ve halkaya Φ_0 'nin tam katı olmayan bir manyetik akı uygulanması durumunda akım Denklem 1.10'daki gibi olmaktadır.

$$\begin{aligned} I_1 &= \frac{I}{2} + I_i nd \\ I_2 &= \frac{I}{2} - I_i nd \end{aligned} \quad (1.10)$$

Denklem 1.10'daki I_1 akımı, kritik akım değerinin üzerinde olduğu için halkanın ilk kısmı normal duruma geçmekte ve I_2 akımı kritik akım değerinin altında olduğu için halkanın ikinci kısmı hala süperiletken olarak kalmaktadır. DC-SQUID halkasının I-V grafiği Şekil 1.12'deki gibi olmaktadır. Ayrıca halkaya, artan manyetik akı uygulandığında DC-SQUID'nin çıkış voltajındaki değişim de bu şekilde görülmektedir.



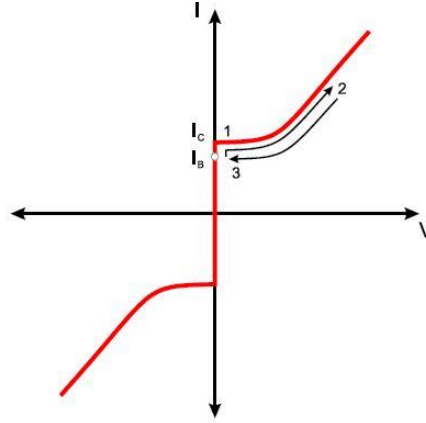
Şekil 1.12: DC-SQUID'in I-V grafiği ve çıkış terminallerindeki gerilim.

1.2 Rapid Single Flux Quantum (RSFQ)

1980'lerin sonunda RSFQ ilk olarak, K.K Likharev ve arkadaşları tarafından süperiletken dijital mantık olarak tanıtıldı [32], [38]. Bu teknolojiye, Josephson eklemi bir anahtar işlevi görmekte ve veriler SQUID döngülerinde manyetik akı olarak depolanmaktadır. RSFQ mantık devreleri çok düşük güç tüketimine sahiptir ve bu nedenle hesaplama merkezlerinde alternatif bir teknoloji olarak kullanılacağı öngörülmektedir [39], [40]. Entegrasyon yetenekleri ve RSFQ devrelerinin yüksek hızı aynı zamanda üretim sürecine de bağlıdır. Ayrıca RSFQ teknolojisine dayalı işlemciler üzerinede şu anda çeşitli gruplar çalışmaktadır [41]-[47]. RSFQ devrelerde

veriler, tek akılı kuantum (SFQ) olarak bilinen bir voltaj darbesi olarak aktarılmaktadır. SFQ darbelerinin her biri aynı kuantum akı enerjisine (Φ_0) ve Pico-saniye genişliğine sahiptir. Bu nedenle 770 GHz'de çalıştığı bildirilen bir anahtar flip-flop hücresi gibi RSFQ devreler, teoride çok yüksek frekanslarda çalışabilmektedir [7], [48].

RSFQ devrelerde, veri depolama manyetik akıyla yapıldığından bu devreler akım ile beslenmektedir. RSFQ devrelerdeki eklemeler kritik akım değerlerinin % 90'ına kadar beslenmektedir. Şekil 1.13'de, kritik akım altında akım değeri ile beslenmiş Josephson eklemesinin I-V karakteristiği gösterilmektedir.



Şekil 1.13: Akım ile beslenen Josephson eklemesinin I-V grafiği.

Şekil 1.13'de, RSFQ devrelerinde SFQ darbe üretme mekanizması gösterilmektedir. Bir eklem kritik akım değerine (I_c) yakın bir (I_b) akımı ile beslenirse, eklem küçük bir akım gelmesi ile akım kritik değeri geçecek ve eklem üzerinde gerilim oluşacaktır. 2 ile gösterilen geçiş, yaklaşık 1 ps zaman alır ve eklem 3 numaralı yoldaki başlangıç noktasına geri döner. Bu geçişte eklem fazi 2π değişmekte ve eski durumuna geri dönmektedir. RSFQ devrelerinde üretilen darbelerin genliği üretim sürecine bağlıdır. Standart üretimde SFQ darbenin genliği yaklaşık $400\mu V$ 'dir.

1.3 Tezde Kullanılan RSFQ Mantık Kapıları

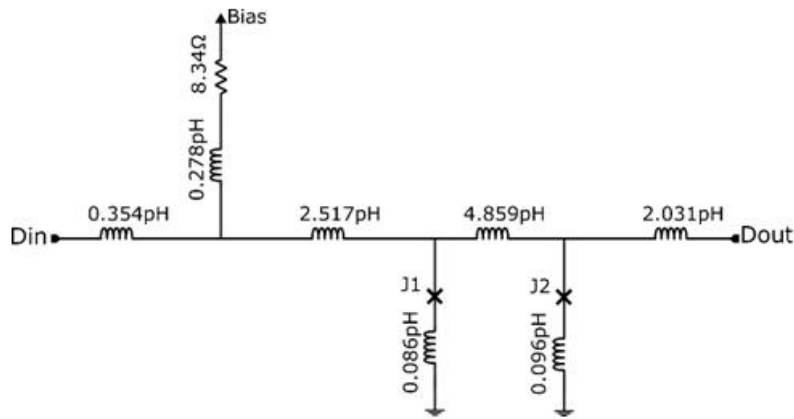
RSFQ devrelerde veri ile saat girişleri arasındaki zamanla hücrenin çalışma marjini etkilemektedir. Aradaki zamanlama düzgün ayarlanmadığı durumda devrenin çalışmama durumu oluşmaktadır. Büyük ölçekli devrelerde ise her hücrenin giriş ve saat işareti arasındaki zamanlama ayarının yapılması oldukça zordur. Bu yüzden büyük ölçekli RSFQ devrelerinin dijital tasarımı için farklı mantık kapılarına ihtiyaç

duyulmaktadır. Yaklaşık olarak 5000 Josephson eklemesi sahip devreler için CONNECT hücre kütüphanesi etkin olarak kullanılmaktadır [49]. Tez çalışmalarında CONNECT hücre kütüphanesi kullanılarak devre tasarımı yapılmıştır.

1.3.1 Josephson iletim hattı (JTL)

RSFQ teknolojisinin en basit kapılarından biri olan JTL hücresi Josephson iletim hattı olarak da bilinmektedir. JTL, girdi olarak gelen SFQ darbeyi yeniden oluşturarak SFQ darbenin iletimini sağlamaktadır. Bu özelliği sayesinde bozulan SFQ darbeler onarılmaktadır. İki Josephson eklemesinin bir endüktans ile birbirine bağlanması ile oluşan JTL kapısının şematik gösterimi Şekil 1.14’de verilmiştir.

Giriş olarak verilen SFQ darbe iki adet Josephson eklemi üzerinden geçerek çıkışa aktarılmaktadır. Şekil 1.14’de görüldüğü gibi JTL hücresi simetrik bir yapıya sahip olduğu için çift taraflı iletimi sağlamaktadır. Standart kütüphanedeki JTL hücresi, hücreye 2.5 mV besleme gerilimi uygulandığında giriş ve çıkış sinyalleri arasındaki gecikme süresi yaklaşık olarak 8.3 ps olacak şekilde tasarlanmıştır.

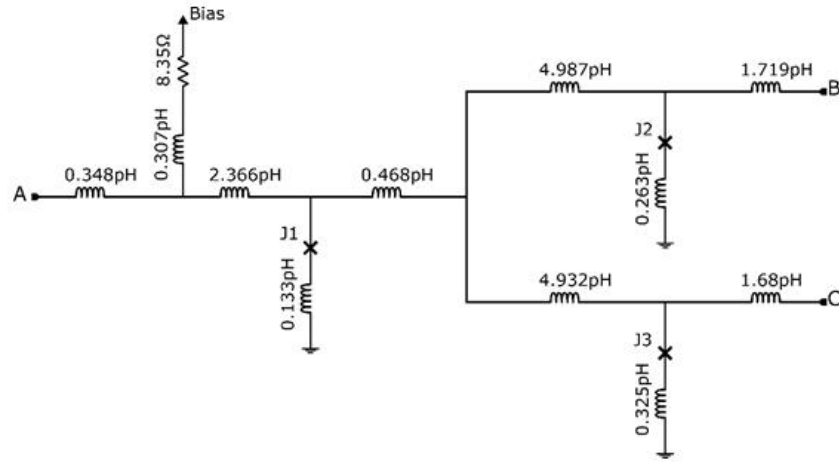


Şekil 1.14: JTL hücresinin şematik gösterimi.

1.3.2 Ayırıcı hücresi (SPL)

SFQ sinyalleri akı kuantasından oluştukları için doğrudan iki veya daha fazla parçaya bölünememektedir. Bu yüzden SFQ hücrelerin çıktıları birden fazla SFQ hücreye girdi olarak verilememektedir. Böyle bir durumda, SFQ sinyallerini çoğaltmak için özel olarak tasarlanmış olan ayırıcı hücresi kullanılmaktadır. SPL olarak bilinen bu ayırıcı hücresi giriş sinyalini çoğaltarak birden fazla çıktı oluşturmaktadır. Oluşan bu sinyaller giriş sinyalinin bir kopyasıdır [4].

Ayrıcı hücrenin şematik gösterimi Şekil 1.15’de verilmiştir. Şekil 1.15’de verilen eklemlerin kritik akım değerlerine bakıldığında giriş kısmında bulunan eklemün kritik akım değeri, çıkışta bulunan eklemlerin kritik akım değerlerinden daha büyüktür. Dolayısıyla girişteki eklemi anahtarlayan SFQ sinyali, özdeş yollara ayrılarak çıkıştaki eklemleride anahtarlayabilmektedir. Bu sayede çıkışta iki sinyal eş zamanlı olarak elde edilmektedir. Ancak üretimden kaynaklı hata toleranslarından dolayı iki kol simetrik olarak üretilememektedir. Bu yüzden iki sinyal çıkışı arasında zamansal farklılıklar oluşmaktadır. SPL hücresi, hücreye 2.5 mV’luk besleme gerilimi uygulandığında giriş ve çıkış sinyalleri arasındaki gecikme süresi yaklaşık olarak 10.1 ps olacak şekilde tasarlanmıştır.



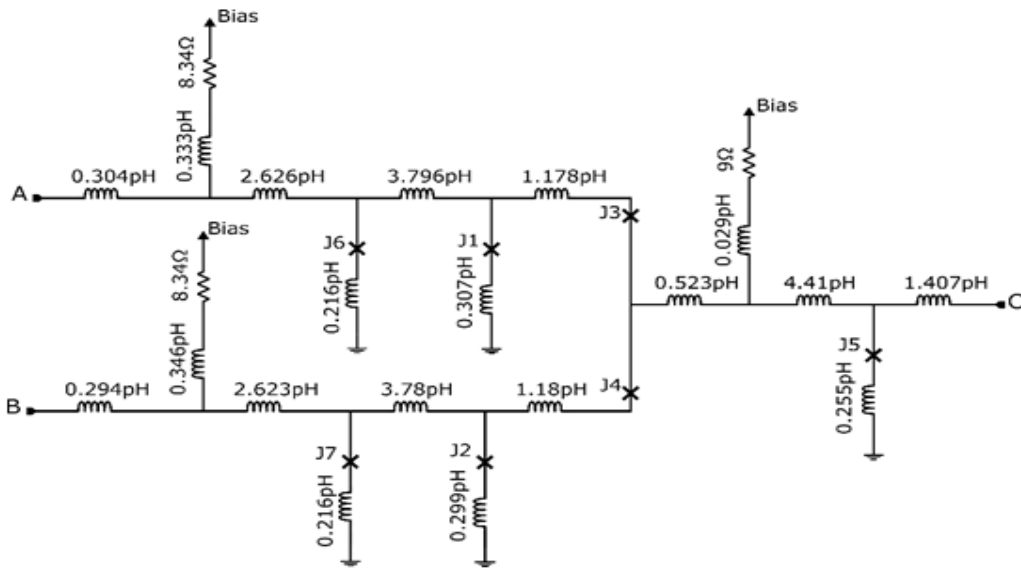
Şekil 1.15: SPL hücresinin şematik gösterimi.

1.3.3 Ayrıcı hücresi (SPL)

Şematik gösterimi Şekil 1.16’da verilen MERGER hücresi iki farklı girişten farklı zamanlarda gelen sinyalleri tek çıkışta birleştirmektedir. A girişinden verilen SFQ sinyali J6 ve J1 eklemlerinin anahtarlanmasını sağlarken, J3 eklemi üzerinden geçen akımını azaltmaktadır. J5 eklemünün anahtarlanması sonucu oluşan SFQ sinyali ise C çıkışına ve J4 eklemine yönelmektedir. Kritik akım değeri J2 den daha küçük olan J4 eklemi anahtarlanarak SFQ sinyalinin B girişine geri dönmesini engellemektedir. Aynı şekilde B girişinden verilen SFQ sinyali J7 ve J2 eklemlerinin anahtarlanmasını sağlarken, J4 eklemi üzerinden geçen akımını azaltmaktadır. J5 eklemünün anahtarlanması sonucu oluşan SFQ sinyali ise C çıkışına ve J3 eklemine yönelmektedir. Kritik akım değeri J1’den daha küçük olan J3 eklemi anahtarlanarak SFQ sinyalinin A girişine geri dönmesini engellemektedir. Bu sayede C çıkışından

MERGER hücresine SFQ sinyal girmesi veya çıktının yansması durumunda sinyalin A ve B girişlerine iletimi engellenmektedir.

A ve B girişlerinden aynı anda SFQ sinyal gönderilmesi durumunda ise MERGER hücresi bu sinyalleri toplayarak C çıkışında tek bir SFQ sinyal oluşturmaktadır. Bu durum sinyal kaybına neden olduğu için istenilen bir özellik değildir. Bu yüzden A ve B girişlerinden gönderilen sinyallerin birbirine göre zamanlamaları dikkate alınarak MERGER hücresi kullanılmaktadır. MERGER hücresi, hücreye 2.5 mV'luk besleme gerilimi uygulandığında giriş ve çıkış sinyalleri arasındaki gecikme süresi yaklaşık olarak 18.2 ps olacak şekilde tasarlanmıştır.

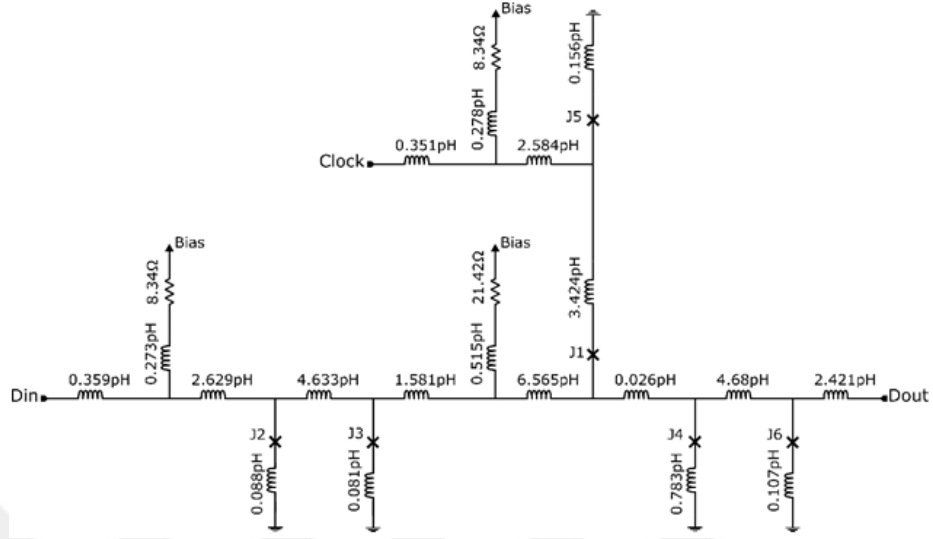


Şekil 1.16: MERGER hücresinin şematik gösterimi.

1.3.4 D flip-flop devresi (DFF)

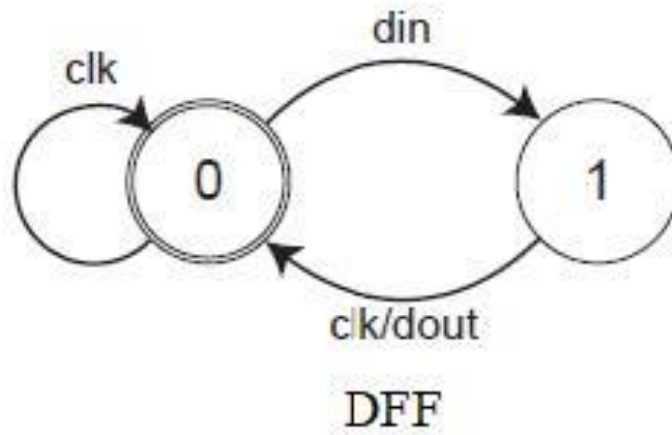
Darbeleri çalışma yapısına sahip RSFQ mantık hücrelerinin çoğu geçici veri saklama özelliğine sahiptir. RSFQ veri saklama hücreleri arasında en çok kullanılan Delay flip-flop (DFF) saat darbesi ile çalışmaktadır. Veri girişi ve çıkışı aynı zamanda olmadığı için DFF hücresi saat darbesi ile çıkışı tetiklemektedir. DFF hücresinin şematik gösterimi Şekil 1.17’de verilmiştir.Şekil 1.17 görüldüğü gibi “Din” girişinden gönderilen SFQ darbe, "Clock" girişinden SFQ darbe gönderilene kadar hücre içinde saklanmaktadır. Veriyi saklama durumu iki eklem arasında bulunan indüktans değerinin $L \times I_c > \Phi_0$ denklemine göre seçilmesi durumunda gerçekleşmektedir. $L \times I_c < \Phi_0$ denklemine göre seçilen iki eklem arasındaki indüktans değeri verinin depolanmadan iletimini sağlamak için kullanılmaktadır. “Clock”

girişinden SFQ darbenin gönderilmesi ile saklanan “Din” verisi “Dout” çıktısında bulunan eklemeleri anahtarlayarak SFQ darbe oluşumuna neden olmaktadır.



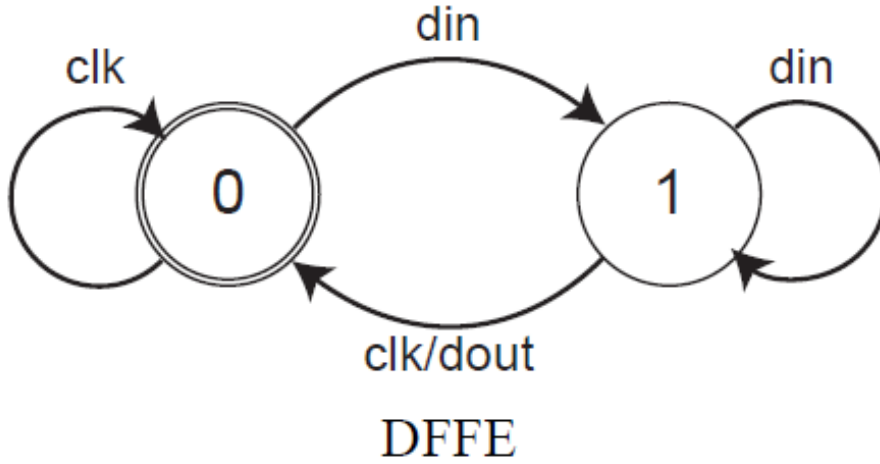
Şekil 1.17: DFF hücrenin şematik gösterimi.

DFF hücrenin Moore diyagramı Şekil 1.18’de verilmiştir. Moore Diyagramına bakıldığında başlangıç durumunda ‘0’ saat darbesi gelmesi, ‘0’ durumunu değiştirmemektedir. Sadece DFF’in girişine SFQ darbe gelmesi ile durum değiştirmekte ve ‘1’ olmaktadır. ‘1’ durumunda saat darbesi gelmesi ile “Dout” çıkışında SFQ darbe oluşturmakta ve başlangıç durumuna dönmektedir. ‘1’ durumunda DFF’in girişine tekrar SFQ darbesi gelmesi durumunda ise DFF’in çalışma yapısı bozulmakta ve resetlenmesi gerekmektedir. Bu yüzden saat darbesinden önce DFF hücrenin girişine birden fazla SFQ darbe gelmesi durumunda DFFE hücresi kullanılması gerekmektedir.



Şekil 1.18: DFF hücrenin Moore diyagramı [50].

DFFE hücresinin Moore diyagramı Şekil 1.19’da verilmiştir. DFFE hücresi '1' durumundayken “Din” girişine SFQ darbe gelmesi '1' durumunu değiştirmemektedir. Saat darbesi gelmesiyle “Dout” çıktısında SFQ darbe oluşturmakta ve durumunu '1' den başlangıç durumuna değiştirmektedir.

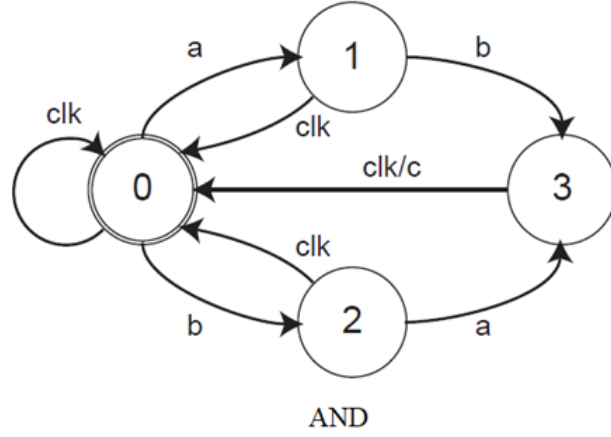


Şekil 1.19: DFFE hücresinin Moore diyagramı [50].

1.3.5 Ve kapısı (AND)

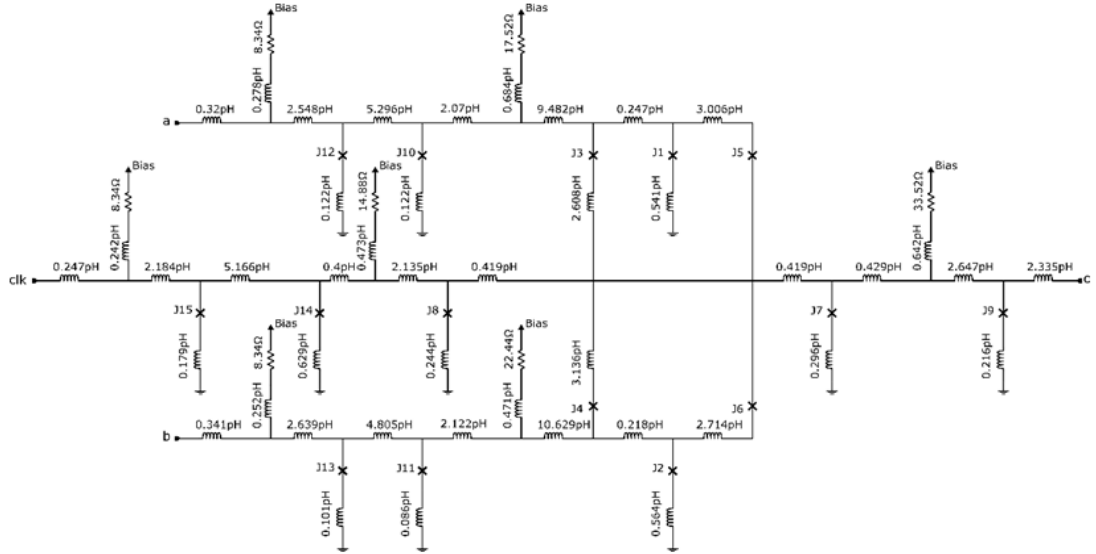
Moore diyagramı Şekil 1.20’de verilen AND hücresinin a, b ve clk olmak üzere üç girişi ve bir tane c çıktısı bulunmaktadır. AND hücresinin kullanmak için hücreye bias gerilimi verdiğimizde hücrenin durumu kararsız yapıda olmaktadır. Hücrenin durumunu kararsız yapıdan başlangıç '0' durumuna getirmek için hücreye başlangıçta saat darbesi verilmesi gerekmektedir. Başlangıç durumunda olan hücreye a veya b girişinden SFQ sinyal gönderilerek hücrenin durumunu, '1' veya '2' olarak değiştirmesi sağlanmaktadır. AND hücresinin '1' veya '2' durumundayken saat darbesi verilmesi, AND hücresinin durumunu '0' a geri döndürmektedir. AND hücresinin '1' veya '2' durumundayken diğer girişten SFQ darbe verilmesi, AND hücresinin durumunu '3' e değiştirmektedir. '3'” durumunda iken saat darbesinin gelmesi ile SFQ darbe c çıktısında oluşmakta ve hücrenin durumu '0' a dönmektedir. Bu durum dışında hücrenin c çıktısında SFQ darbe oluşmamaktadır.

CMOS AND ile RSFQ AND mantık kapıları arasındaki temel fark saat işaretidir. RSFQ mantığının darbeleri yapısından dolayı girişlerden gelen SFQ sinyali saklanmakta ve saat işaretinin gelmesi ile işlem yapılmaktadır. Bu sayede veri kaybı önlenmektedir. AND hücresinin şematik gösterimi Şekil 1.21’de verilmiştir.



Şekil 1.20: AND hücrenin Moore diyagramı [50].

Şematikte AND hücrenin her girişinde JTL devresinin olduğu görülmektedir. JTL devresinin kullanım amacı girişe verilen SFQ darbeyi düzeltmektir. Her iki girişten SFQ darbe verilmesi durumunda eklem döngülerinde saklanan SFQ darbe, saat darbesi ile c çıktısında oluşmaktadır.

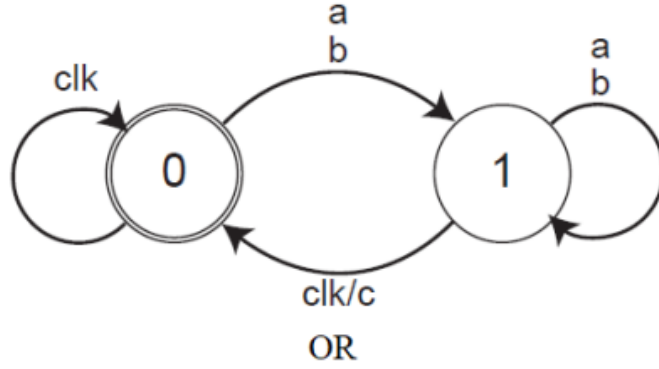


Şekil 1.21: AND hücrenin şematik gösterimi.

1.3.6 Veya kapısı (OR)

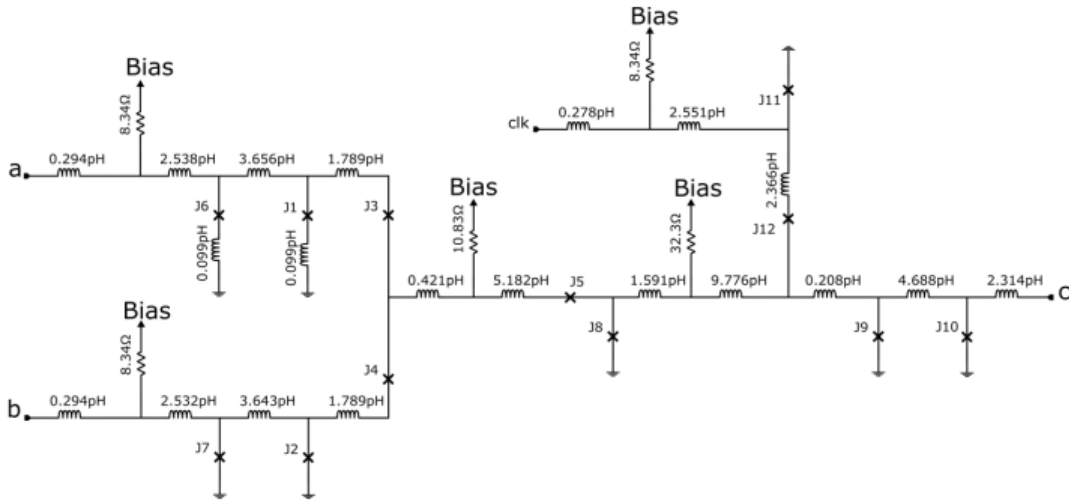
Moore diyagramı Şekil 1.22’de verilen OR hücrenin a, b ve clk olmak üzere üç girişi ve bir tane c çıktısı bulunmaktadır. OR hücresi '0' durumunda iken hücrenin a veya b girişine SFQ darbe verilmesi, hücrenin '0' durumundan '1' durumuna geçmesini sağlamaktadır. '0' durumunda iken saat darbesinin gelmesi ise önceki durumu değiştirmemektedir. '1' durumunda a veya b girişlerine SFQ darbe verilmesi

hücrenin durumunu değiştirmez iken clk girişine saat darbesinin verilmesi c çıkışında SFQ darbe oluşumuna neden olmaktadır. Dolayısıyla sadece a ve b girişlerinden ikisine birden SFQ darbe verilmediği durumda c çıkışında SFQ darbe oluşmamaktadır.



Şekil 1.22: OR hücrenin Moore diyagramı [50].

OR hücrenin şematik gösterimi Şekil 1.23'de verilmiştir. J3 ve J4 eklemleri üzerinden geçen giriş sinyalleri J8 ve J9 eklemlerinin oluşturduğu döngüde depolanır. Saat darbesinin gelmesi ile döngü boşalarak c çıkışında SFQ darbe oluşturur.

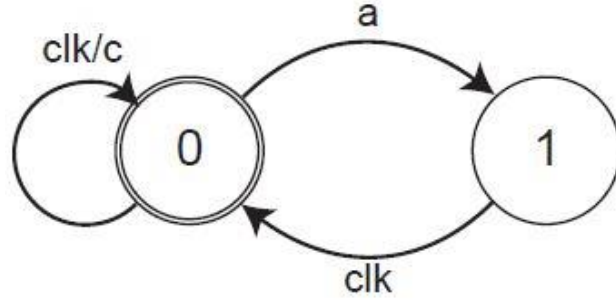


Şekil 1.23: OR hücrenin şematik gösterimi.

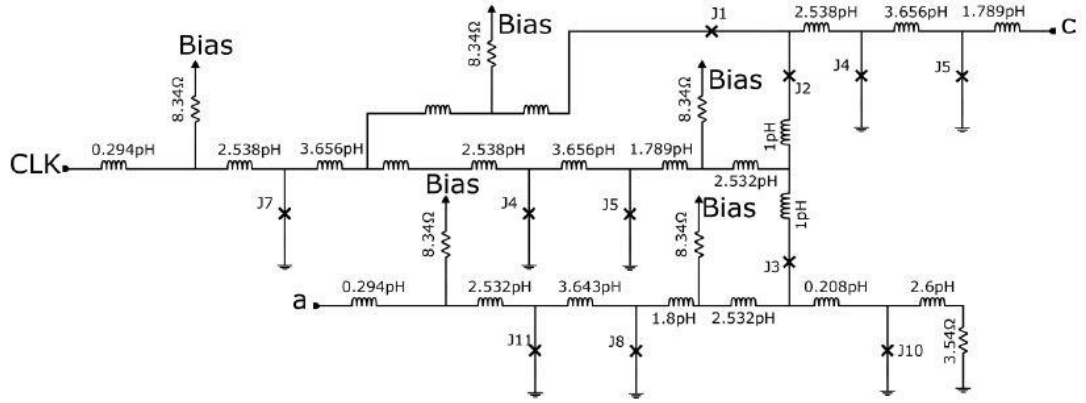
1.3.7 Değil kapısı (NOT)

Moore diyagramı Şekil 1.24'de verilen NOT hücrenin a ve clk olmak üzere iki girişi ve bir tane c çıkışı bulunmaktadır. Başlangıç durumunda ('0') olan NOT hücrene clk verilmesi durumunda c çıkışında SFQ darbe oluşmaktadır. '0'

durumunda olan hücreye a girişinden SFQ sinyali gönderildiğinde ise, hücre durumu '1' olarak değişmektedir. NOT hücresine '1' durumundayken saat darbesi verilmesi, NOT hücresinin durumunu '0' a geri döndürmekte ve c çıkışında SFQ darbe oluşturmamaktadır. NOT hücresinin şematik gösterimi Şekil 1.21'de verilmiştir.



Şekil 1.24: Değil hücresinin Moore diyagramı [50].



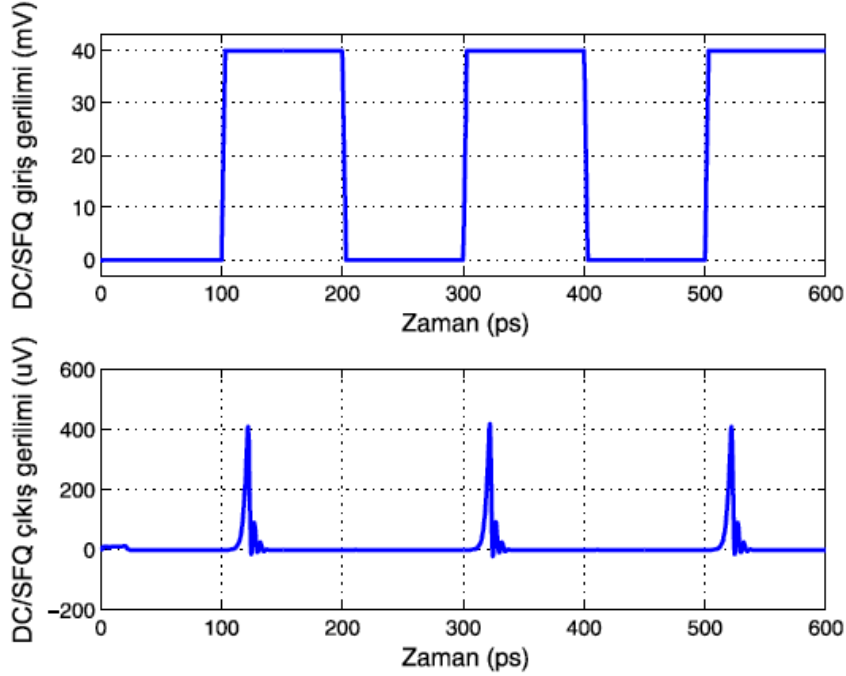
Şekil 1.25: Değil hücresinin şematik gösterimi.

1.3.8 DC/SFQ ve SFQ/DC çevirici

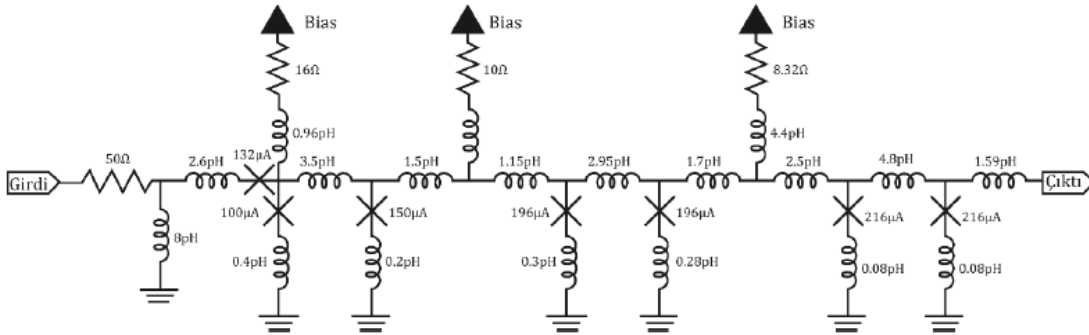
SFQ darbeler 2-3 ps genişliğindeki akım darbeleridir. SFQ devreler bu darbeler ile tetiklenmektedir. Günümüz şartlarında bu kadar hızlı akım darbesi üretebilecek akım kaynağı ve bu akım darbelerini ölçebilecek sistem laboratuvarda bulunabilecek standart cihazlar arasında değildir. Bu yüzden SFQ devrelerin fonksiyonel testleri yapılırken belirli frekansta kare dalga devreye verilir. Aynı şekilde bu frekansı ölçebilecek osiloskop ile ölçüm alınır. Kullanılacak olan cihaza göre kare dalganın maksimum frekansı değişmekle birlikte bu frekans değerleri SFQ devreler için çok yavaş kalmaktadır. Kare dalga kullanılarak SFQ devrelerin fonksiyonelliğinin test edilmesi için DC/SFQ çevirici devreleri kullanılmaktadır.

DC/SFQ çevirici devresinin giriş/çıkış gerilim grafiği Şekil 1.26'de verilmiştir. DC sinyali SFQ sinyale çeviren DC/SFQ çevirici devresinin girişine 6-50mV genliğinde

kare dalga uygulandığında, çıkışında SFQ darbe üretmektedir. Kare sinyalin her yükselen kenarında DC/SFQ çevirici, çıkışında bir SFQ darbe üretmektedir. DC/SFQ çevirici devresinin şematik gösterimi Şekil 1.27’de verilmiştir.



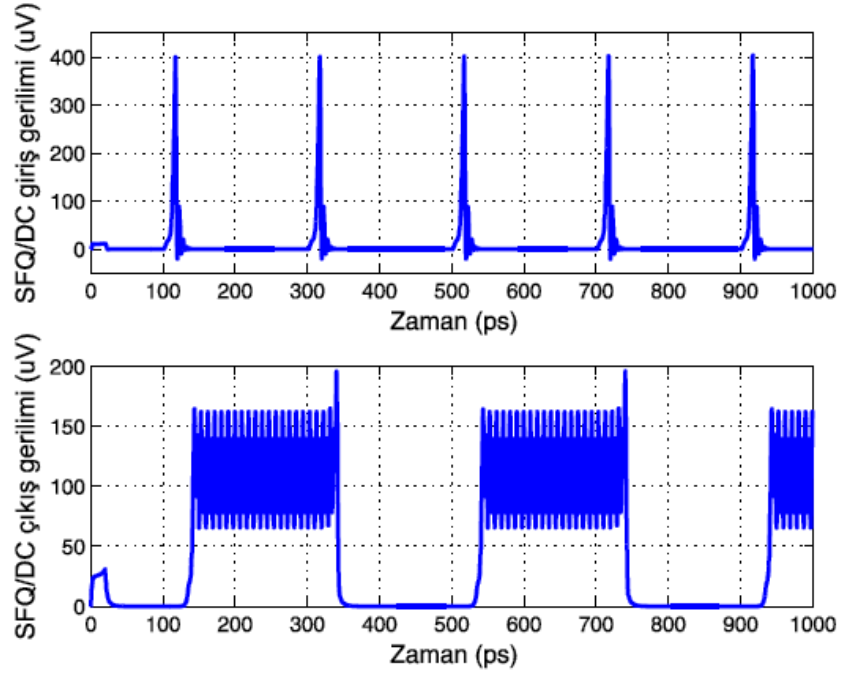
Şekil 1.26: DC-SFQ çevirici devresinin giriş/çıkış gerilim grafiği.



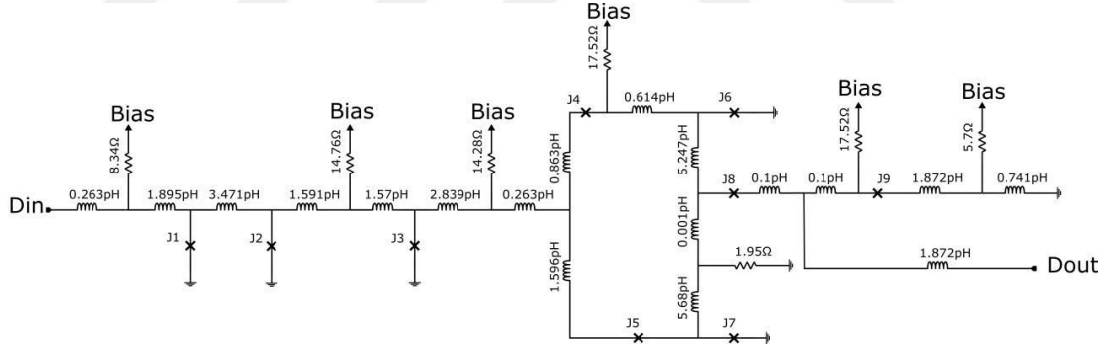
Şekil 1.27: DC-SFQ çevirici devresinin şematik gösterimi.

SFQ/DC çevirici devresi ise SFQ sinyali yarıiletken oda sıcaklığı elektronüğü ile uyumlu DC sinyale çevirmektedir. SFQ/DC çevirici devresinin girişine bir SFQ darbesi geldiğinde çıkışındaki eklem salınımına girmekte ve sürekli olarak yüksek frekansta gerilim üretmeye başlamaktadır. Salınımına giren sinyal CMOS’ta ‘1’ değerini ifade etmektedir. Salınımına giren SFQ/DC çeviricisine, tekrardan bir SFQ darbesi verildiğinde bu sefer salınımdan çıkmaktadır. Salınımdan çıkan sinyal CMOS’ta ‘0’ değerini ifade etmektedir. Bu şekilde her SFQ darbesi geldiğinde

çıkış gerilimi değişmektedir [51]. SFQ/DC çevirici devresinin giriş/çıkış gerilim grafiği Şekil 1.28’de ve şematik gösterimi Şekil 1.29’de verilmiştir.



Şekil 1.28: SFQ-DC çevirici devresinin giriş/çıkış gerilim grafiği.



Şekil 1.29: SFQ-DC çevirici devresinin şematik gösterimi.

1.4 Tezde Kullanılan Simülasyonlar

RSFQ tasarımı bilgisayar ortamında yapılırken tasarım araçları gerekmektedir. Devre seviyesinde simülasyonlar yapılırken JSPICE [52], PSCAN [53] ve JSIM(Junction SIMulator) [54] gibi simülasyonlar kullanılmaktadır. Bu simülasyonlar termal gürültü ve üretimden kaynaklanan zamanlama farklılıklarını dikkate aldığı için tercih edilmektedir. Bu simülasyonlar kullanılarak büyük ölçekli RSFQ devrelerin simülasyonunu yapmak günlerce hatta haftalarca zaman gerektirebilmektedir. Bu yüzden, büyük ölçekli devrelere genellikle kapı seviyesinde simülasyon

yapılmaktadır [55]. Tez çalışmalarında, Verilog-XL kullanılarak kapı seviyesinde, JSIM simülatörü kullanılarak devre seviyesinde simülasyonlar gerçekleştirilmiştir.

1.4.1 Verilog-XL simülatörü

Büyük ölçekli RSFQ devrelerin çalışırılığının test edilmesi ve optimizasyonunun devre simülatörü ile yapılması çok uzun sürdüğü için bu devreler kapı seviyesinde simüle ve optimize edilmektedir. RSFQ devrelerin darbeli çalışma mantığı CMOS tabanlı devrelerden farklı olduğu için CMOS devrelerinde kullanılan kapı seviyesi simülasyon araçları, RSFQ devreleri için direkt olarak kullanılamamaktadır. Bu yüzden, CMOS devrelerin simülasyonu için kullanılan CAD (Computer-Aided Design) tasarım araçlarının aynı zamanda büyük ölçekli RSFQ devrelerin simülasyonunda da kullanılması, RSFQ mantık kapılarının fonksiyonel modellerinin donanım tanımlama dili olan Verilog HDL ile oluşturulmasıyla sağlanmıştır. Oluşturulan bu fonksiyonel modellerin simülasyonu için Verilog-XL simülatörü kullanılmaktadır [56].

RSFQ mantık kapılarının simülasyonu yarıiletkenlerden farklı olarak, SFQ darbelerinin zaman eksenini üzerindeki konumunu göstermektedir. RSFQ temel mantık kapılarından biri olan OR hücresinin çalışma mantığını anlatan Verilog-XL simülasyonu Şekil 1.30'da gösterilmiştir. OR hücresinin a ve b noktasından verilen giriş değerlerine karşılık oluşan çıkış değeri saat işaretinin gelmesi ile c noktasına aktarılmaktadır.



Şekil 1.30: OR hücresinin Verilog-XL simülasyonu.

1.4.2 JSIM simülatörü

RSFQ devrelerin temelini oluşturan Josephson eklemlerinin çalışma yapısını modellemek için diferansiyel denklemler kullanılmaktadır. JSIM (Junction SIMulator) ise bu denklemleri çözümlen standart SPICE (Simulation Program with Integrated Circuit Emphasis) özelliğinde bir devre simülatörüdür [57], [58]. Tasarım araçları kullanılarak oluşturulan devre netlistini girdi olarak almaktadır. Bu netliste

belirtilen devre elemanlarını oluşturan Josephson eklemlerinin faz, gerilim ve akım bilgilerini çıktı olarak metin dosyasına kaydetmektedir. OR hücrelerinin CAD programından alınan devre netlisti ve şematiği Şekil 1.31’de verilmiştir.

```

XI1      jor      1      2      0      4      42
*** ("3") mapped to 0
V0      1      0 PWL(0ps 0mV 6000ps 0mV 6001ps 40mV 6501ps 40mV 6502ps 0mV)
V9      2      0 PWL(0ps 0mV 2000ps 0mV 2001ps 40mV 2501ps 40mV 2502ps 0mV)
V1      42     0 PWL(0ps 0mV 20ps 2.5mV)
V5      4      0 PULSE(0.0mV 40mV 1000.0ps 1.0ps 1.0ps 500.0ps 1000.0ps)
*** PORT      a =      1
*** PORT      b =      2
*** PORT      clk =     4
*** PORT      c =      3

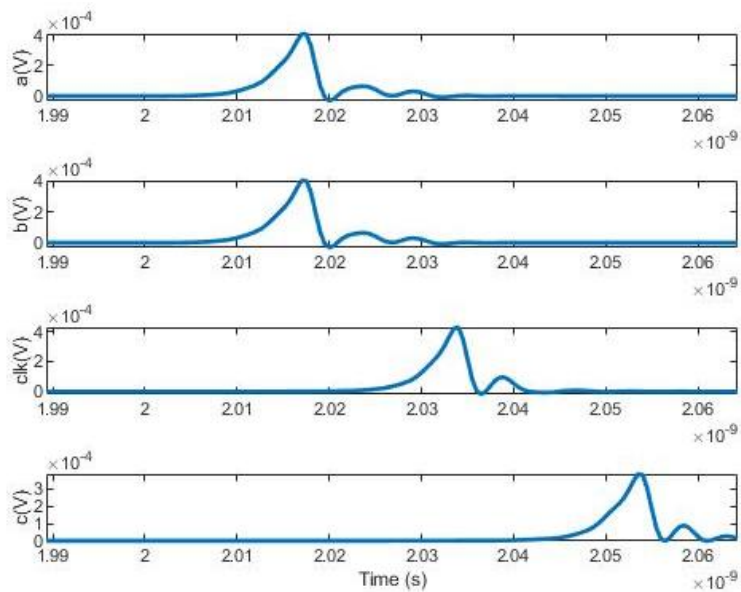
*** netlist file ***

*** jsim input file ***
.tran 0.5ps 200ns 5ps 0.2ps
.file or.DAT
.print devv XI1_B6 *a
.print devv XI1_B7 *b
.print devv XI1_B11 *clk
.print devv XI1_B10 *c
*** jsim input file ***

```

Şekil 1.31: OR hücrelerinin netlisti.

Şekil 1.31’de verilen “jsim input file” altına yazılan ilk 2 satır simülasyon süresini ve çıktının yazılacağı dosya adını belirtirken son dört satır OR hücrelerinin a,b,clk giriş eklemlerini ve c çıkış ekleminin gerilim değerlerinin ölçüleceğini belirtmektedir. Daha detaylı bilgi için JSIM kullanıcı kılavuzuna bakılabilir [58]. Şekil 1.31’de verilen netlistin JSIM ile simüle edilmesinden sonra çıkış dosyasına kayıt edilen verilerin çizdirilmesi ile oluşan görüntü Şekil 3.32’de verilmektedir. Şekil 1.32’de OR hücrelerinin girişine verilen SFQ darbelerine göre çıkış sinyalleri görülmektedir.



Şekil 1.32: OR hücrelerinin JSIM simülasyonu.

1.5 Tezde Kullanılan Yonga Üretim Yöntemi

RSFQ devre üretiminde kullanılan süperiletken malzemeler farklılık göstermektedir. Niobyum malzemesi kolay işlenmesi ve kritik sıcaklığının yüksek olması sebebi ile günümüzde RSFQ devre üretiminde en yaygın olarak Nb/Al-Al₂O₃/Nb eklemleri kullanılmaktadır. Dünyada Nb/Al-Al₂O₃/Nb eklemleri kullanarak büyük ölçekli RSFQ devre üretimi yapan tesislerin bazıları aşağıda verilmiştir.

- Ulusal İleri Endüstriyel Bilim ve Teknoloji Enstitüsü (AIST: Advance Institute of Science and Technology), Tsukuba, Japonya [60]
- Hypres, New York, ABD [61]
- Fotonik Teknolojileri Enstitüsü (IPHT: Institute of PHotonics Technology), Jena, Almanya [62]

Üretim yöntemlerine bağlı olarak RSFQ devrelerinin sağladığı maksimum çalışma frekansı, akım yoğunluğu, minimum alan ve maksimum entegrasyon değerleri Şekil 1.33'de verilmiştir.

PROCESS	Current density [kA/cm ²]	minimum area [µm ²]	Maximum integration	Maximum frequency [GHz]
Hypres #03-10-45	0.03 1.0 4.5	~ 3.14	15,000	80 GHz RnIc=1.3mV @ 4.5 kA/cm ²
Hypres #S45/100/200	0.1 1 4.5 10 20 30	~ 0.4	10,000	200 GHz @ 30 kA/cm ²
MIT Lincoln Lab SFQx	10 20 50	~ 0.06	~ 800,000	240 GHz RnIc=2.17 mV @50 kA/cm ²
ADP2	10	1.0	1100 JJ/mm ²	80 GHz
STP2	2.5 - 20	0.25 - 4.0	100 JJ/mm ² - > 2,000 JJ/mm ²	30 GHz - 150 GHz
HSTP	10	1.0	70,000	80 GHz
Fluxonics standard	1	12.5	100 JJ/mm ²	40 GHz RnIc =0.256 mV
INRiM SNIS	up to 100	25	1,000 JJ/mm ²	300 GHz RnIc =0.1mV - 0.7mV
NIST Nb/Nbx Si1-x/Nb	up to 110	?	70,000	300 GHz
INRiM SNIS 3D FIB	up to 100	0.1	10,000 JJ/mm ²	300 GHz RnIc=0.1mV - 0.7mV

Şekil 1.33: Üretim yöntemlerinin özellikleri.

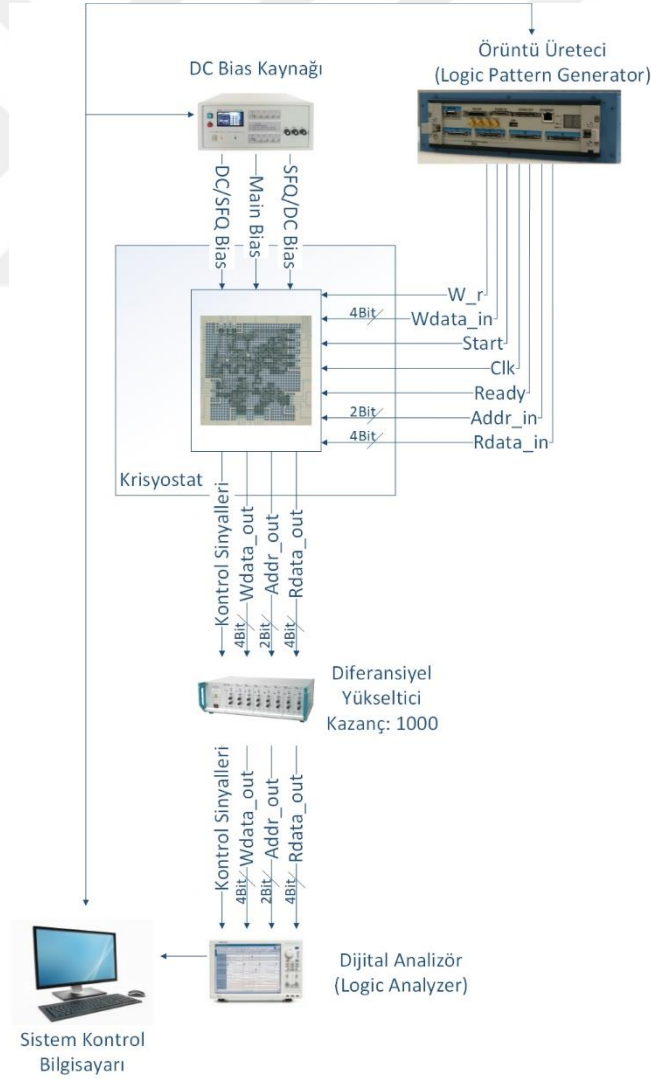
Şekil 1.33'de verilen üretim yöntemleri arasında en yaygın kullanılan AIST (Advance Institute of Science and Technology) STP2 (Standart Process 2) yöntemi, tez çalışmasında tasarlanan devrenin üretiminde de kullanılmıştır. Şekil 1.34'de AIST STP2 üretim katmanlarının yandan kesiti ile birlikte bu katmanların kalınlık bilgileri ve kullanılan malzemeler gösterilmektedir. Bu üretim yönteminde beş tane Niobyum (Nb) süperiletken katman ve bir tane Molibden (Mo) direnç katman

Çizelge 1.2: (devam) AIST STP2'in katman özellikleri [63].

Katman Adı	İkinci Ad	Netlik/Koyuluk	Fonksiyonu	Materyal	Kalınlık (nm)
JC		Net	JJ ve COU arasındaki kontak noktası		
COU	M3	Koyu	Üst bağlantı hattı	Nb	400
	I4		Katmanlar arası yalıtkan	SiO2	500
CC		Net	COU ve CTL arasındaki kontak noktası		
CTL	M4	Koyu	Yüzey bağlantı hattı ve kalkan katmanı	Nb	500

2. DENEY DÜZENEGİ

Bu bölümde tasarlanan kontrol biriminin dijital testi için kullanılan test sistemi anlatılmaktadır. İlk olarak kontrol birimini içeren yonganın sinyal ve bias bağlantıları “wire bonding” ile yongayı taşıyan taşıyıcıya bağlanmaktadır. Yonganın bulunduğu taşıyıcı kriyostata yerleştirilerek sistem vakumlu bir şekilde 4.2K sıcaklığına soğutulmaktadır. Sistem 4.2K sıcaklığına geldikten sonra test işlemleri gerçekleştirilmektedir. Test sisteminin çalışma yapısı Şekil 2.1’de verilen blok diyagramda gösterilmiştir.



Şekil 2.1: Dijital devre test sisteminin blok diyagramı.

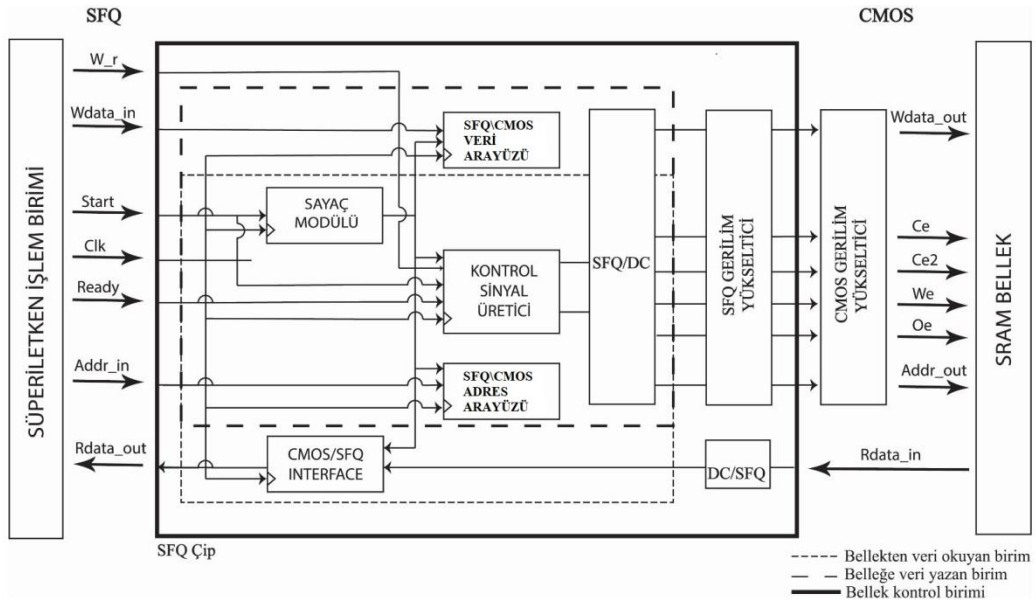
Ara bağlantıyı sağlayan kablo sayısı tüm sinyalleri sisteme bağlayacak kadar olmadığı için kontrol biriminin okuma ve yazma işlemleri aynı anda test edilememiştir. Yazma işlemi için 4-bit Wdata_in, 2-bit Addr_in, Ready, Start, W_r ve Clk giriş sinyalleri örüntü üreticisine (Pattern generator) bağlanmaktadır. 4-bit Wdata_out, 2-bit Addr_out, Ce, We,Oe,Ce2 çıkış sinyalleri ise diferansiyel yükselticiye bağlanarak 1000 kat yükseltilmektedir. Yükseltilen Ce ve We sinyalleri osiloskopa bağlanarak, sistem bilgisayarıyla kontrol edilen DC bias kaynağından tasarlanan devreye bias akımları verilmektedir. İlk olarak devreye SFQ/DC bias akımı verilerek devrenin çıktı oluşturması sağlanmaktadır. SFQ/DC akımı, tasarım dosyalarında verilen SFQ/DC akım değerine kadar artırılmaktadır. Artırma işlemi yapılırken bu akım değerine yaklaşıldığında osiloskopa bağlanan sinyallerin DC seviyelerinde artış olup olmadığı gözlemlenmektedir. DC seviyelerinde artış olmama durumunda yonga üzerinde üretimden kaynaklı kısa devre olduğu anlaşılırken, artış olma durumunda ise üretimden kaynaklı kısa devre olmadığı anlaşılmaktadır. Daha sonra devre üzerindeki bütün hücrelerin çalışması için devreye main bias verilmektedir. Tasarım dosyalarında verilen main bias değeri devreye verilerek osiloskopa bağlanan sinyallerin osilasyona girip girmediği gözlemlenmektedir. Bu sinyaller osilasyona girene kadar main bias miktarı artırılmakta ve sinyallerin osilasyona girmeden önceki main bias akım değeri devreye verilmektedir. Son olarak devrenin girişinde bulunan DC/SFQ dönüştürülerin çalışması için devreye DC/SFQ bias akımı verilmektedir. Devrenin gerekli DC bias akımları verildikten sonra diferansiyel yükseltici ile yükseltilen çıkış sinyalleri dijital analizöre (Logic Analyzer) bağlanmıştır. Sistem bilgisayarı ile kontrol edilen pattern generator tarafından giriş sinyallerine kare dalga verilmektedir. Bu sayede Pattern generator kullanılarak devreye analog simülasyonda kullanılan giriş sinyalleri gönderilmiştir. Verilen girişlere göre elde edilen çıkış sinyalleri dijital analizör kullanılarak görüntülenmekte ve oluşan çıkış sinyalleri ile analog simülasyon çıkış sinyalleri uyumlu ise veriler txt dosyasına kaydedilmektedir. Yazma işlemi bittikten sonra Wdata sinyal bağlantıları sökülmemekte ve okuma işlemi için Rdata sinyal bağlantıları yapılmaktadır. Yazma işleminde olduğu gibi devreye, analog simülasyondaki giriş sinyal değerleri pattern generator kullanılarak gönderilmektedir. Verilen girişlere göre elde edilen çıkış sinyalleri dijital analizör kullanılarak görüntülenmektedir. Oluşan çıkış sinyalleri ile analog simülasyon çıkış sinyalleri uyumlu ise veriler txt dosyasına kaydedilmektedir.

3. KONTROL BİRİMİ TASARIMI

Tez çalışması kapsamında gerçekleştirilen tasarım faaliyetleri, simülasyon sonuçları, deneysel sonuçlar ve bu aşamalara ait veriler bu bölümde açıklanmaktadır.

3.1 Çalışmanın Amacı

SFQ tabanlı kontrol biriminin tasarım amacı, yüksek yoğunluklu CMOS bellek ile SFQ tabanlı işlem birimi arasındaki çift taraflı veri alışverişini yüksek hızda sağlamaktır. 10 GHz hıza kadar çalışma imkanı sunan kontrol biriminin CMOS bellek ile arayüzünde, SFQ sinyali yarı iletken teknolojisi ile uyumlu DC sinyale çeviren SFQ-DC, DC sinyali süperiletken teknolojisi ile uyumlu SFQ sinyale çeviren DC-SFQ dönüştürücüler bulunmaktadır. Birbirinden farklı çalışma yapısına sahip olan dönüştürücüler kontrol birimi tasarımını etkilediğinden bu dönüştürücüler dikkate alınarak tasarım yapılmıştır. Kontrol birimi, CMOS bellekten veri okumak veya CMOS belleğe veri yazmak için gerekli dalga formunu oluşturur. Tez kapsamında tasarlanan kontrol biriminin genel çalışma yapısı Şekil 3.1'de verilmiştir.



Şekil 3.1: SFQ-CMOS hibrit bellek sistemleri için kontrol birimi tasarımının genel gösterimi.

Kontrol biriminden CMOS belleğe gönderilen sinyaller ilk olarak SFQ tabanlı gerilim çoğaltıcı (Voltage Multiplier) ile yükseltildikten sonra SFQ/DC dönüştürücüden geçmektedir. Daha sonra kriyojenik CMOS yükseltici (Latch Amplifier) kullanılarak sinyallerin gerilim seviyeleri CMOS bellek tarafından algılanabilir seviyeye getirilmektedir.

3.2 Kontrol Biriminin CMOS Mantık Kapıları Kullanılarak Tasarlanması

Gerçeklenen tasarımda elimizde bulunan FPGA ZedBoard Zynq-7000 ve AS6C1008 malzemeleri sırasıyla kontrol birimi ve harici SRAM olarak kullanılmıştır. Programlama dili VHDL olan Xilinx ISE Design Suite 2014 programı kullanılarak, FPGA ile CMOS tabanlı kontrol birimi tasarımı yapılmıştır. Bu tasarım, AS6C1008 belleğine ait yazma/okuma dalga formu ve erişim süresi dikkate alınarak yapılmıştır. Tasarlanan kontrol birimi, SRAM'e veri yazan yazma devresinden ve SRAM'den veri okuyan okuma devresinden oluşmaktadır. Giriş/çıkış sinyal bilgisi Çizelge 3.1'de verilen AS6C1008 belleğin erişim süresi 55ns ve kapasitesi 128KB'dir [64].

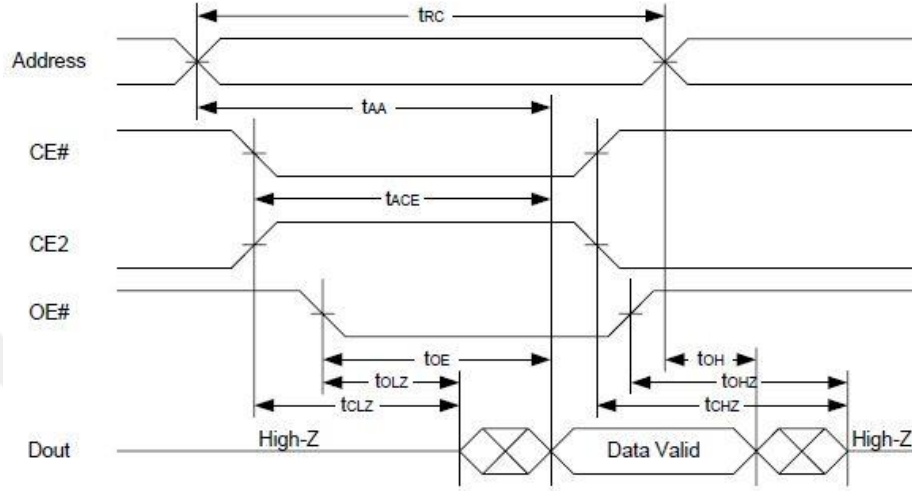
Çizelge 3.1: AS6C1008 giriş/çıkış sinyal bilgisi.

Sembol	Tanım
A0-A16	Adres Girişleri
DQ0-DQ7	Veri Giriş/Çıkışı
CE#, CE2	Çip Etkin Girişleri
WE#	Yazma Etkin Girişi
OE#	Çıkış Etkin Girişi
VCC	Güç
VSS	Toprak
NC	Bağlı Değil

3.2.1 CMOS kontrol biriminin bellekten veri okuyan devresinin tasarımı

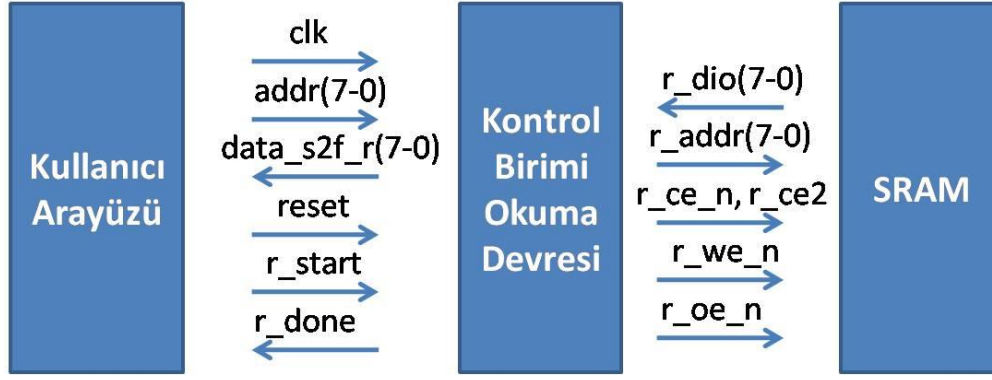
Bellekten veri okuyan devrenin tasarımı için AS6C1008'in veri kağıdı incelenmiş ve okuma işlemi için gereken dalga formu ve zaman gerekleri FPGA kullanılarak oluşturulmuştur. AS6C1008'in veri kağıdına göre bellekten veri okuma işlemi 2 şekilde yapılabilmektedir. Burada CE#, CE2 ve OE# kontrollü okuma işlemi yapılmıştır ve okuma işlemi için gereken dalga formu Şekil 3.2'de verilmiştir. Okuma işlemi için adres değeri en az 55 ns (t_{RC}) boyunca sürülmelidir [64]. Adres değişirken yada değiştikten sonra CE#, CE2, OE# ve WE# sinyalleri sırasıyla '0',

'1', '0' ve '1' değerlerine sürülmesi gerekmektedir. Bellek, OE# sinyali '0' değerine sürüldükten maksimum 30 ns (t_{OE}) sonra istenilen adresteki veriyi okunabilir duruma getirmektedir. OE# sinyali '1' değerine sürüldükten maksimum 20 ns sonra ise bellek veri hattını serbest bırakmaktadır (High-Z durumu). Şekil 3.2'de verilen diğer zaman bilgileri için [64] bakınız.



Şekil 3.2: AS6C1008 okuma dalga formu.

FPGA üzerinde tasarlanan okuma bloğuna ait blok diagram bilgisi Şekil 3.3'de ve giriş/çıkış sinyal bilgisi Çizelge 3.2'de verilmiştir. 8-bit Adres (addr), Saat işareti (clk), reset ve start (r_start) sinyalleri kullanıcı tarafından kontrol birimine; 8-bit veri (data_s2f_r) ve okuma tamamlandı (r_done) sinyalleri kontrol biriminden kullanıcıya gönderilmektedir. 8-bit addr sinyali, SRAM bellekten okunacak olan adresi; 8-bit veri (data_s2f_r) sinyali, SRAM'den okunan veriyi belirtmektedir. Clk sinyalinin frekansı devrenin çalışma hızını belirtirken, reset sinyali bütün sinyalleri başlangıç değerlerine döndürür. Son olarak r_start sinyali, SRAM'den veri okuma işlemini başlatmaktadır. 8-bit adres (r_addr), Çip etkin (r_ce_n, r_ce2), yazma etkin (r_we_n) ve çıkış etkin (r_oe_n) sinyalleri kontrol biriminden SRAM'e gönderilirken, 8-bit veri (r_dio) sinyali SRAM'den kontrol birimine gönderilmektedir. Tasarlanan kontrol biriminin okuma ve yazma devresine ait VHDL kodu Ek-1'de verilmiştir. r_start sinyalinin gönderimi ile addr sinyali r_addr sinyaline aktarılmaktadır. Ayrıca r_start sinyalinin gönderilmesi ile sayaç başlatılmakta ve r_ce_n, r_ce2, r_we_n ve r_oe_n sinyalleri sırasıyla '0', '1', '1' ve '0' değerlerine 60 ns boyunca sürülmektedir. 60 ns sonra r_done sinyali '1' değerine sürülürken, bellekten okunan veri bilgisini taşıyan r_dio sinyali, data_s2f_r sinyaline aktarılmaktadır.

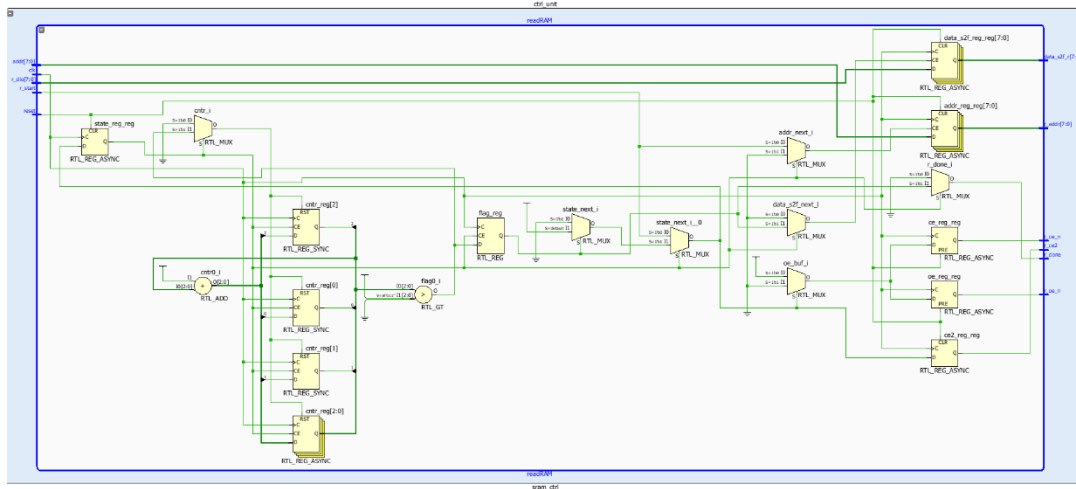


Şekil 3.3: Kontrol biriminin okuma devresine ait blok diagramı.

Çizelge 3.2: Kontrol biriminin okuma devresine ait giriş/çıkış sinyal bilgisi.

Sembol	Tanım
clk	Saat işareti
addr(7-0)	Adres Girişleri
r_dio(7-0)	Veri Girişleri
reset	Reset Girişi
r_start	Yazma işlemi başlatma Girişi
data_s2f_r(7-0)	Veri Çıkışları
r_addr(7-0)	Adres Çıkışları
r_ce_n, r_ce2	Çip Etkin Çıkışları
r_we_n	Yazma Etkin Çıkışı
r_oe_n	Çıkış Etkin Çıkışı
r_done	Yazma tamamlandı Çıkışı

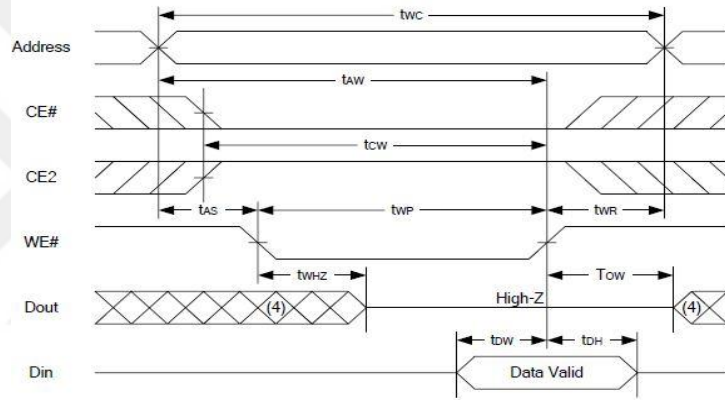
Bellekten veri okuma devresinin Xilinx ISE programındaki RTL şematik görüntüsü incelenerek mantık kapıları ile tasarımına bakılmıştır. Okuma devresinin mantık kapıları ile tasarımı Şekil 3.4’de verilmiştir.



Şekil 3.4: SRAM okuma devresinin mantık kapıları ile tasarımı.

3.2.2 CMOS kontrol biriminin belleğe veri yazan devresinin tasarımı

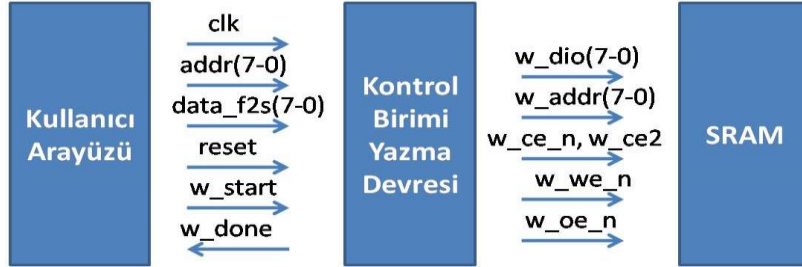
Belleğe veri yazan devrenin tasarımı için AS6C1008'in veri kağıdı incelenmiş ve yazma işlemi için gereken dalga formu FPGA kullanılarak oluşturulmuştur. AS6C1008'in veri kağıdına bakıldığında okuma işleminde olduğu gibi yazma işlemi için de 2 çeşit yöntem bulunmaktadır. Burada yazma işlemi için WE# kontrollü yöntem kullanılmış ve gerekli dalga formu Şekil 3.5'de verilmiştir. Yazma işlemi için adres değeri en az 55 ns (t_{wc}) boyunca sürülmelidir. Adres değiştikten sonra CE#, CE2 ve WE# sinyalleri sırasıyla '0', '1', '0' değerlerine sürülmesi gerekmektedir. CE# sinyali '0' değerine sürüldükten minimum 25 ns (t_{cw}) sonra bellek veriyi adrese yazmaktadır. OE# sinyalinin değeri yazma işlemi etkilememektedir. Şekil 3.5'de verilen diğer zaman bilgileri için [64] bakınız.



Şekil 3.5: AS6C1008 yazma dalga formu.

FPGA üzerinde tasarlanan belleğe veri yazan yazma bloğuna ait blok diagram Şekil 3.6'de ve giriş/çıkış sinyal bilgisi Çizelge 3.3'de verilmiştir. 8-bit Adres (addr), saat işareti (clk), 8-bit veri (data_f2s), reset ve start (w_start) sinyalleri kullanıcı tarafından kontrol birimine; yazma tamamlandı (w_done) sinyali kontrol biriminden kullanıcıya gönderilmektedir. 8-bit addr sinyali, SRAM'e yazılacak olan verinin adresini; 8-bit data_f2s sinyali, SRAM'e yazılacak olan veriyi belirtmektedir. Clk sinyalinin frekansı devrenin çalışma hızını belirtirken, reset sinyali bütün sinyalleri başlangıç değerlerine döndürmektedir. Son olarak w_start sinyali, SRAM belleğe veri yazma işlemi başlatmaktadır. 8-bit adres (w_addr), çip etkin (w_ce_n, w_ce2), 8-bit veri (w_dio), yazma etkin (w_we_n) ve çıkış etkin (w_oe_n) sinyalleri kontrol biriminden SRAM'e gönderilmektedir. w_start sinyalinin gelmesi ile addr ve data_f2s sinyalleri sırasıyla w_addr ve w_dio sinyallerine aktarılmaktadır. Ayrıca w_start sinyalinin gelmesi ile sayaç başlatılmakta ve w_ce_n, w_ce2 ve w_we_n

sinyalleri sırasıyla '0', '1' ve '0' değerlerine 60 ns boyunca sürülmektedir. 60 ns sonra w_done sinyali '1' değerine sürülmektedir. AS6C10082 veri sayfası incelendiğinde, belleğe veri yazma işleminde OE# sinyalinin değeri yazma işlemi etkilemediğinden w_oe_n sinyali değiştirilmemiştir.

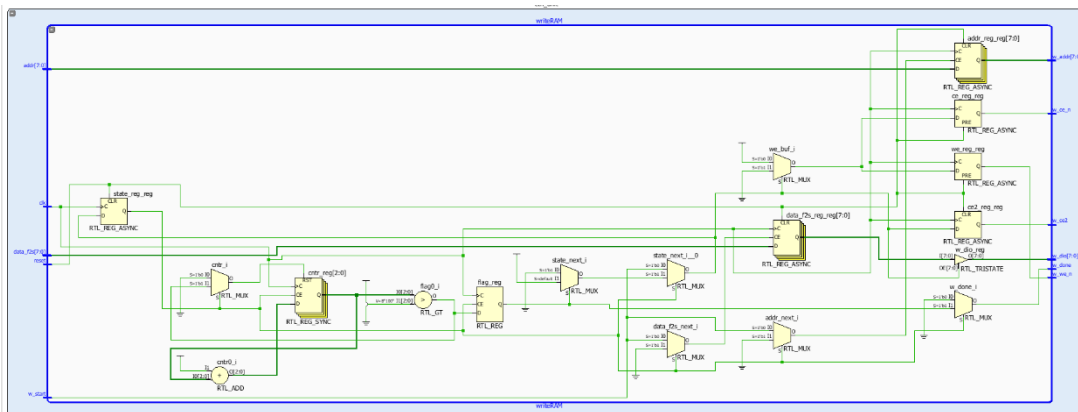


Şekil 3.6: Kontrol biriminin yazma devresine ait blok diagramı.

Çizelge 3.3: Kontrol biriminin yazma devresine ait giriş/çıkış sinyal bilgisi.

Sembol	Tanım
addr(7-0)	Adres Girişleri
clk	Saat işareti
data_f2s(7-0)	Veri Girişleri
reset	Reset Girişi
w_start	Yazma işlemi başlatma Girişi
w_addr(7:0)	Adres Çıkışları
w_ce_n, w_ce2	Çip Etkin Çıkışları
w_dio	Veri Çıkışları
w_we_n	Yazma Etkin Çıkışı
w_oe_n	Çıkış Etkin Çıkışı
w_done	Okuma Tamamlandı Çıkışı

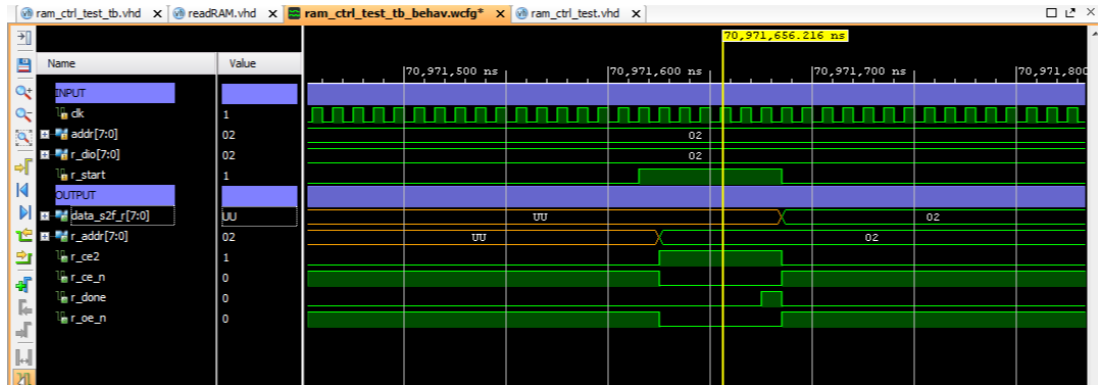
Belleğe veri yazan yazma devresinin Xilinx ISE programındaki RTL şematik görüntüsü incelenerek mantık kapıları ile tasarımına bakılmıştır. Yazma devresinin mantık kapıları ile tasarımı Şekil 3.7'de verilmiştir.



Şekil 3.7:SRAM yazma devresinin mantık kapıları ile tasarımı.

3.2.3 CMOS kontrol biriminin belleğe veri yazan devresinin tasarımı

Bellekten veri okuyan devrenin simülasyon sonucu Şekil 3.8’de verilmiştir. 8-bit addr sinyali hex formatında “02” olarak verilmiştir. r_start sinyalinin ‘1’ olarak gönderiminden sonra kontrol birimi r_ce_n, r_ce2, r_oe_n ve r_addr sinyallerini 60 ns boyunca SRAM’e göndererek okuma dalga formunu oluşturmaktadır. Bu süreçte 8-bit r_addr sinyalinin hex olarak “02” gönderildiği Şekil 3.8’de görülmektedir. r_we_n sinyali okuma işlemi boyunca ‘1’ değerine sürüldüğü için simülasyon sonucuna eklenmemiştir. Simülasyon sırasında r_dio sinyalinin sürececek bir SRAM olmadığı için, kullanıcı tarafından hex formatında “02” olarak sürülmüştür. r_done sinyalinin ‘1’ olması ile r_dio sinyali, data_s2f_r sinyaline aktarılmıştır. Şekil 3.2’de verilen SRAM okuma dalga formu ile tasarlanan okuma devresinin simülasyon sonucunun birbiri ile uyumlu olduğu görülmektedir.

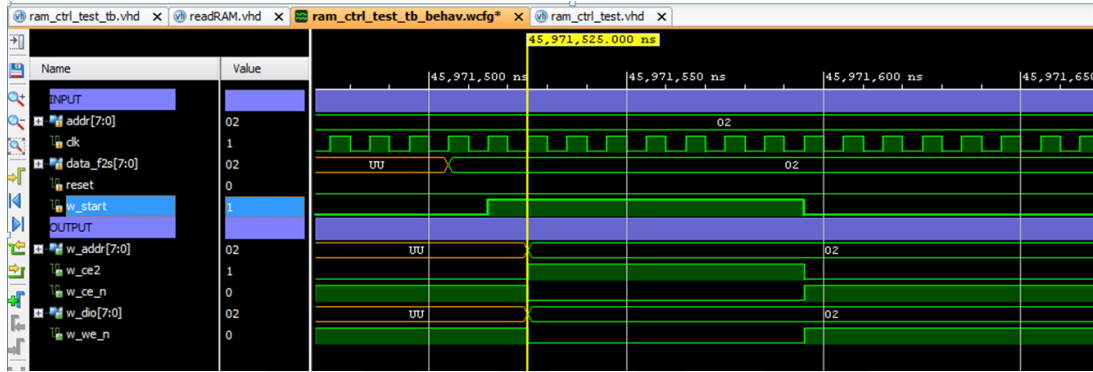


Şekil 3.8: SRAM okuma işlemi için simülasyon sonucu.

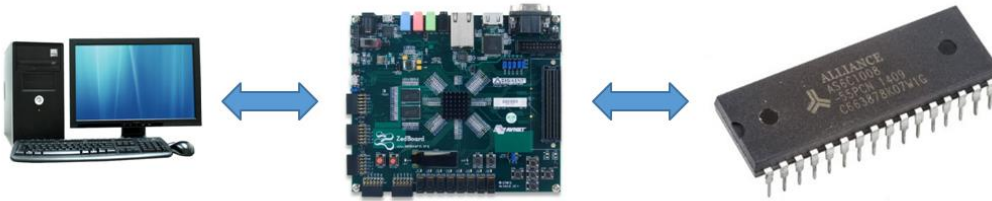
Belleğe veri yazan devrenin simülasyon sonucu Şekil 3.8’de verilmiştir. 8-bit addr ve data_f2s sinyalleri hex olarak “02” verilmiştir. w_start sinyalinin ‘1’ olarak gönderiminden sonra kontrol birimi, SRAM’e w_ce_n, w_ce2, w_we_n sinyallerini 60 ns boyunca göndererek yazma dalga formunu oluşturmaktadır. Bu süreçte 8-bit w_addr ve w_dio sinyalleri hex olarak “02” gönderildiği Şekil 3.9’da görülmektedir. w_oe_n sinyalinin değeri yazma işlemi etkilemediği için simülasyona eklenmemiştir. Şekil 3.5’de verilen SRAM yazma dalga formu ile tasarlanan yazma devresinin simülasyon sonucunun birbiri ile uyumlu olduğu görülmektedir.

Simülasyon sonuçları doğrulandıktan sonra donanımsal olarak tasarımın doğruluğunu test etmek için ZedBoard Zynq-7000 kartı programlanmış ve SRAM ile gerekli bağlantılar bağlantı kablosu kullanılarak yapılmıştır. SRAM ile FPGA arasındaki kablo sayısını azaltmak için kontrol biriminin veri ve adres sinyalleri 3-

bitSRAM ile FPGA arasındaki kablo sayısını azaltmak için kontrol biriminin veri ve adres sinyalleri 3-bit olarak değiştirilmiştir. Bu sayede test kurulumu kolaylaştırılmıştır. SRAM 16-bit adres sinyaline sahip olduğu ve FPGA'den 3-bit adres sinyali sürüldüğü için SRAM'ın 16-bit adres sinyalinin son 13 biti direk toprağa bağlanarak '0' değerine sürülmüştür. Zynq-7000 kontrol birimi ile SRAM arasındaki veri alış verişini doğrulamak için oluşturulan test kurulumu Şekil 3.10'da verilmiştir.



Şekil 3.9:SRAM yazma işlemi için simülasyon sonucu.



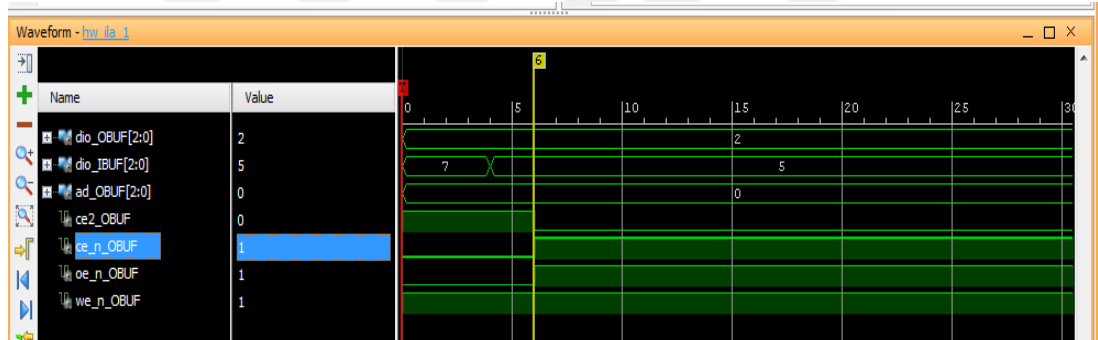
Şekil 3.10: SRAM okuma ve yazma işlemi için test kurulumu.

Xilinx ISE Design Suite programında bulunan ChipScope Pro ILA Core ile FPGA sinyalleri gerçek zamanda görüntülenebilmektedir [65]. SRAM ile FPGA arasındaki veri alışverişini görüntülemek için FPGA, JTAG kablosu ile bilgisayara bağlanmıştır. Kontrol birimi ile SRAM arasındaki sinyal giriş/çıkış bilgileri Çizelge 3.4'de verilmiştir. Burada dio_OBUF ve dio_IBUF olarak iki sinyal isminin bulunmasının nedeni dio sinyalinin giriş ve çıkış olarak çift yönlü tanımlanmasından kaynaklanmaktadır. Bu sayede aynı veri hattı okuma ve yazma işlemi için kullanılabilir. dio_OBUF sinyali belleğe yazılan veriyi, dio_IBUF sinyali ise bellekten okunan veriyi görüntülemek için kullanılır. Okuma ve yazma işlemi sonrasında dio sinyali "High-Z" durumuna getirilerek hem kontrol biriminin hemde SRAM'ın bu sinyali sürmesi sağlanmaktadır.

Çizelge 3.4: Kontrol birimi ile SRAM arasındaki giriş/çıkış sinyal bilgisi.

Sembol	Tanım
dio_OBUF(2-0)	Veri Çıkışları
dio_IBUF(2-0)	Veri Girişleri
ad_OBUF(2-0)	Adres Çıkışları
ce2_OBUF, ce_n_OBUF	Çip Etkin Çıkışları
oe_n_OBUF	Çıkış Etkin Çıkışı
we_n_OBUF	Yazma Etkin Çıkışı

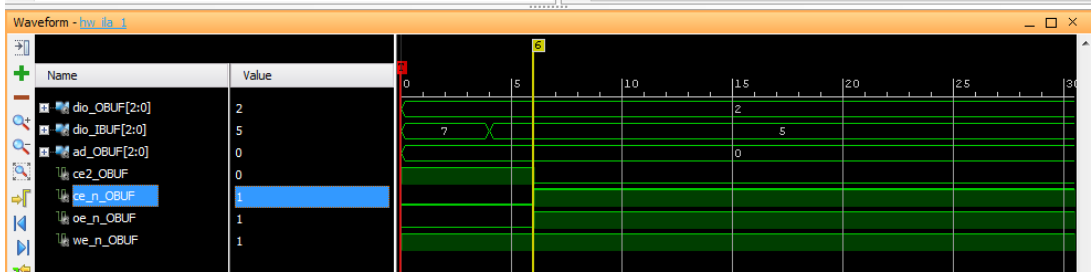
Okuma işlemi sırasında ChipScope ILA kullanılarak görüntülenen kontrol birimi ile SRAM arasındaki sinyal bilgileri Şekil 3.11’de verilmiştir. 3-bit adres (ad_OBUF) sinyali hex olarak “0” sürülmüştür. Çip etkin (ce2_OBUF, ce_n_OBUF), çıkış etkin (oe_n_OBUF) ve yazma etkin (we_n_OBUF) sinyallerinin 60 ns boyunca okuma dalga formu oluşturduğu ve AS6C1008 belleğinin okuma dalga formu ile aynı olduğu Şekil 3.11 ve Şekil 3.2’de görülmektedir. Daha önce “1” adresinin okunmasından kaynaklı “7” değerine sahip olan veri (dio_IBUF) sinyali, okuma işlemi sonrasında “0” adresinde bulunan “5” değerini almıştır.



Şekil 3.11:SRAM okuma işlemi Chipscope ILA sonucu.

Yazma işlemi sırasında ChipScope ILA kullanılarak görüntülenen kontrol birimi ile SRAM arasındaki sinyal bilgileri Şekil 3.12’de verilmiştir. 3-bit adres (ad_OBUF) ve veri (dio_OBUF) sinyalleri hex olarak “1” sürülmüştür. Çip etkin (ce2_OBUF, ce_n_OBUF), çıkış etkin (oe_n_OBUF) ve yazma etkin (we_n_OBUF) sinyallerinin 60 ns boyunca yazma dalga formu oluşturduğu ve AS6C1008 belleğinin yazma dalga formu ile aynı olduğu Şekil 3.12 ve Şekil 3.5’de görülmektedir. Son olarak, farklı adreslere farklı veriler yazılarak tekrar “1” adresi okunmuş ve okunan verinin “1” olduğu doğrulanmıştır.

Sonuç olarak gerekli dalga formunun oluşturulması durumunda SRAM’den veri okunabildiği ve SRAM’e veri yazılabildiği doğrulanmıştır.



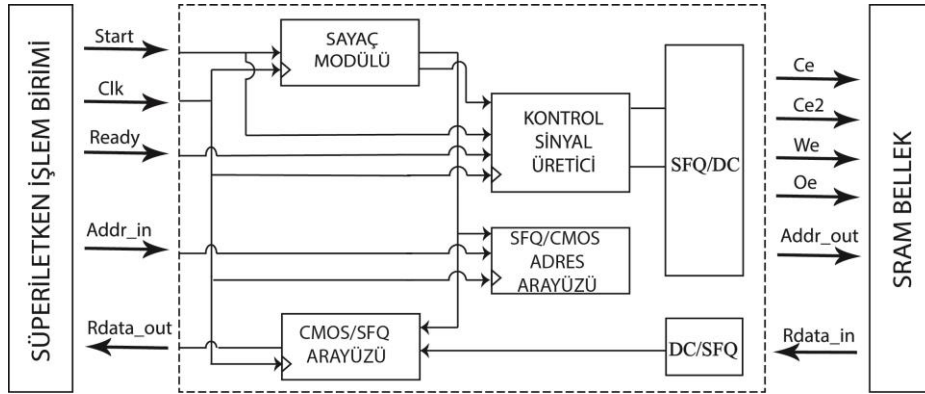
Şekil 3.12: SRAM yazma işlemi Chipscope ILA sonucu.

3.3 Kontrol Biriminin Bellekten Veri Okuyan ve Belleğe Veri Yazan Devrelerinin SFQ Mantık Kapıları Kullanılarak Tasarlanması

Tasarımın ilk aşamaların da SFQ tabanlı kontrol biriminin belleğe veri yazan yazma devresi ve bellekten veri okuyan okuma devresi iki ayrı devre olarak tasarlanmıştır. Daha sonra her iki tasarım birleştirilerek SFQ tabanlı kontrol birimi tasarımı yapılmıştır. Kontrol biriminin devre tasarımında kullanılan dijital mantık kapıları “1.3 Tezde Kullanılan RSFQ Mantık Kapıları” bölümünde anlatılmıştır.

3.3.1 SFQ kontrol biriminin bellekten veri okuyan devresinin tasarımı

Bellek kontrol biriminin bellekten veri okuyan devresine ait blok şema ve giriş/çıkış sinyal bilgisi Şekil 3.13’de verilmiştir.

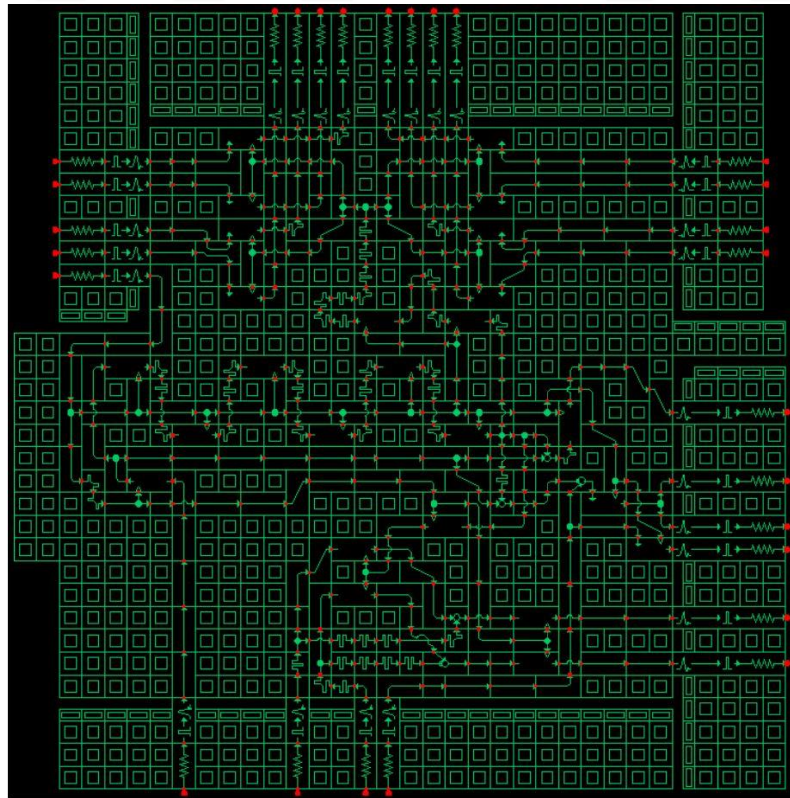


Şekil 3.13: Okuma devresinin blok şema ve giriş/çıkış sinyal bilgisi.

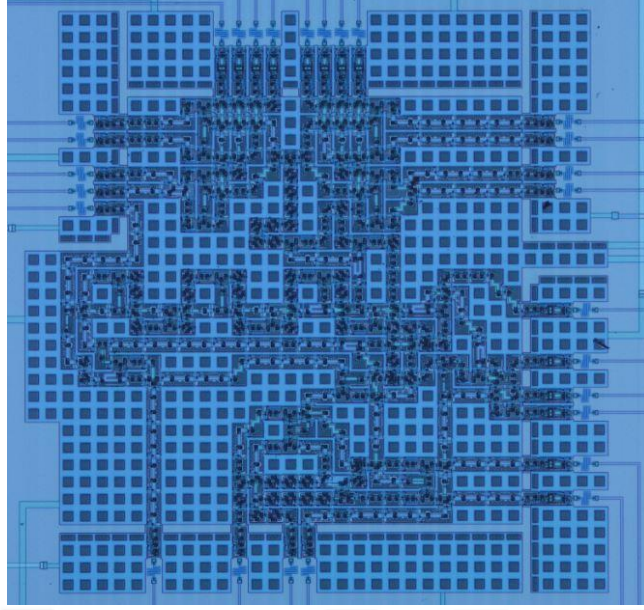
Saat işareti (Clk), hazır (Ready), başla (Start) ve 2-bit adres (Addr_in) sinyalleri SFQ mikroişlemci tarafından tasarlanan devreye SFQ formatında gönderilirken, 2-bit adres (Addr_out) ve kontrol sinyalleri olarak adlandırılan çip etkin (Ce, Ce2), yazma etkin (We), çıkış etkin (Oe) sinyalleri devreden SRAM’e CMOS formatında gönderilmektedir. SRAM’den CMOS formatında okunan 8-bit veri (Rdata_in), tasarlanan devre tarafından SFQ mikroişlemciye SFQ formatında gönderilmektedir.

(Rdata_out). Format dönüşümlerinden dolayı okuma devresinin SRAM ile arayüzünde kullanılan SFQ/DC ve DC/SFQ dönüştürücülerin çalışma yapısını göz önüne alınarak tasarım yapılmıştır.

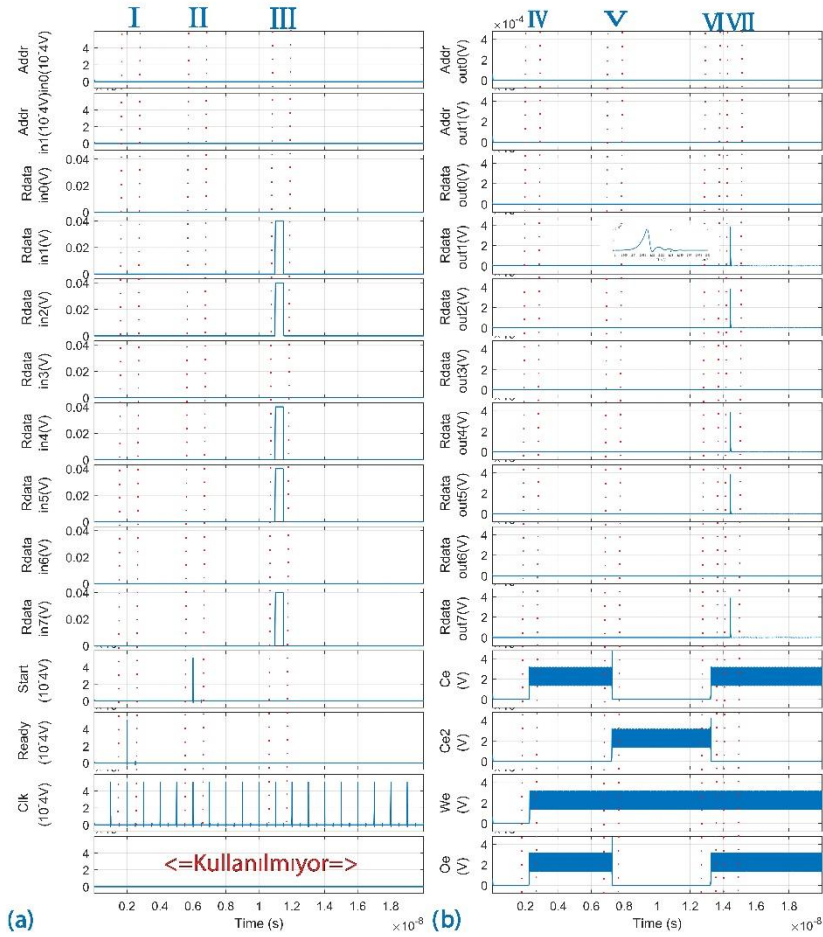
Dışarıdan verilen saat işaretinin frekansı tasarlanan devrenin çalışma hızını belirlemekte olup devre 10 GHz hızına kadar çalışabilmektedir. 2-bit Addr_in sinyali bellekten okunacak olan verinin adresini ve 8-bit Rdata_in bellekten okunan veriyi ifade etmektedir. Start sinyali, SRAM'den veri okuma işlemini başlatmaktadır. Ready sinyali ise Ce, We ve Oe sinyallerinin başlangıç değerlerini atamak için kullanılmaktadır. Ready sinyali, SFQ mikroişlemci tarafından okuma devresine ilk erişim sırasında yalnızca bir kere gönderilirken; Start sinyali SRAM'e her erişimde gönderilmektedir. Şekil 3.13'de görüldüğü gibi okuma devresi SFQ/CMOS adres arayüz, CMOS/SFQ arayüz, Sayaç ve Kontrol Sinyal Üretici modüllerinden oluşmaktadır. Bu modüller detaylı olarak "3.3.3 SFQ kontrol biriminin bellekten veri okuyan ve belleğe veri yazandevleri için tasarlanan modüller" bölümünde anlatılmıştır. Okuma devresinin şematik ve yonga üzerindeki gösterimi sırasıyla Şekil 3.14 ve Şekil 3.15'de verilmiştir. Bu devrenin analog simülasyon sonucu ise Şekil 3.16'da verilmiştir.



Şekil 3.14:8-bit okuma devresinin şematik gösterimi.



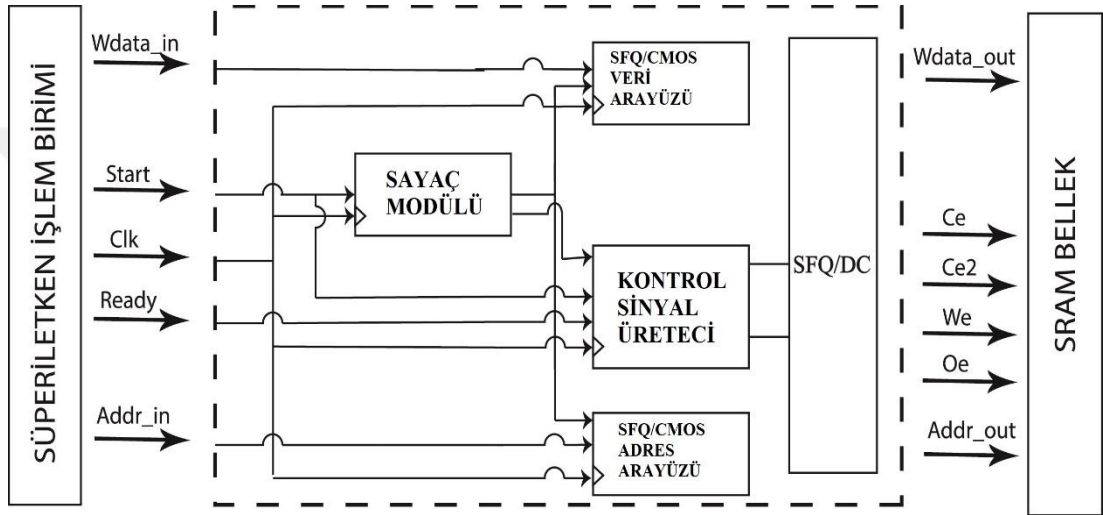
Şekil 3.15:8-bit okuma devresinin yonga üzerindeki gösterimi.



Şekil 3.16:8-bit Okuma devresinin analog simülasyon sonucu.(a) Okuma devresi girişleri. (b) Okuma devresi çıkışları. SFQ darbe süresi ps mertebelerinde olduğu içinbüyütülmüş hali sunulmuştur. (Addr="00", Wdata_in="10110110", Ready='1', Start='1')

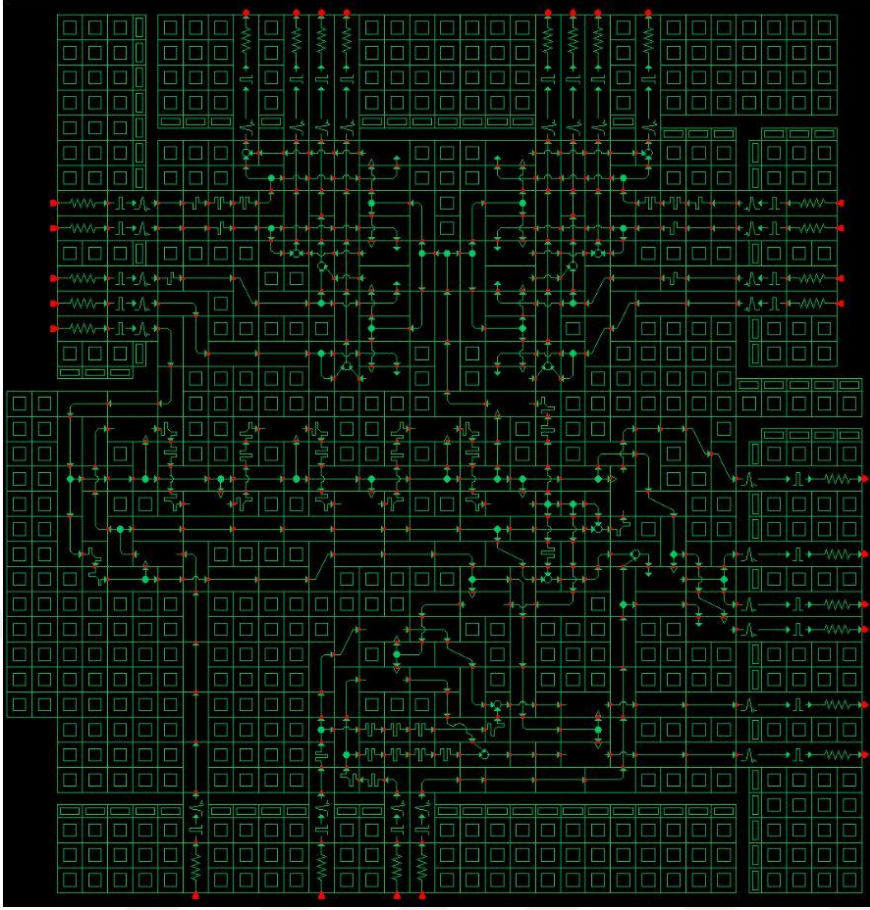
3.3.2 SFQ kontrol biriminin bellege veri yazma devresinin tasarımı

Bellek kontrol biriminin bellege veri yazma yazma devresine ait blok şema ve giriş/çıkış sinyal bilgisi Şekil 3.17’de verilmiştir. Saat işareti (Clk), hazır (Ready), başla (Start), 2-bit adres (Addr_in) ve 8-bit veri (Wdata_in) sinyalleri SFQ mikroişlemci tarafından tasarlanan devreye SFQ formatında gönderilirken, 8-bit veri (Wdata_out), 2-bit adres (Addr_out) ve kontrol sinyalleri olarak adlandırılan çip etkin (Ce, Ce2), yazma etkin (We), çıkış etkin (Oe) sinyalleri yazma devresinden SRAM’e CMOS formatında gönderilmektedir.

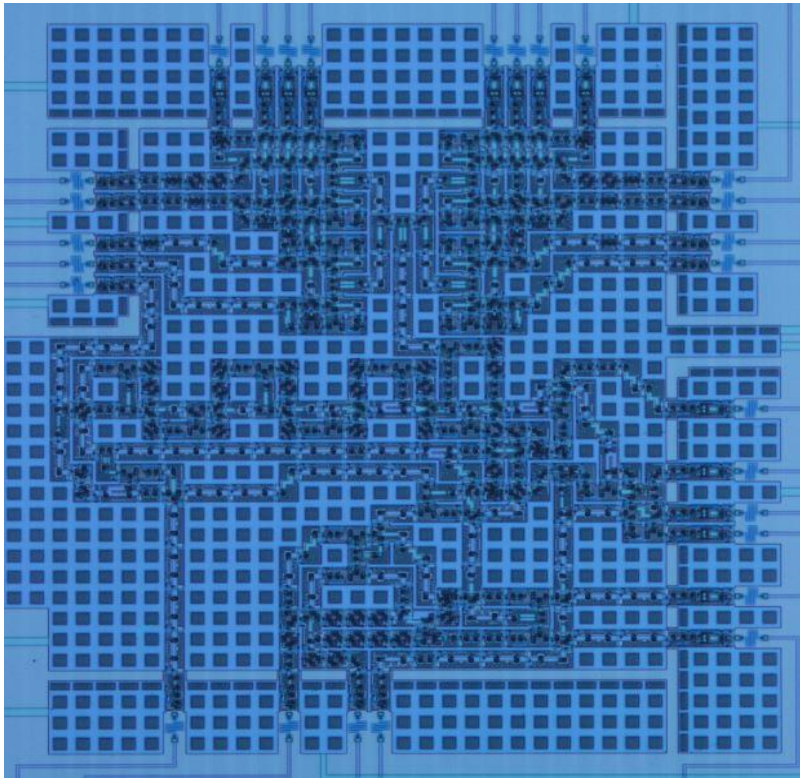


Şekil 3.17:Yazma devresinin blok şema ve giriş/çıkış sinyal bilgisi.

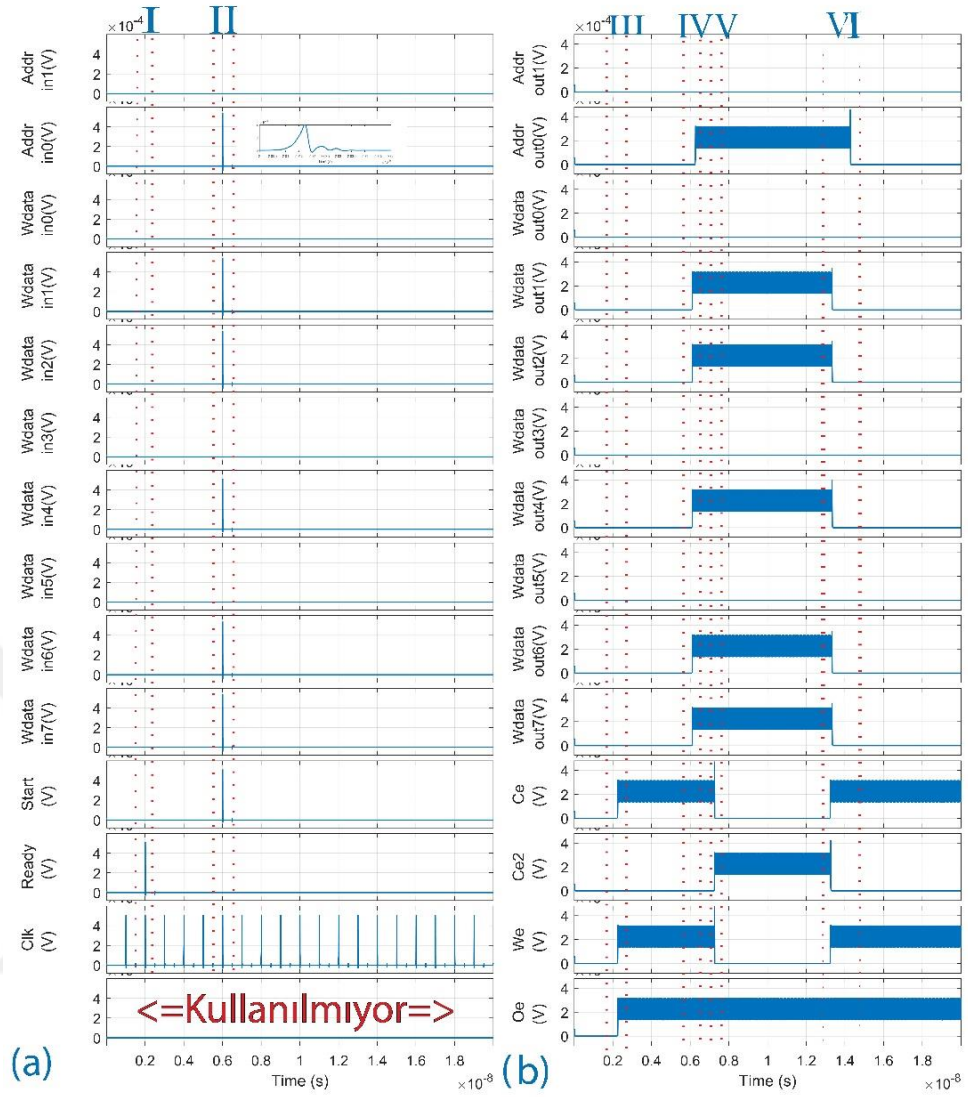
Okuma devresinde olduğu gibi dışarıdan verilen saat işaretinin frekansı tasarlanan devrenin çalışma hızını belirlemekte olup devre 10 GHz hızına kadar çalışabilmektedir. 8-bit Wdata_in sinyali bellege yazılacak olan veriyi, 2-bit Addr_in sinyali bellege yazılacak olan verinin adresini belirtmektedir. Start sinyali, SRAM’e veri yazma işlemini başlatmaktadır. Ready sinyali ise Ce, We ve Oe sinyallerinin başlangıç değerlerini atamak için kullanılır. Ready sinyali, SFQ mikroişlemci tarafından yazma devresine ilk erişim sırasında yalnızca bir kere gönderilirken; Start sinyali SRAM’e her erişimde gönderilmektedir. Şekil 3.17’de görüldüğü gibi yazma devresi SFQ/CMOS adres arayüz, SFQ/CMOS veri arayüz, Sayaç ve Kontrol Sinyal Üretici modüllerinden oluşmaktadır. Bu modüller detaylı olarak “3.3.3 SFQ kontrol biriminin bellekten veri okuyan ve bellege veri yazma devreleri için tasarlanan modüller” bölümünde anlatılmıştır. Yazma devresinin şematik ve yonga üzerindeki gösterimi sırasıyla Şekil 3.18 ve Şekil 3.19’da verilmiştir. Bu devrenin analog simülasyon sonucu ise Şekil 3.20’de verilmiştir.



Şekil 3.18:8-bit yazma devresinin şematik gösterimi.



Şekil 3.19: 8-bit yazma devresinin yonga üzerindeki gösterimi.



Şekil 3.20:8-bit yazma devresinin analog simülasyon sonucu. (a) Yazma devresi girişleri. (b) Yazma devresi çıkışları. SFQ darbe süresi ps mertebelerinde olduğu için büyütülmüş hali sunulmuştur. (Addr="01", Wdata_in="11010110", Ready='1', Start='1')

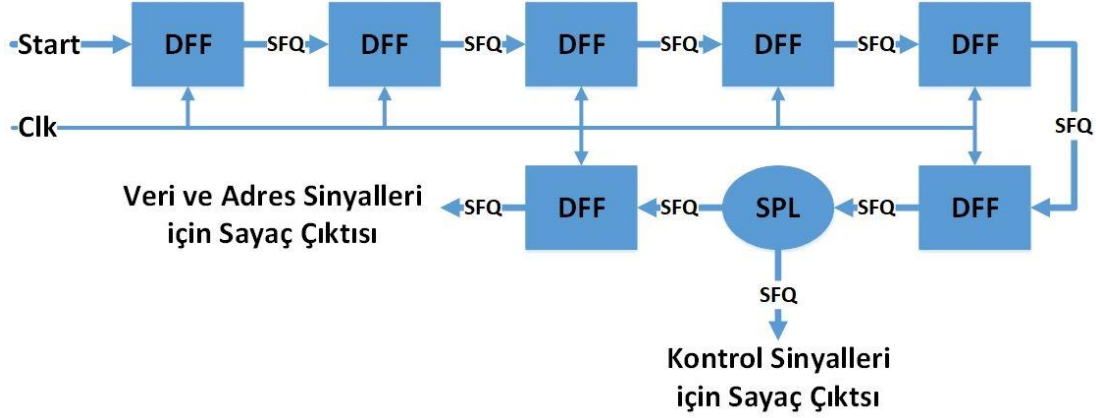
3.3.3 SFQ kontrol biriminin bellekten veri okuyan ve belleğe veri yazan devreleri için tasarlanan modüller

Bellekten veri okuma ve belleğe veri yazma devreleri için tasarlanan modüller bu bölümde anlatılmıştır.

3.3.3.1 Sayaç modülü

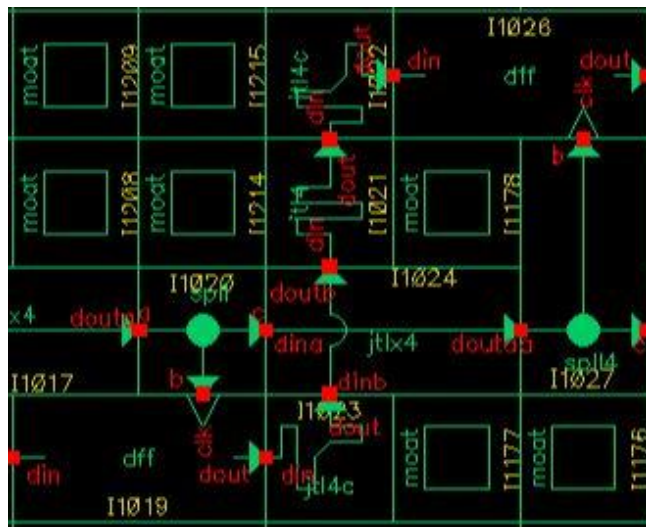
Sayaç modülü, SRAM okuma ve yazma işlemleri için gerekli zamanlamaları oluşturmak için kullanılmaktadır. Sayaç devresi SFQ mantık kapı ailesinden DFF

kullanılarak tasarlanmıştır. Sayaç modülünde bulunan DFF miktarı değiştirilerek sayaç modülünün sayma miktarı değiştirilebilmektedir. Sayaç modülünün blok şeması Şekil 3.21’de verilmiştir.



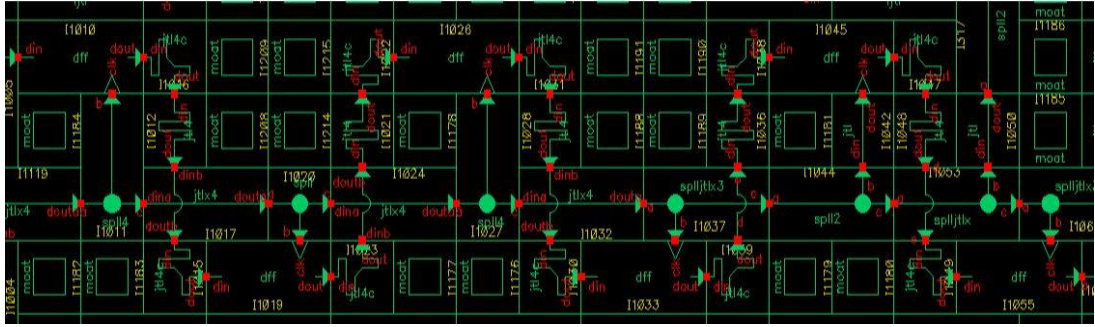
Şekil 3.21: Sayaç modülünün blok şema gösterimi.

Start sinyali, sayaç modülündeki ilk DFF hücreğine giriş olarak verilmiştir. İlk saat işareti ile DFF kapısı, SFQ darbeyi bir sonraki DFF kapısına göndermektedir. İki DFF arasında kullanılan JTL’ler DFF kapısının çalışma marjini optimum düzeyde ayarlamak için kullanılmaktadır. Bu yüzden sayaç modülünün sayma miktarının artırılması veya azaltılması durumunda, Şekil 3.22’de verilen şekilde ekleme çıkarma yapılması DFF marjin ayarının optimum seviyede olmasını sağlamaktadır. Bu sayede aynı kontrol birimi kullanılarak, sayaç modülündeki küçük bir değişiklik ile farklı SRAM’lerin farklı zamanlama gereksinimlerini sağlamak mümkün olmaktadır. DFF marjin ayarlarına Verilog-XL kullanılarak dijital simülasyonda bakılmıştır.

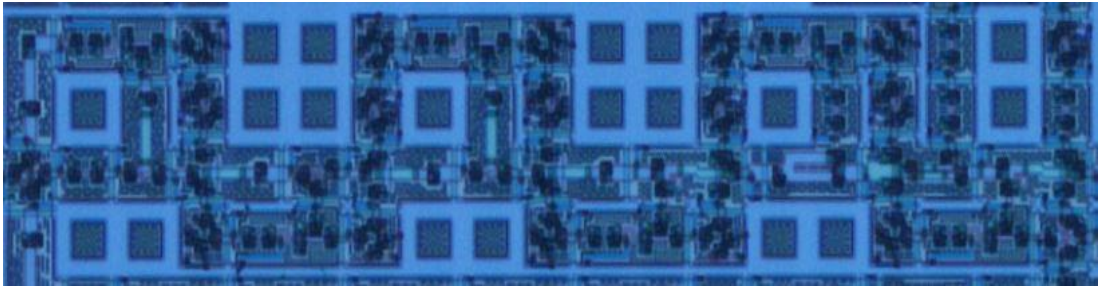


Şekil 3.22: Sayaç modülü ekleme/çıkarma devresi.

Sayaç modülünde 6 adet DFF kullanılmış ve Start sinyaliyle birinci DFF'e gelen SFQ darbe 6 saat işareti sonrasına aktarılmıştır. SPL hücresi kullanılarak 6 saat işareti sonrasına aktarılan SFQ darbenin 2 adet kopyası oluşturulmuştur. SFQ darbelerden biri kontrol sinyalleri için kullanılırken, diğeri DFF hücresinin girişine verilmektedir. Saat darbesi ile DFF çıktısında oluşan SFQ darbe adres veya veri sinyalleri için kullanılmaktadır. Sayaç modülü, SRAM modülü öncesinde SFQ/DC dönüştürücü, SFQ çoklayıcı ve krojenik CMOS yükseltici olacağı göz önünde bulundurularak, SRAM'ın dalga formu gereksinimlerini karşılamak üzere tasarlanmıştır. Bu çalışmada, CMOS tabanlı kontrol birimi tasarımında kullanılan AS6C1008'e [64] benzer SRAM'lerin zamanlama gereksinimi sağlayacak şekilde sayaç modülü tasarlanmıştır. Sayaç modülü devresinin şematik gösterimi Şekil 3.23'de, yonga üzerindeki gösterimi ise Şekil 3.24'de verilmiştir.



Şekil 3.23: Sayaç modülü devresinin şematik gösterimi.

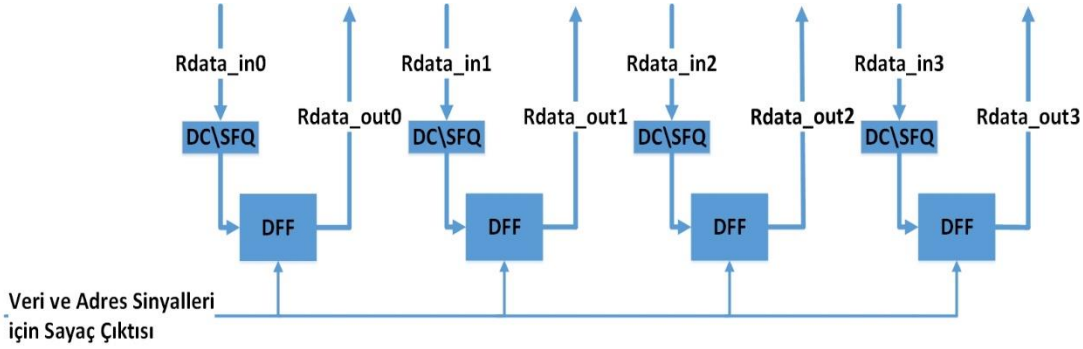


Şekil 3.24: Sayaç modülü devresinin yonga üzerindeki gösterimi.

3.3.3.2 CMOS/SFQ arayüz modülü

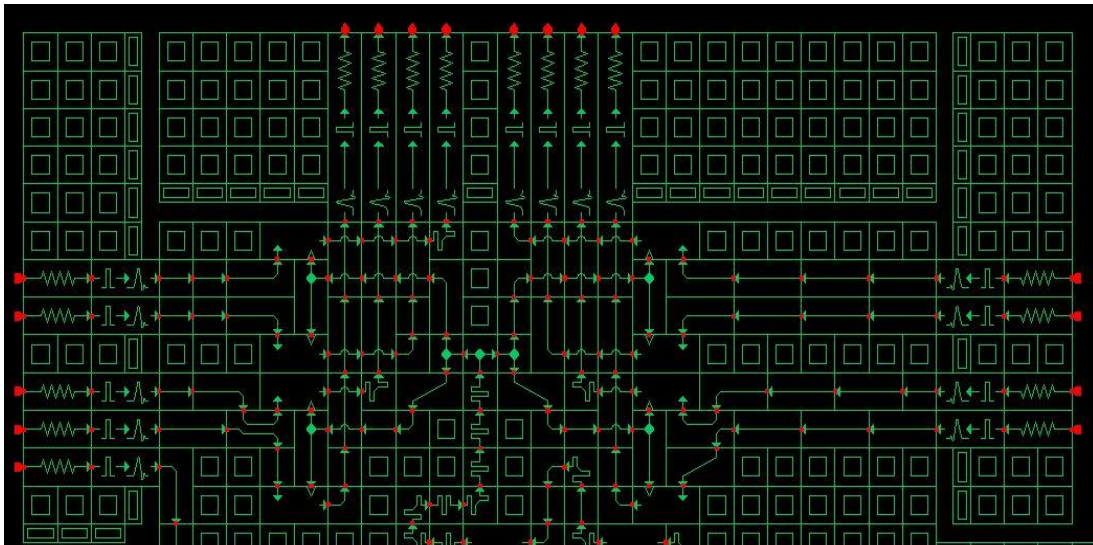
CMOS/SFQ arayüz devresi, sayaç devresinin çıktısını ve veri sinyal girdilerini kullanarak Rdata_out sinyallerini okuma işlemi sonrasında oluşturmaktadır. Ölçeklenmeye uygun şekilde tasarlanan arayüz devresinin veri boyutu kullanılacak olan belleğin boyutuna göre artırılabilir veya azaltılabilir. CMOS/SFQ arayüz devresinin blok şeması Şekil 3.25'de verilmiştir.

CE# sinyali '0' değerine düştükten maksimum 55 ns sonra SRAM, adresteki veriyi Rdata_in sinyaliyle okuma devresine göndermektedir.

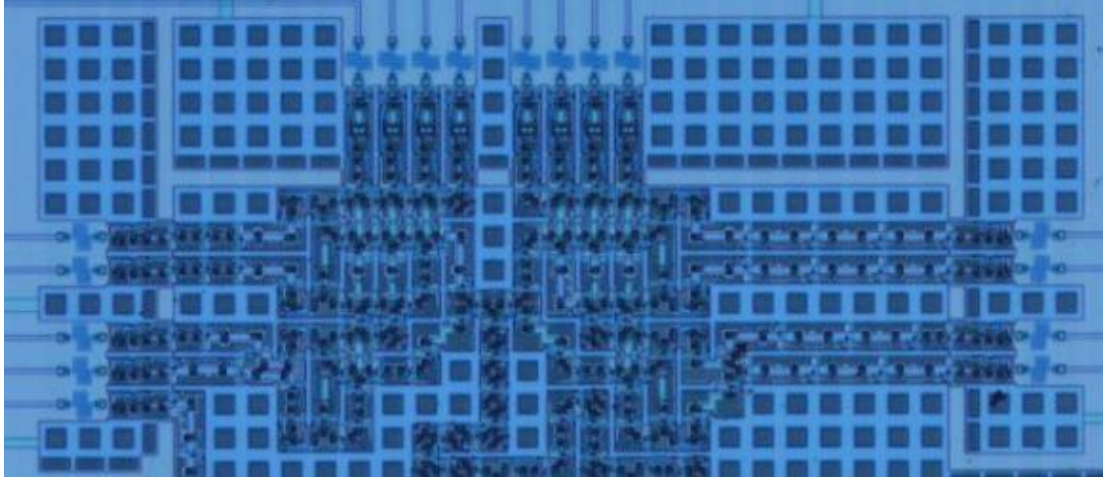


Şekil 3.25:CMOS/SFQ arayüz devresinin blok şema gösterimi.

Rdata_in sinyali okuma devresinin girişinde bulunan DC/SFQ dönüştürücünden geçtikten sonra SFQ darbe DFF hücresinin girişine gönderilerek gelen veri depolanmaktadır. DFF hücresinde depolanan veri, sayaç modülünün ürettiği SFQ darbe ile Rdata_out sinyaline aktarılmaktadır. Dolayısıyla '1' gönderilen Rdata_in0 sinyali (Şekil 3.16, (III)), Rdata_out0 çıkışında SFQ darbe oluşturmaktadır (Şekil 3.16, (VII)). Okuma devresinden SFQ mikroişlemciye gönderilen Rdata_out sinyali SFQ formatında gönderildiği için Rdata_out çıkışına SFQ/DC dönüştürücü konulmamıştır. '0' gönderilen Rdata_in3 sinyali ise (Şekil 3.16, (III)), Rdata_out3 çıkışında SFQ darbe oluşturmamaktadır (Şekil 3.16, (VII)). 8-bit SFQ/CMOS arayüz devresine ait şematik gösterim Şekil 3.26'de, yonga üzerindeki gösterim ise Şekil 3.27'de verilmiştir.



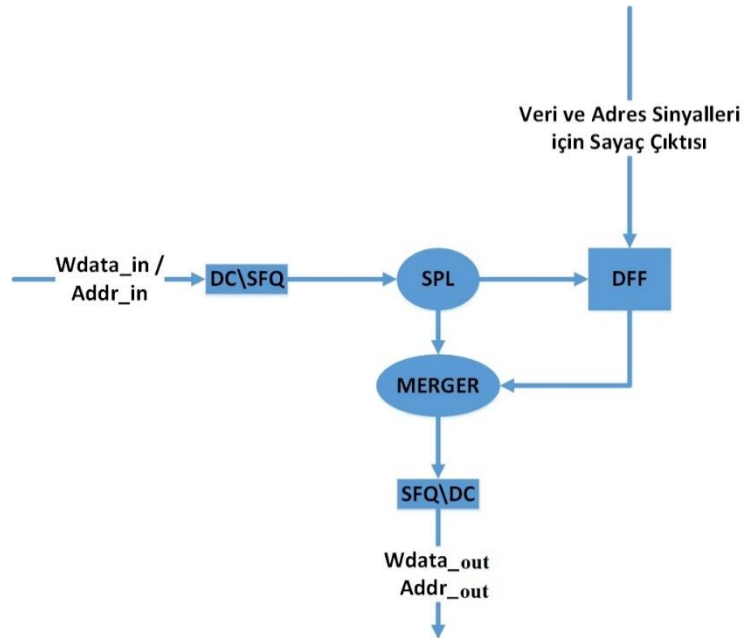
Şekil 3.26:8-bit CMOS/SFQ arayüz devresinin şematik gösterimi.



Şekil 3.27:8-bit CMOS/SFQ arayüz devresinin yonga gösterimi.

3.3.3.3 SFQ/CMOS veri arayüz modülü

SFQ/CMOS veri arayüz devresi, sayaç devresinin çıktısını ve veri sinyal girdilerini kullanarak Wdata_out sinyallerini, yazma işleminin zaman gereğini sağlayacak şekilde oluşturmaktadır. Ölçeklenmeye uygun şekilde tasarlanan arayüz devresinin veri sinyal sayısı kullanılacak olan belleğin boyutuna göre artırılabilen veya azaltılabilmektedir. SFQ/CMOS veri arayüz devresinin blok şeması Şekil 3.28’de verilmiştir.

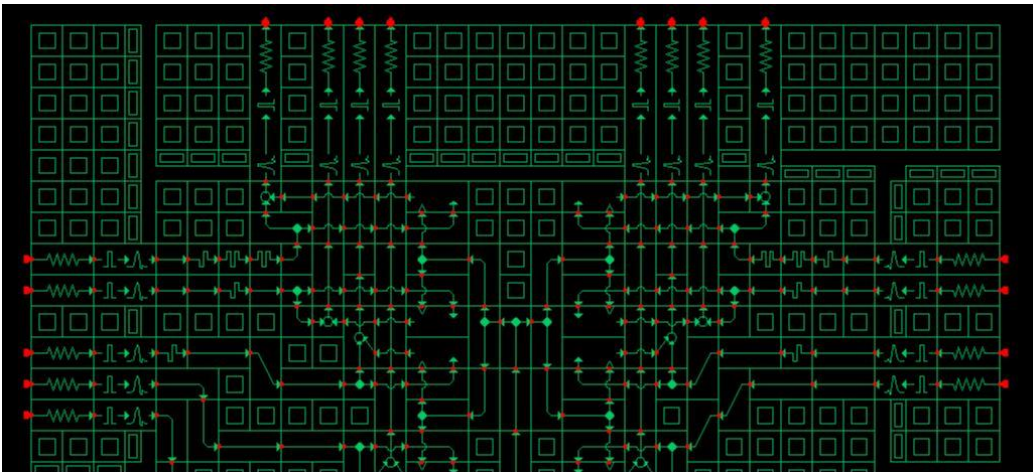


Şekil 3.28: SFQ/CMOS veri arayüz devresinin blok şema gösterimi.

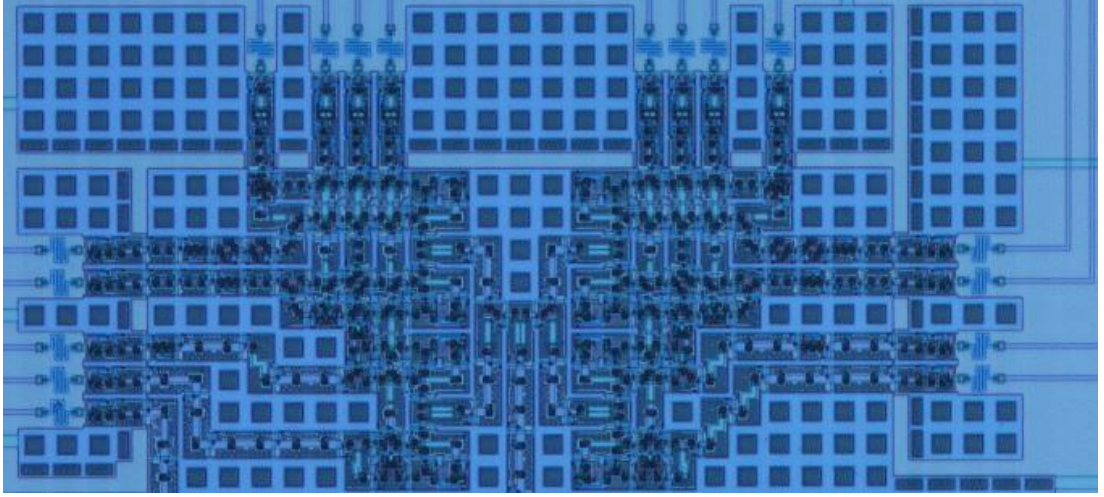
Yazma devresine gönderilen Wdata_in sinyalleri devre girişinde bulunan DC/SFQ dönüştürücüsünden geçtikten sonra SPL hücresi kullanılarak çoklanmaktadır. Oluşan

SFQ sinyallerden biri MERGER hücreğine diğeri ise DFF hücreğine ileilmektedir. MERGER hücreğine iletilen bu sinyal Wdata_out ıktısında bulunan SFQ/DC dönüřtürücüsünü salınımaya sokmaktadır (Şekil 3.20, (IV)). Dolayısıyla ‘1’ gönderilen Wdata_in1 sinyali (Şekil 3.20, (II)), Wdata_out ıktısında bulunan SFQ/DC dönüřtürücüsünü tetikleyerek SRAM belleğey ‘1’ verisini göndermektedir. ‘0’ gönderilen Wdata_in0 sinyali (Şekil 3.20, (II)) ise DC/SFQ dönüřtürücüde bir SFQ darbe oluşturmadığı için Wdata_out0 ıktısında da bir değıřikliğey neden olmayacaktır (Şekil 3.20, (IV))

SPL hücreğinden DFF hücreğine aktarılan SFQ sinyal, DFF hücreği tetiklene kadar hücre içerisinde saklanmaktadır. 7 saat işareti sonrasında sayaç modülü tarafından oluşturulan SFQ sinyal DFF hücreğini tetikleyerek, hücre içerisinde saklanan SFQ sinyalin DFF hücreğinden MERGER hücreğine aktarımını sağlamaktadır. MERGER hücreğinden SFQ/DC hücreğine gönderilen sinyal ise daha önceden salınım halinde olan SFQ/DC hücreğini salınımdan ıkarmaktadır(Şekil 3.20, (VI)). Salınımda kalınan bu süre SRAM belleğın zaman gereğini sağlayacak şekilde ayarlanmıştır. Wdata_in sinyalinden veri gönderilmediğı durumda DFF hücreğinde veri saklanmayacağı için sayaç ıktı sinyalinin tetiklemesiyle MERGER hücreğine veri aktarılmayacaktır. Dolayısıyla ‘1’ gönderilen Wdata_in1 sinyali, Wdata_out1 ıktısında bulunan SFQ/DC dönüřtürücüsünü tetiklerken, ‘0’ gönderilen Wdata_in0 sinyali ise SFQ/DC dönüřtürücüsünü tetiklemediğı için Wdata_out0 ıktısında bir değıřikliğey neden olmayacaktır (Şekil 3.20, (VI)) . 8-bit SFQ/CMOS veri arayüz devresine ait şematik gösterim Şekil 3.29’de, yonga üzerindeki gösterim ise Şekil 3.30’de verilmiştir.



Şekil 3.29:8-bit SFQ/CMOS veri arayüz devresinin şematik gösterimi.



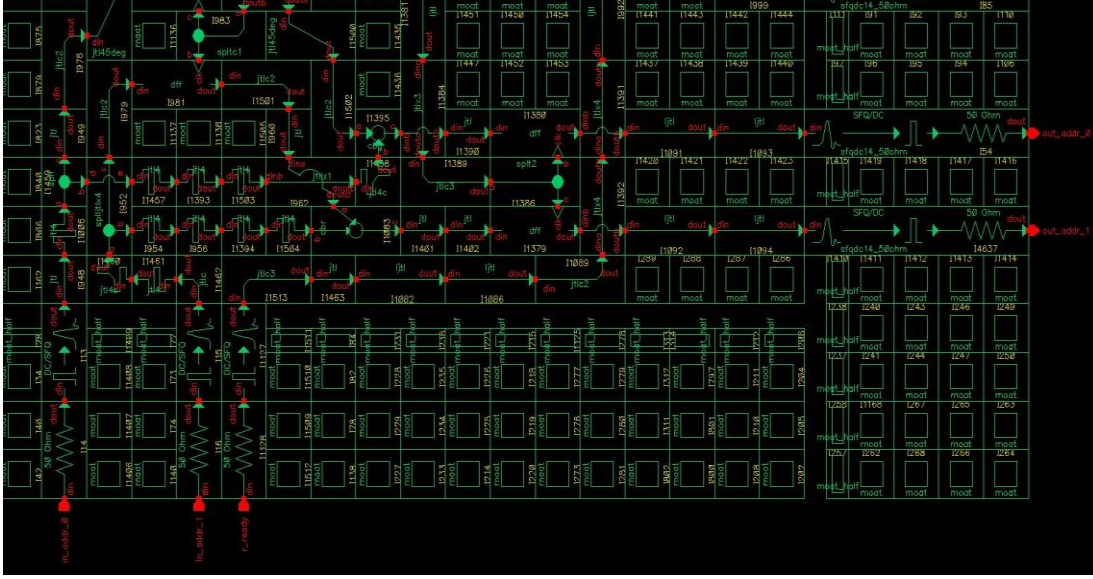
Şekil 3.30:8-bit CMOS/SFQ arayüz devresinin yonga gösterimi.

3.3.3.4 SFQ/CMOS adres arayüz modülü

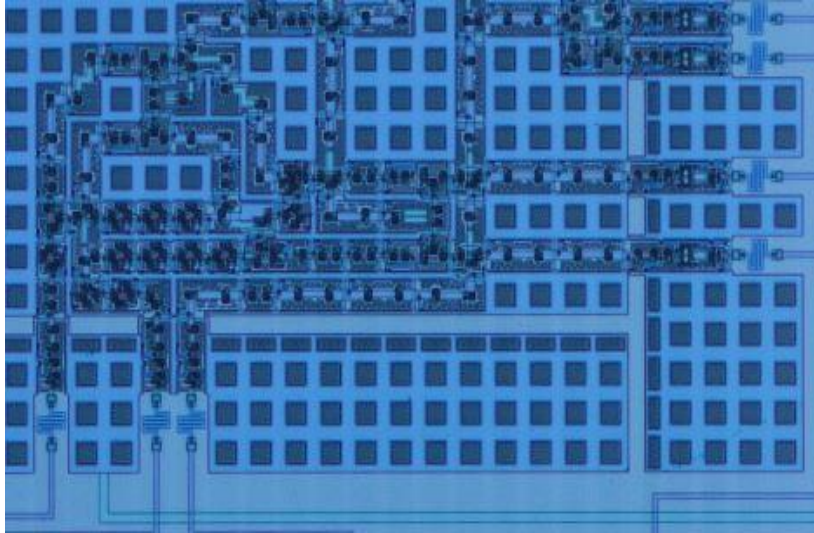
SFQ/CMOS adres arayüz devresi, sayaç devresinin çıkışını ve adres sinyal girdilerini kullanarak Addr_out sinyallerini yazma ve okuma işleminin zaman gereğini sağlayacak şekilde oluşturmaktadır. Ölçeklenmeye uygun şekilde tasarlanan adres arayüz devresinin adres sayısı kullanılacak olan belleğin boyutuna göre artırılabilen veya azaltılabilmektedir.

SFQ/CMOS adres ve SFQ/CMOS veri arayüz devresi ile aynı çalışma yapısına sahiptir (bkz. 3.3.3.3 SFQ/CMOS Veri Arayüz Modülü). Okuma/yazma devresine gönderilen Addr_in sinyalleri devre girişinde bulunan DC/SFQ dönüştürücüsünden geçerek Addr_out çıkışında bulunan SFQ/DC dönüştürücüsünü salınımına sokmaktadır. Dolayısıyla '1' gönderilen Addr_in0 sinyali (Şekil 3.20, (II)), Addr_out0 çıkışında bulunan SFQ/DC dönüştürücüsünü tetikleyerek SRAM belleğe '1' verisini göndermektedir (Şekil 3.20, (IV)). '0' gönderilen Addr_in1 sinyalleri (Şekil 3.20, (II)) ise DC/SFQ dönüştürücüde bir SFQ darbe oluşturmadığı için Addr_out1 çıkışında da bir değişikliğe neden olmayacaktır.

7 saat işareti sonrasında sayaç modülü tarafından oluşturulan SFQ sinyal daha önceden salınım halinde olan SFQ/DC hücrelerini salınımdan çıkarmaktadır. '1' gönderilen Addr_in0 sinyali, Addr_out0 çıkışında bulunan SFQ/DC dönüştürücüsünü salınımdan çıkarırken (Şekil 3.20, (VI)), '0' gönderilen Addr_in1 sinyali ise SFQ/DC dönüştürücüsünü tetiklemediği için Addr_out1 çıkışında bir değişikliğe neden olmayacaktır. 2-bit SFQ/CMOS adres arayüz devresine ait şematik gösterim Şekil 3.31'de, yonga üzerindeki gösterim ise Şekil 3.32'de verilmiştir.



Şekil 3.31:2-bit SFQ/CMOS adres arayüz devresinin şematik gösterimi.

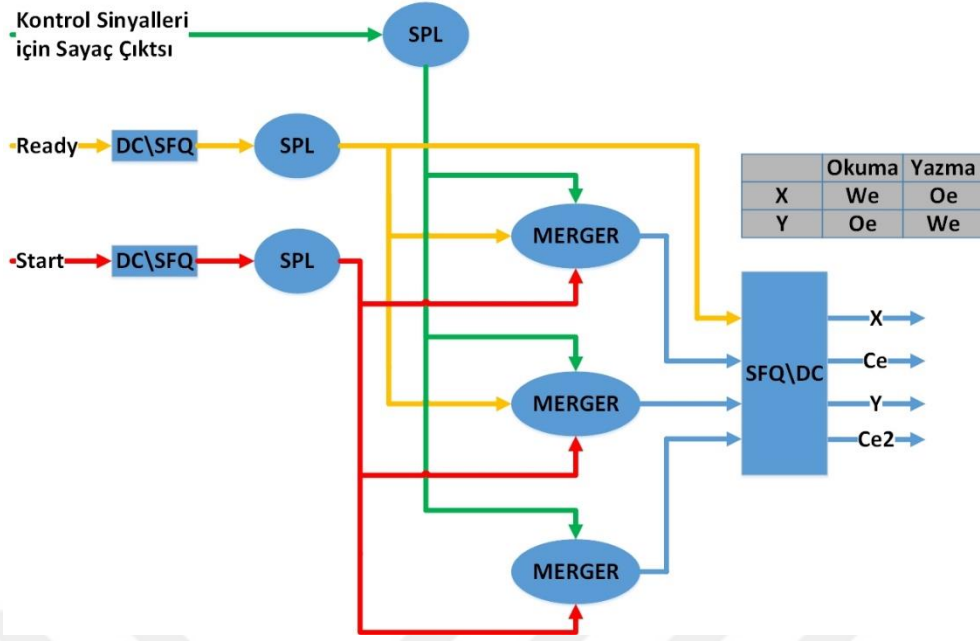


Şekil 3.32:2-bit SFQ/CMOS adres arayüz devresinin yonga gösterimi.

3.3.3.5 Kontrol sinyal üretici modül

Kontrol sinyal üretici modül, SRAM'den veri okumak ve SRAM'e veri yazmak için gerekli olan dalga formlarını, kontrol sinyalleri olarak adlandırılan Ce, Ce2, We ve Oe ile üretmektedir. Bu modül kontrol sinyallerini üretmek için Start ve Ready girişlerini bunlara ek olarak sayaç modülünün çıktısını kullanmaktadır. Kontrol Sinyal Üretici Modülünün blok şeması Şekil 3.33'de verilmiştir.

DC/SFQ dönüştürücünden geçen Readysinyalinin 3 adet kopyası SPL hücresi kullanılarak oluşturulmuştur. Oluşan bu SFQ sinyallerden biri, Oe sinyalinin çıkışında bulunan SFQ/DC dönüştürücüsünü salınma sokmak için kullanılmaktadır.



Şekil 3.33: Kontrol Sinyal Üretici Modülün blok şema gösterimi.

SPL hücresi ile çoklanmış ikinci Ready sinyali ise Ce sinyalini oluşturan MERGER hücresine iletilmektedir. MERGER hücresine iletilen SFQ sinyal SFQ/DC dönüştürüyü salınıma sokarak SRAM belleğe '1' gönderimi sağlamaktadır (Şekil 3.20, (III)). SPL hücresi tarafından oluşturulan son Ready sinyali Oe sinyalini oluşturan MERGER hücresine iletilmektedir. MERGER hücresine iletilen SFQ sinyal SFQ/DC dönüştürüyü salınıma sokarak SRAM belleğe '1' gönderimi sağlamaktadır (Şekil 3.20, (III)).

Aynı şekilde DC/SFQ dönüştürücünden geçen Start sinyalinin 3 adet kopyası SPL hücresi kullanılarak oluşturulmuştur. Oluşan bu SFQ sinyallerden herbiri Ce, Oe ve Ce2 sinyallerini oluşturan MERGER hücrelerine gitmektedir. MERGER hücrelerinden geçen SFQ sinyaller Ce ve Oe çıkışlarında bulunan ve salınımda olan SFQ/DC dönüştürücülerini salınımdan çıkarırken, Ce2 çıkışında bulunan ve salınımda olmayan SFQ/DC dönüştürücüsünü salınıma sokmaktadır (Şekil 3.20, (V)). Salınımdan çıkan sinyal CMOS'ta '0' değerini, salınıma giren sinyal CMOS'ta '1' değerini ifade etmektedir.

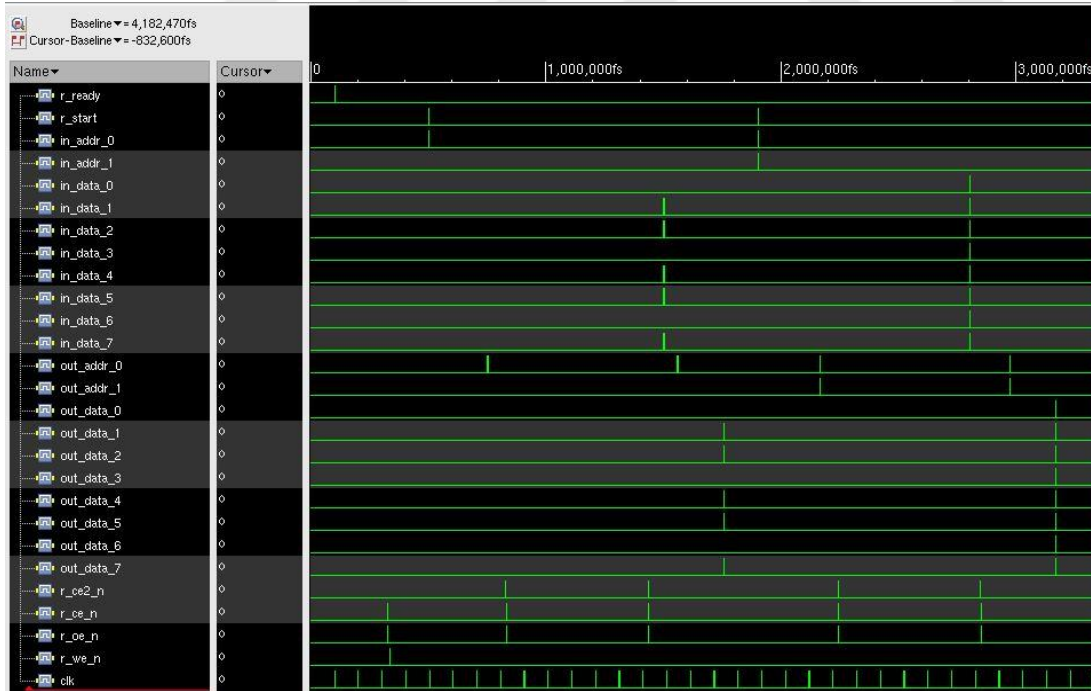
Start sinyalinin gönderimi ile saymaya başlayan Sayaç modülünün, 6 saat işareti sonrasında oluşturduğu SFQ sinyal SPL hücresine gönderilerek çoklanmaktadır. SPL hücresi kullanılarak 3 adet kopyası oluşturulan SFQ sinyaller Ce, Oe ve Ce2 sinyallerini oluşturan MERGER hücrelerinin girişlerine verilmektedir. MERGER hücrelerinden geçen SFQ sinyaller, Ce2 çıkışındaki salınımda olan SFQ/DC

dönüştürücüsünü salınımdan çıkarırken, Ce ve Oe çıkışlarındaki salınımda olmayan SFQ/DC dönüştürücülerini salınıma sokmaktadır (Şekil 3.20, (VI)).

SRAM'in okuma ve yazma dalga formları birbiri ile karşılaştırıldığında CE# ve CE2 sinyallerinin dalga formlarının aynı olduğu, WE# ve OE# sinyallerinin dalga formlarının ise yer değiştirildiği görülmektedir (Şekil 3.2, Şekil 3.5). Yani yazma işlemi sırasında oluşturulması gereken WE# sinyalinin dalga formu, okuma işlemi sırasında OE# sinyali ile oluşturulması gerekmektedir. Aynı şekilde yazma işlemi sırasında oluşturulması gereken OE# dalga formu, okuma işlemi sırasında WE# sinyali ile oluşturulması gerekmektedir. Bu yüzden yazma devresinin şematığında sadece We ve Oe sinyallerinin pin isimleri birbiri ile yer değiştirilmiş ve aynı kontrol sinyal üretici modül kullanılarak kontrol sinyalleri oluşturulmuştur.

3.3.4 SFQ kontrol biriminin bellekten veri okuyan devresinin simülasyon sonuçları

Okuma devresinin analog simülasyon sonucu Şekil 3.16'de ve dijital simülasyon sonucu Şekil 3.34'de verilmiştir.



Şekil 3.34: 8-bit bellekten veri okuyan devrenin dijital simülasyon sonucu.

SFQ mikroişlemci tarafından Addr_in="00", Ready='1', Start='1' ve SRAM tarafından Rdata_in="10110110" değerlikli sinyaller okuma devresine gönderilmektedir (Şekil 3.16(a)). Gönderilen girişlere göre oluşturulan okuma

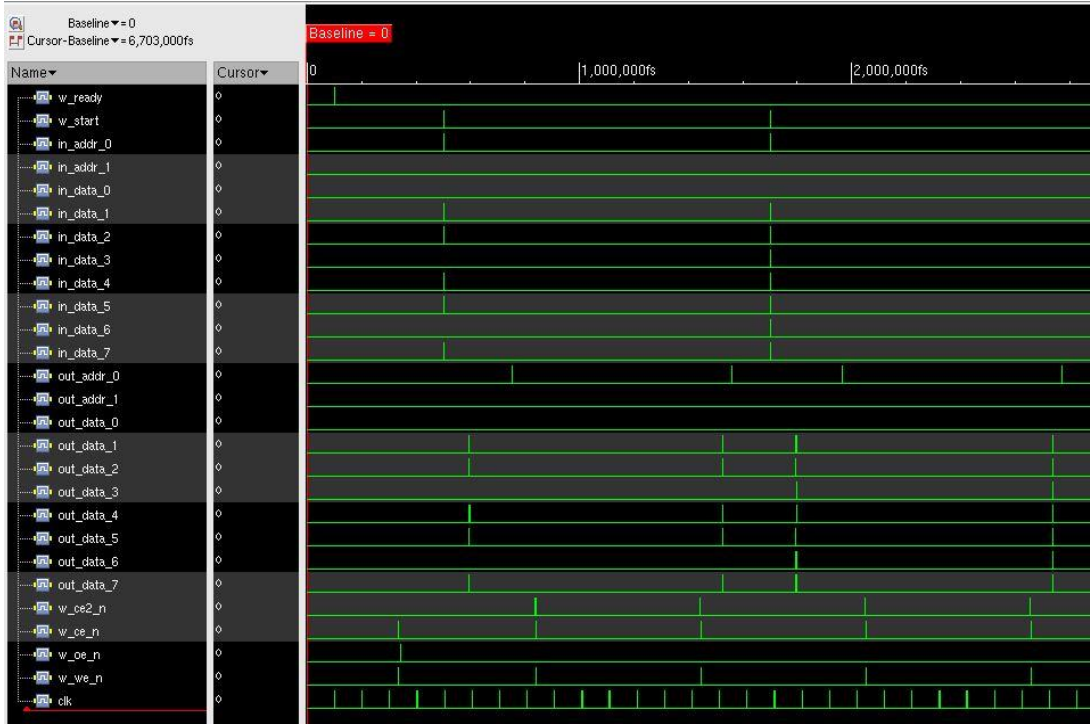
devresinin çıkış sinyalleri Şekil 3.16(b)'de verilmiştir. SFQ darbe süresi ps mertebelerinde olduğu için büyütülmüş hali şekilde verilmiştir. Analog simülasyonda saat işaretinin frekansı 100MHz olarak seçilmiştir. Bu sayede 6 saat işareti boyunca '0' değerine sürülen Ce,Oe ve '1' değerine sürülen Ce2 sinyalleri 60ns boyunca bu değerlere sürülmektedir. Simülasyon ortamında SRAM bulunmadığı için SRAM tarafından gönderilmesi gereken Rdata_in sinyali kullanıcı tarafından Start sinyalinden 40 ns sonra gönderilmiştir. Ce sinyalinin '0' değerine düşmesinden 70 ns sonra, oluşan Rdata_out sinyalinin SFQ formatında ve "10110110" değerlikli olduğu simülasyonda görülmektedir. Okuma devresinin analog simülasyon sonucu ile AS6C1008 tip numaralı belleğin okuma dalga formu karşılaştırıldığında birbiri ile uyumlu olduğu görülmektedir.

Dijital simülasyon SFQ/DC ve DC/SFQ çeviriciler olmadığı için Şekil 3.34'de sadece SFQ darbeler görülmektedir. Dijital simülasyonda Ready (r_ready) sinyali Start (r_start) sinyalinden önce, Adres (in_addr) ve veri (in_data) sinyalleri ise Start sinyali ile aynı anda verilmiştir. Dijital simülasyonda ilk olarak SFQ mikroişlemci tarafından in_addr="01", r_ready='1', r_start='1' ve SRAM tarafından in_data="10110110" değerlikli sinyaller okuma devresine gönderilmektedir. Daha sonra SFQ mikroişlemci tarafından in_addr="11", r_ready='1', r_start='1' ve SRAM tarafından in_data="11111111" değerlikli sinyaller okuma devresine gönderilmektedir. Bu değerlere bağlı olarak oluşan sinyal çıktıları Şekil 3.34'de görülmektedir.

3.3.5 SFQ kontrol biriminin belleğe veri yazan devresinin simülasyon sonuçları

Yazma devresinin analog simülasyon sonucu Şekil 3.20'de ve dijital simülasyon sonucu Şekil 3.35'de verilmiştir. Addr_in="01", Wdata_in="11010110", Ready='1' ve Start='1' olarak yazma devresine gönderilen sinyaller Şekil 3.20 (a)'da, bu girişlere göre yazma devresinden SRAM'e gönderilen çıkış sinyalleri ise Şekil 3.20 (b)'de verilmiştir. SFQ darbe süresi ps mertebelerinde olduğu için büyütülmüş hali şekilde verilmiştir. Analog simülasyonda saat işaretinin frekansı 100MHz olarak seçilmiştir. Bu sayede 6 saat işareti boyunca '0' değerine sürülen Ce,We ve '1' değerine sürülen Ce2 sinyalleri 60ns boyunca bu değerlere sürülmektedir. Aynı şekilde adres ve veri sinyalleri 80ns boyunca girişten verilen Wdata_in ve Addr_in değerlerine sürülmektedir. Yazma devresinin analog simülasyon sonucu ile

AS6C1008 tip numaralı belleğin yazma dalga formu karşılaştırıldığında birbiri ile uyumlu olduğu görülmektedir.



Şekil 3.35:8-bit belleğe veri yazan devrenin dijital simülasyon sonucu.

Dijital simülasyon SFQ/DC çeviriciler olmadığı için Şekil 3.35’de sadece SFQ darbeler görülmektedir. Dijital simülasyonda Ready(w_ready) sinyali Start(w_start) sinyalinden önce, Adres(in_addr) ve veri(in_data) sinyalleri ise Start sinyali ile aynı anda verilmiştir. Dijital simülasyonda ilk olarak SFQ mikroişlemci tarafından in_addr="01", w_ready='1', w_start='1' ve SRAM tarafından in_data="10110110" değerlikli sinyaller okuma devresine gönderilmektedir. Daha sonra SFQ mikroişlemci tarafından in_addr = "01", w_ready='1', w_start='1' ve SRAM tarafından in_data="11111110" değerlikli sinyaller okuma devresine gönderilmektedir. Bu değerlere bağlı olarak oluşan sinyal çıktıları Şekil 3.35’de görülmektedir.

3.4 Bellekten Veri Okuyan ve Belleğe Veri Yazan Devreler Birleştirilerek Kontrol Biriminin Tasarlanması

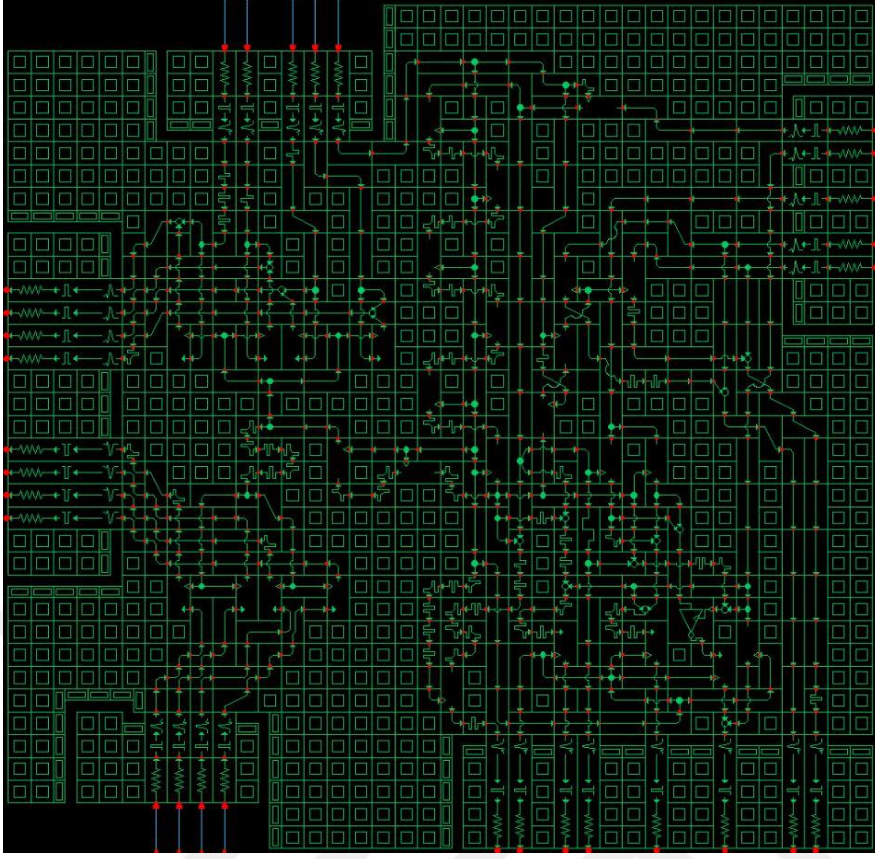
Bellekten veri okuma ve belleğe veri yazma olarak iki ayrı kısımda tasarlanan kontrol birimi birleştirilerek tek bir devre haline getirilmiştir. SFQ tabanlı mikroişlemci yapılacak olan okuma/yazma işlemine ve SRAM’e gönderilecek olan

veriye ve adrese karar vermektedir. SFQ mikroişlemciden gelen bilgilere göre, kontrol birimi gerekli dalga formunu, veri ve adres bilgilerini SRAM'e göndermektedir. Tasarlanan bellek kontrol biriminin blok diyagramı ve giriş/çıkış sinyal bilgisi Şekil 3.1'de verilmiştir. Test kurulumunda ölçülebilecek maksimum sinyal sayısı sınırlı (32) olduğu için adres sinyali 2-bit, veri sinyali 4-bit olacak şekilde kontrol birimi tasarlanmıştır.

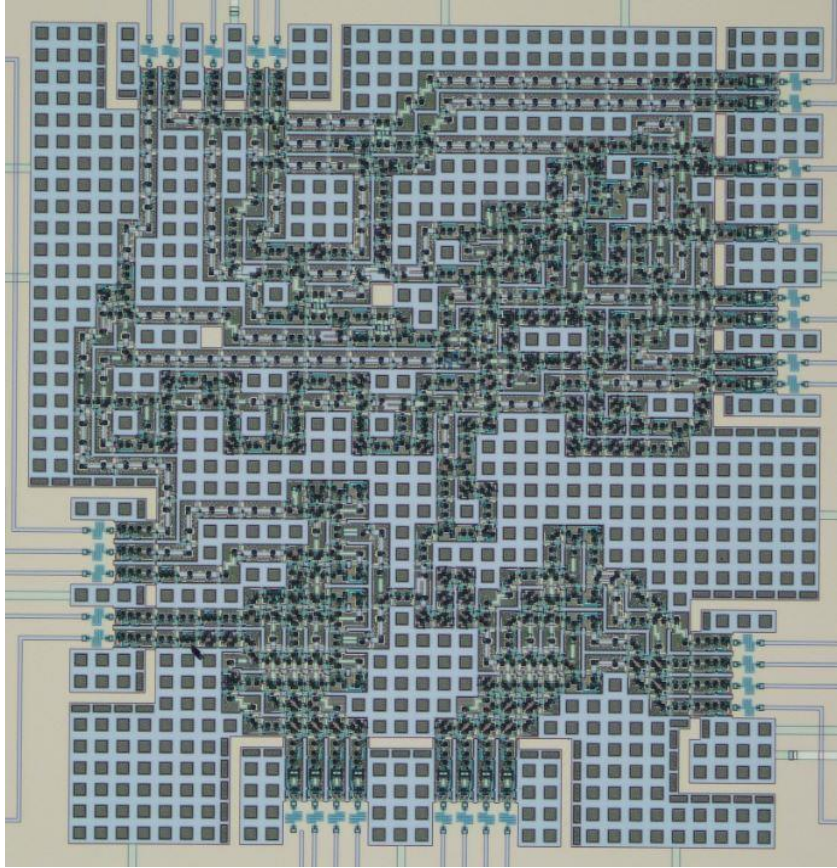
Okuma/yazma seçim sinyali (W_r), 4-bit belleğe yazılacak olan veri sinyali ($Wdata_in$), Saat işareti (Clk), hazır ($Ready$), başla ($Start$) ve 2-bit adres ($Addr_in$) sinyali SFQ mikroişlemci tarafından kontrol birimine, bellekten okunan 4-bit veri ($Rdata_out$) ise kontrol birimi tarafından mikroişlemciye SFQ formatında gönderilmektedir. Süperiletken elektroniğinde dijital hatlar giriş veya çıkış olarak kullanıldıklarından dolayı 4-bit $Wdata_out$ ve $Rdata_in$ sinyalleri ayrı hatları kullanmaktadır.

SRAM'e yazılacak olan 4-bit veri sinyali ($Wdata_out$), 2-bit okuma/yazma adres sinyali ($Addr_out$) ve kontrol sinyalleri olarak adlandırılan çip etkin (Ce , $Ce2$), yazma etkin (We) ve çıkış etkin (Oe) kontrol birimi tarafından SRAM'e, 4-bit bellekten okunan veri ($Rdata_in$) ise SRAM tarafından kontrol birimine CMOS formatında gönderilmektedir. Kontrol biriminin şematik gösterimi Şekil 3.36'de, yonga üzerindeki gösterimi ise Şekil 3.37'de verilmiştir.

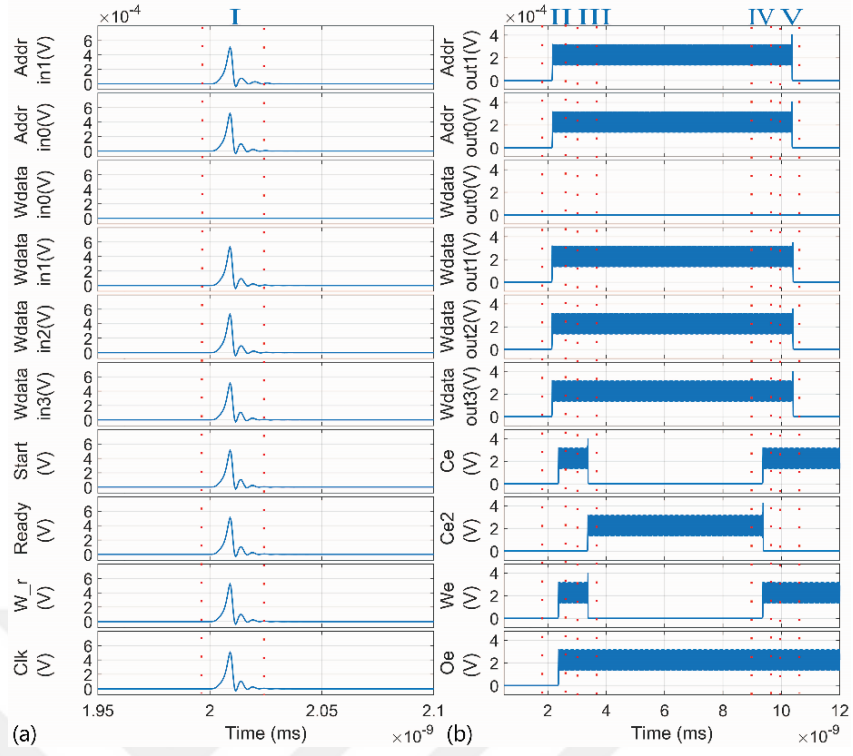
Dışarıdan verilen saat işaretinin (Clk) frekansı tasarlanan devrenin çalışma hızını belirlemekte olup devre 10 GHz hızına kadar çalışabilmektedir. Okuma işlemi için '0' ve yazma işlemi için '1' olan W_r sinyali SRAM okuma/yazma modunu seçmekte ve $Start$ sinyali SRAM okuma/yazma işlemini başlatmaktadır. $Ready$ sinyali ise Ce , We ve Oe sinyallerinin başlangıç değerlerini atamak için kullanılmaktadır. SFQ mikroişlemci tarafından kontrol birimine eş zamanlı sinyal gönderimi için $Start$ sinyali okuma devresinde geciktirilmiştir. $Ready$ sinyali, SFQ mikroişlemci tarafından okuma devresine ilk erişim sırasında yalnızca bir kere gönderilirken W_r ve $Start$ sinyalleri SRAM'e her erişimde gönderilmektedir. Kontrol birimi Sayaç, CMOS/SFQ arayüz, SFQ/CMOS veri arayüz, SFQ/CMOS adres arayüz ve Kontrol Sinyal Üretici modüllerinden oluşmaktadır (Şekil 3.1). Kontrol biriminin belleğe veri yazma işlemine ait analog simülasyon sonucu Şekil 3.38 ve kontrol biriminin bellekten veri okuma işlemine ait analog simülasyon sonucu Şekil 3.39'de verilmiştir.



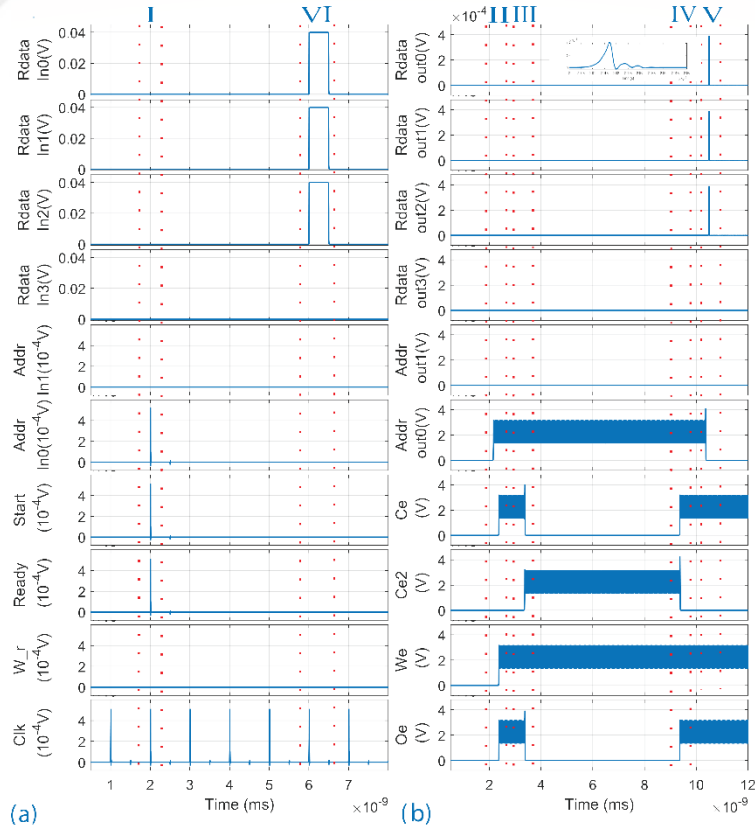
Şekil 3.36: Kontrol Biriminin şematik gösterimi.



Şekil 3.37: Kontrol Biriminin yonga üzerindeki gösterimi.



Şekil 3.38: Belleğe veri yazan devrenin analog simülasyon sonucu. (a) Yazma devresi girişleri. (b) Yazma devresi çıkışları. (Addr="11", Wdata_in="1110", W_r='1', Ready='1', Start='1')



Şekil 3.39: Bellekten veri okuyan devrenin analog simülasyon sonucu. (a) Okuma devresi girişleri. (b) Okuma devresi çıkışları. (Addr="11", Rdata_in="0111", W_r='0', Ready='1', Start='1')

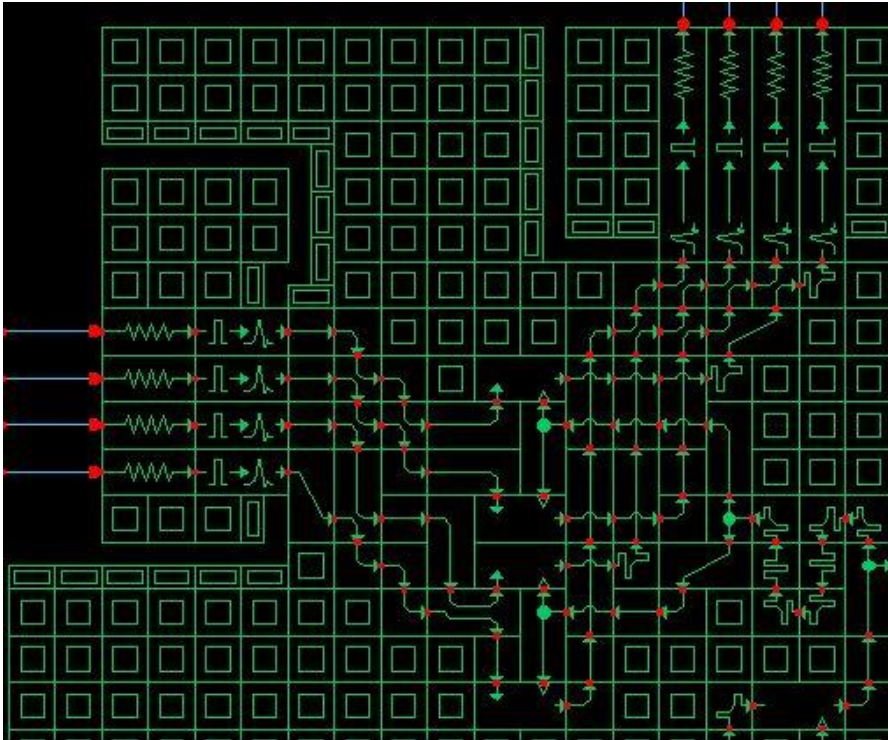
3.4.1 Kontrol birimi devre modülleri

3.4.1.1 Sayaç modülü

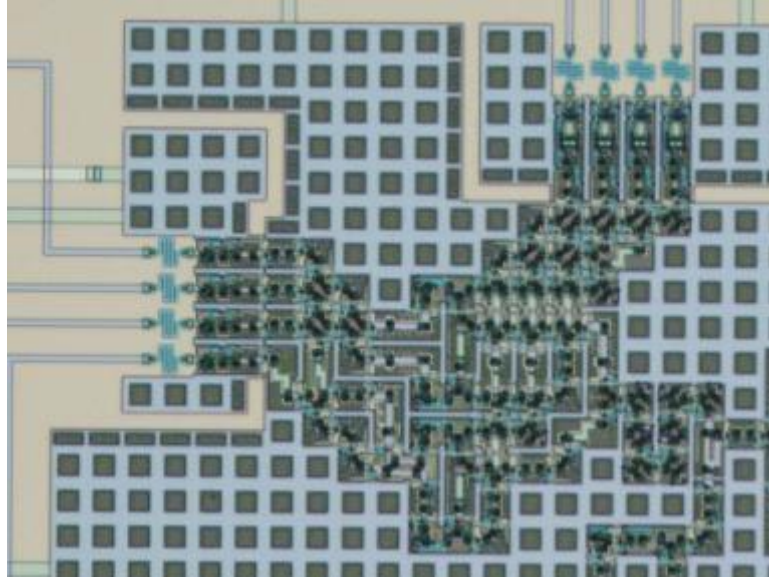
3.3.3.1 Sayaç Modülü bölümünde verilen tasarım, adres (Addr_out) ve veri (Rdata_out veya Wdata_out) sinyalleri için 7 saat işareti sonrasında kontrol sinyalleri için ise 6 saat işareti sonrasında SFQ darbe üretmektedir. Okuma ve yazma devreleri birleştirildiği için veri sinyalleri için üretilen SFQ darbe SPL hücresi ile çoklanmıştır. Dolayısıyla sayaç modülü 7 saat işareti sonrasında Rdata_out, Wdata_out ve Addr_out sinyalleri için SFQ darbe üretecek şekilde değiştirilmiştir. Aynı şekilde kontrol sinyalleri için 6 saat işareti sonrasında SFQ darbe üretmektedir

3.4.1.2 CMOS/SFQ arayüz modülü

SRAM'den kontrol birimine gönderilen veri sinyalleri (Rdata_in) 4-bit olduğu için ölçeklenebilir şekilde tasarlanmış olan 8-bit CMOS/SFQ arayüz modülü küçültülmüş ve 4-bit CMOS/SFQ Arayüz Modülü elde edilmiştir (bknz. 3.3.3.2 CMOS/SFQ Arayüz Modülü). 8-bit Rdata_in ve 8-bit Rdata_out sinyali olan modül, 4-bit Rdata_in ve 4-bit Rdata_out sinyali olacak şekilde değiştirilmiştir. 4-bit CMOS/SFQ arayüz modülünün şematik ve yonga üzerindeki gösterimi sırası ile Şekil 3.40 ve Şekil 3.41'de verilmiştir.



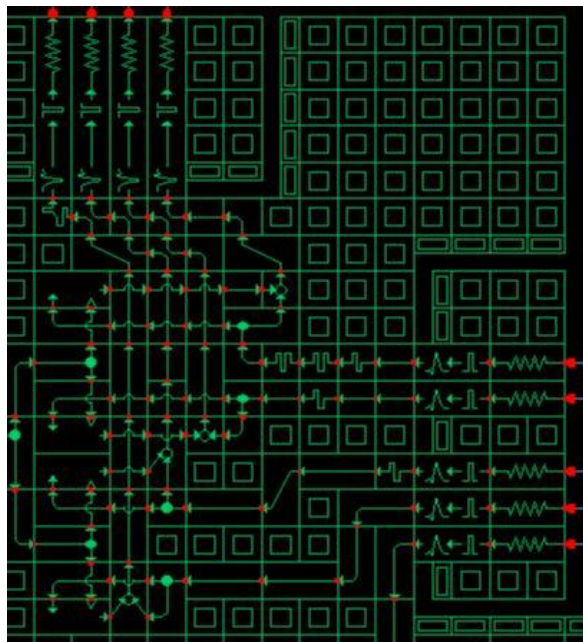
Şekil 3.40: 4-bit CMOS/SFQ Arayüz Modülü şematik gösterimi.



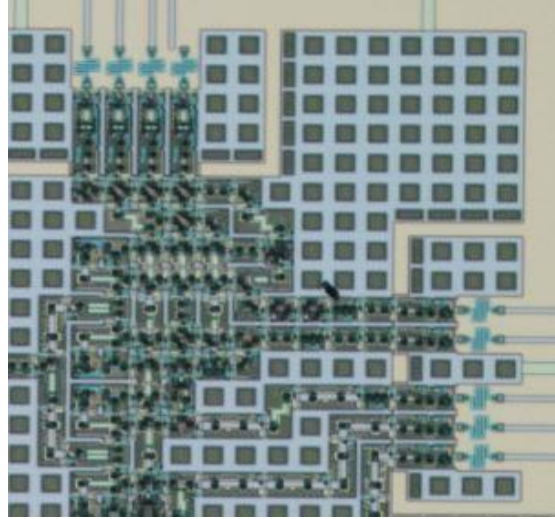
Şekil 3.41: 4-bit CMOS/SFQ Arayüz Modülü yonga gösterimi.

3.4.1.3 SFQ/CMOS veri arayüz modülü

Kontrol biriminden SRAM'e gönderilen veri sinyalleri (Wdata_out) 4-bit olduğu için ölçeklenebilir şekilde tasarlanmış olan 8-bit SFQ/CMOS veri arayüz modülü küçültülmüş ve 4-bit SFQ/CMOS Veri Arayüz Modülü elde edilmiştir (bkz. 3.3.3.3 SFQ/CMOS Veri Arayüz Modülü). 8-bit Wdata_in ve 8-bit Wdata_out sinyali olan modül, 4-bit Wdata_in ve 4-bit Wdata_out sinyali olacak şekilde değiştirilmiştir. 4-bit SFQ/CMOS veri arayüz modülünün şematik ve yonga üzerindeki gösterimi sırası ile Şekil 3.42 ve Şekil 3.43'de verilmiştir.



Şekil 3.42: 4-bit SFQ/CMOS Veri Arayüz Modülü şematik gösterimi.



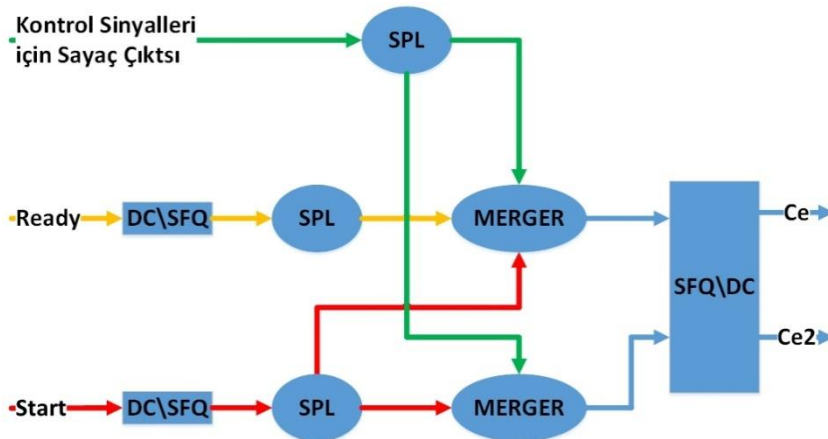
Şekil 3.43: 4-bit SFQ/CMOS Veri Arayüz Modülü yonga gösterimi.

3.4.1.4 SFQ/CMOS adres arayüz modülü

Kontrol biriminden SRAM'e gönderilen adres sinyali 2-bit olduğu için 3.3.3.4 SFQ/CMOS Adres Arayüz Modülü bölümündeki modül aynen kullanılmıştır.

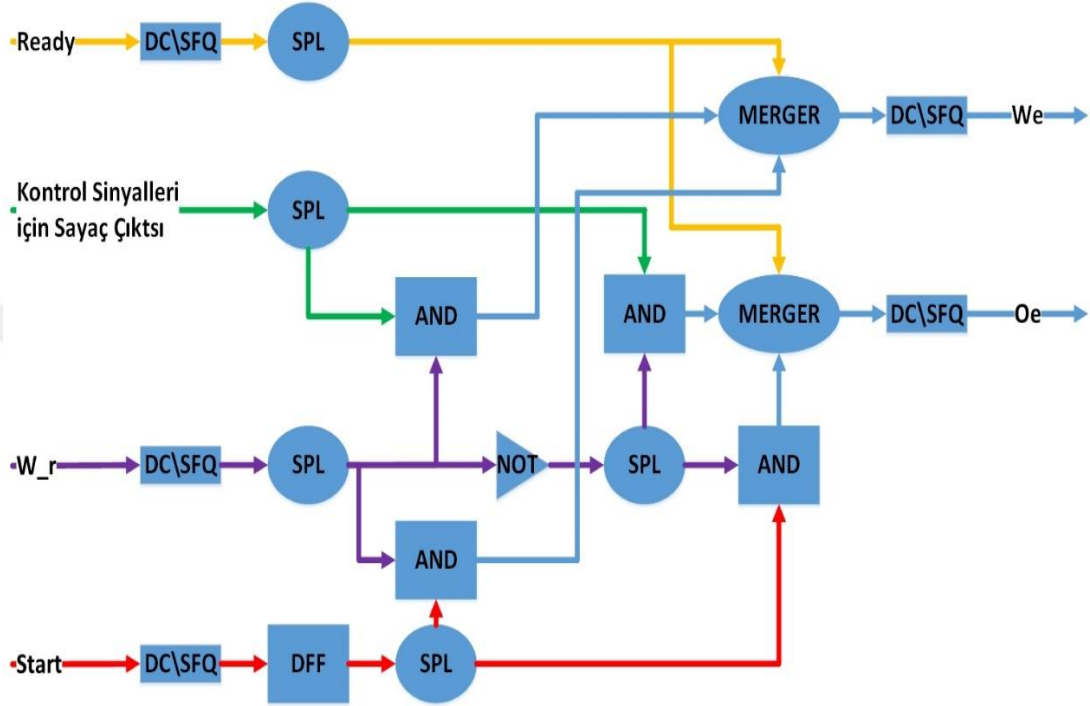
3.4.1.5 Kontrol sinyal üretici modülü

Yazma veya okuma işlemlerinin kontrol sinyallerini üretmek için tasarlanan 3.3.3.5 Kontrol Sinyal Üretici Modül bölümünde verilen tasarım, W_r sinyalinin değerine göre okuma veya yazma dalga formunu oluşturacak şekilde güncellenmiştir. Ce , $Ce2$ sinyalleri okuma ve yazma işlemi sırasında aynı dalga formuna sahip oldukları için 3.3.3.5 Kontrol Sinyal Üretici Modül bölümünde verilen Ce ve $Ce2$ sinyallerini oluşturan tasarım aynen kullanılmıştır. Ce ve $Ce2$ sinyallerinin dalga formunu oluşturan tasarımın blok şeması Şekil 3.44'de verilmiştir.



Şekil 3.44: Ce ve $Ce2$ sinyallerinin dalga formunu oluşturan tasarımın blok şema gösterimi.

We ve Oe sinyallerinin dalga formu yazma ve okuma işlemine göre değiştiği için 3.3.3.5 Kontrol Sinyal Üretici Modül bölümünde verilen We ve Oe sinyallerini oluşturan tasarım kullanılamamıştır. W_r sinyalinin değerine göre We ve Oe sinyallerini oluşturacak yeni bir tasarım yapılmıştır. Tasarımın blok şeması Şekil 3.45’de verilmiştir.



Şekil 3.45: We ve Oe sinyallerinin dalga formunu oluşturan tasarımın blok şema gösterimi.

SPL hücresi ile çoklanmış iki adet Ready sinyali We ve Oe sinyallerini oluşturan MERGER hücrelerine iletilmektedir. MERGER hücrelerine iletilen SFQ sinyaller SFQ/DC dönüştürücüleri salınma sokarak SRAM belleğe ‘1’ gönderimi sağlamaktadır (Şekil 3.38, (II) ve Şekil 3.39, (II)).

W_r ile Start sinyali AND hücresinin girişine gönderilmektedir. AND hücresinin çıktısı ise We sinyalinin çıkışında bulunan MERGER hücresine iletilmektedir. Okuma işlemi sırasında W_r sinyalinin değeri ‘0’ olduğundan AND hücresinin çıktısında SFQ darbe oluşmamaktadır. Dolayısıyla daha öne salınımda olan We sinyaline ait DC/SFQ dönüştürücüsü salınımda kalmaya devam edecektir ((Şekil 3.39, (III)). Yazma işlemi sırasında W_r sinyalinin değeri ‘1’ olduğundan AND hücresinin çıktısında SFQ darbe oluşmaktadır. Oluşan SFQ darbe daha önce salınımda olan We sinyaline ait DC/SFQ dönüştürücüsünü salınımdan çıkaracaktır ((Şekil 3.38, (III)).

W_r ile sayaç modülünün çıktı sinyali AND hücresine gönderilmektedir. AND hücresinin çıkışı ise W_e sinyalinin çıkışında bulunan MERGER hücresine iletilmektedir. W_r sinyalinin değeri '0' olduğunda AND hücresinin çıkışında SFQ darbe oluşmamaktadır. Dolayısıyla W_e sinyaline ait DC/SFQ dönüştürücüsü salınımında kalmaya devam edecektir ((Şekil 3.39, (IV)). W_r sinyalinin değeri '1' olduğunda AND hücresinin çıkışında SFQ darbe oluşmaktadır. Oluşan SFQ darbe daha önce salınımında olmayan W_e sinyaline ait DC/SFQ dönüştürücüsünü salınımına sokacaktır ((Şekil 3.38, (IV)).

Start sinyali ve NOT hücresi kullanılarak değili alınan W_r sinyali AND hücresinin girişine gönderilmektedir. AND hücresinin çıkışı ise O_e sinyalinin çıkışında bulunan MERGER hücresine iletilmektedir. Okuma işlemi sırasında değeri '0' olan W_r sinyalinin değili '1' olduğundan AND hücresinin çıkışında SFQ darbe oluşmaktadır. Dolayısıyla salınımında olan O_e sinyaline ait DC/SFQ dönüştürücüsü salınımdan çıkacaktır ((Şekil 3.39, (III)). Yazma işlemi sırasında değeri '1' olan W_r sinyalinin değili '0' olduğundan AND hücresinin çıkışında SFQ darbe oluşmamaktadır. Dolayısıyla salınımında olan O_e sinyaline ait DC/SFQ dönüştürücüsü salınımında kalmaya devam edecektir ((Şekil 3.38, (III)).

Sayaç modülünün çıktı sinyali ve NOT hücresi kullanılarak değili alınan W_r sinyali AND hücresinin girişine gönderilmektedir. AND hücresinin çıkışı ise O_e sinyalinin çıkışında bulunan MERGER hücresine iletilmektedir. Değeri '0' olan W_r sinyalinin değili '1' olduğunda AND hücresinin çıkışında SFQ darbe oluşmaktadır. Dolayısıyla Salınımında olmayan O_e sinyaline ait DC/SFQ dönüştürücüsü salınımına girecektir ((Şekil 3.39, (IV)). Değeri '1' olan W_r sinyalinin değili '0' olduğunda AND hücresinin çıkışında SFQ darbe oluşmamaktadır. Dolayısıyla salınımında olan O_e sinyaline ait DC/SFQ dönüştürücüsü salınımında kalmaya devam edecektir ((Şekil 3.38, (IV)).

3.4.2 Kontrol biriminin simülasyon ve deneysel sonuçları

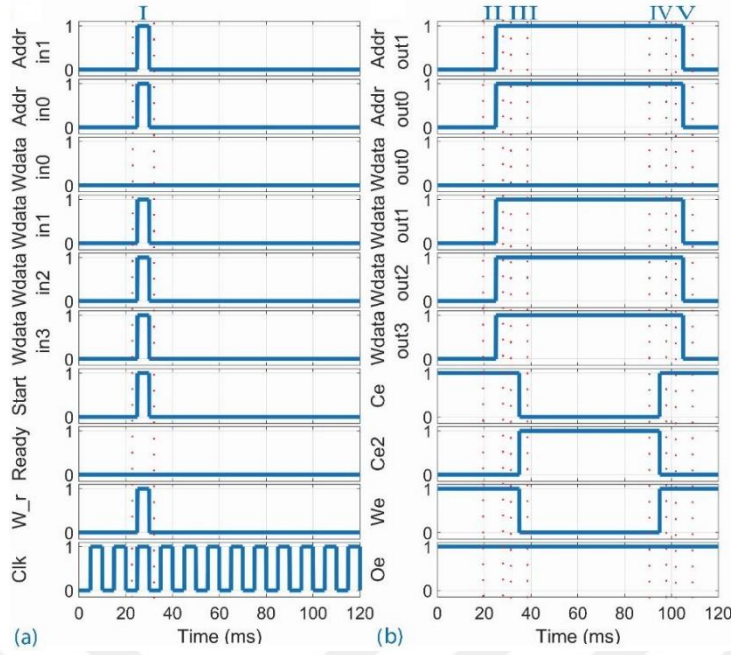
Üretilen çipin dijital testi için kullanılan test sistemi "2.TEST SİSTEMİ" bölümünde anlatılmıştır. Dijital test sırasında örüntü üretici (Pattern Generator) kullanılarak çipe giriş sinyalleri gönderilmektedir. Çipin çıkış sinyalleri ise dijital analizörü (Logic Analyser) kullanılarak ölçülmüştür.

Kontrol biriminin yazma işlemine ait dijital simülasyon sonucu Şekil 3.46'da verilmiştir. 10 GHz saat frekansı kullanılarak yapılan dijital simülasyonda ilk olarak $w_in_data="1110"$, $in_addr="11"$, $ready='1'$ ve $start='1'$ ve $w_r='1'$ değerlikli sinyaller gönderilmiştir. Daha sonra $w_in_data="1111"$, $in_addr="10"$, $Ready='1'$ ve $Start='1'$ ve $W_r='1'$ değerlikli sinyaller gönderilmiş ve bu sinyallere karşılık oluşan kontrol biriminin çıkış sinyalleri görüntülenmiştir.

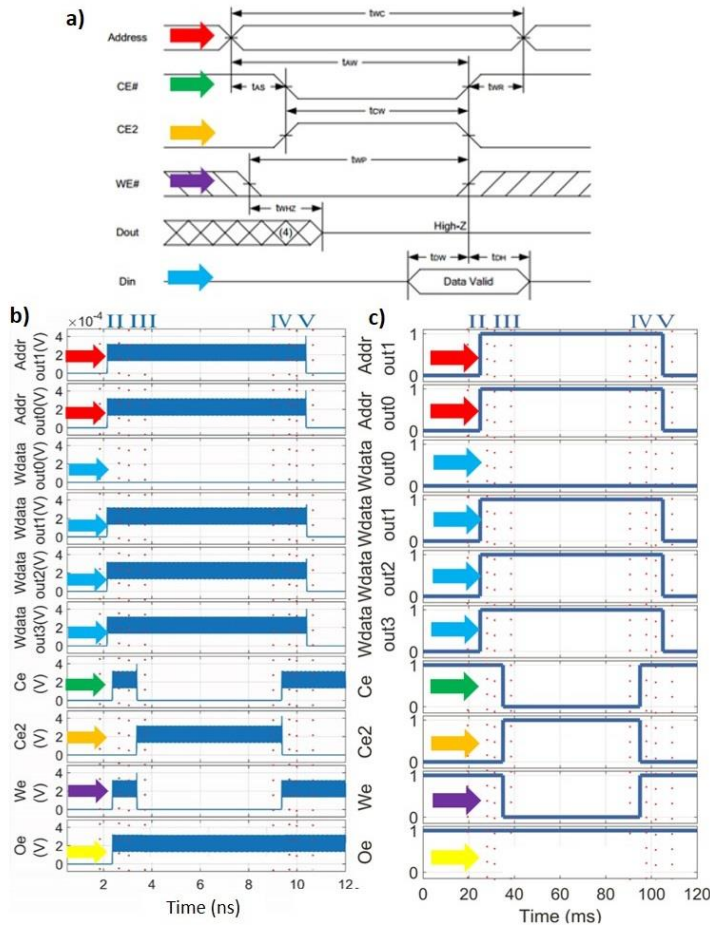


Şekil 3.46: Kontrol biriminin yazma işlemine ait dijital simülasyon sonucu.

Kontrol biriminin yazma işlemine ait analog simülasyon sonucu Şekil 3.38'de ve dijital test sonucu Şekil 3.47'de verilmiştir. Kontrol birimine gönderilen $Addr_in="11"$, $Wdata_in="1110"$, $Ready='1'$ ve $Start='1'$ ve $W_r='1'$ değerlikli sinyaller Şekil 3.38(a) ve Şekil 3.47(a)'da, bu girişlere göre kontrol biriminden SRAM'e gönderilen çıkış sinyalleri ise Şekil 3.38 (b) ve Şekil 3.47 (b)'de verilmiştir. Analog simülasyon ve dijital test sırasında saat işaretinin frekansı sırasıyla 100MHz ve 100Hz olarak ayarlanmıştır. Bu sayede 6 saat işareti boyunca '0' değerine sürülen Ce , We ve '1' değerine sürülen $Ce2$ sinyalleri analog simülasyonda 60ns, dijital testte 60 ms boyunca bu değerlere sürülmüştür. Aynı şekilde adres ve veri sinyalleri analog simülasyonda 80ns, dijital testte 80ms boyunca girişten verilen $Wdata_in$ ve $Addr_in$ değerlerine sürülmektedir. Kontrol biriminin yazma işlemine ait analog simülasyon ve dijital test sonucu, AS6C1008 tip numaralı belleğin yazma dalga formu ile karşılaştırılmış ve birbiri ile uyumlu olduğu görülmüştür (Şekil 3.48).

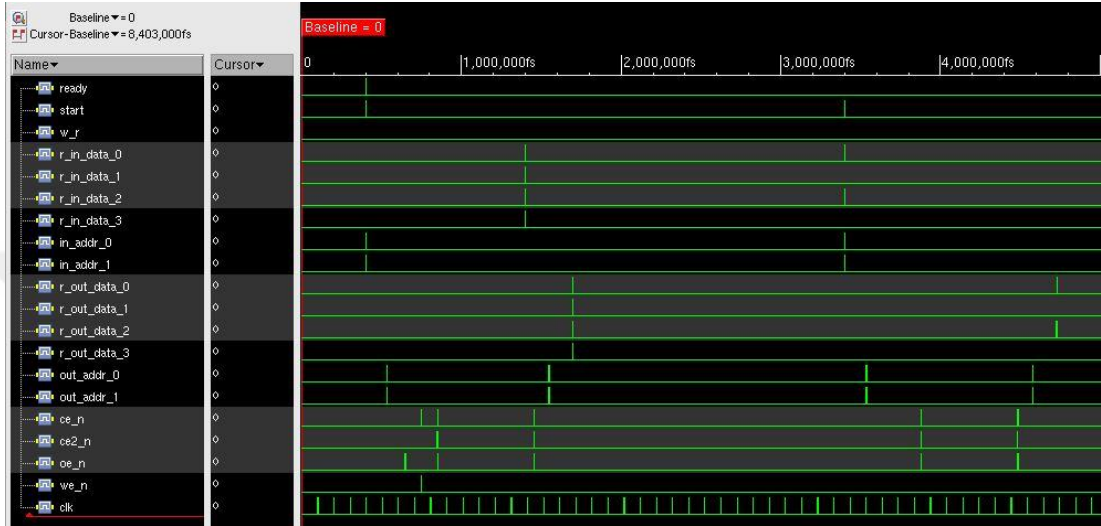


Şekil 3.47: Kontrol biriminin yazma işlemine ait dijital test sonucu. (a) Yazma devresi girişleri. (b) Yazma devresi çıkışları. (Addr="11", Wdata_in="1110", W_r='1', Ready='1', Start='1')



Şekil 3.48: AS6C1008 belleğin yazma dalga formu. b) Kontrol biriminin yazma işlemine ait analog simülasyon sonucu. c) Kontrol biriminin yazma işlemine ait dijital test sonucu

Kontrol biriminin okuma işlemine ait dijital simülasyon sonucu Şekil 3.49'da verilmiştir. 10 GHz saat frekansı kullanılarak yapılan dijital simülasyonda ilk olarak $r_in_data="1111"$, $in_addr="11"$, $ready='1'$ ve $start='1'$ ve $w_r='0'$ değerlikli sinyaller gönderilmiştir. Daha sonra $r_in_data="0101"$, $in_addr="11"$, $Ready='1'$ ve $Start='1'$ ve $W_r='0'$ değerlikli sinyaller gönderilmişve bu sinyallere karşılık oluşan kontrol biriminin çıkış sinyalleri görüntülenmiştir.

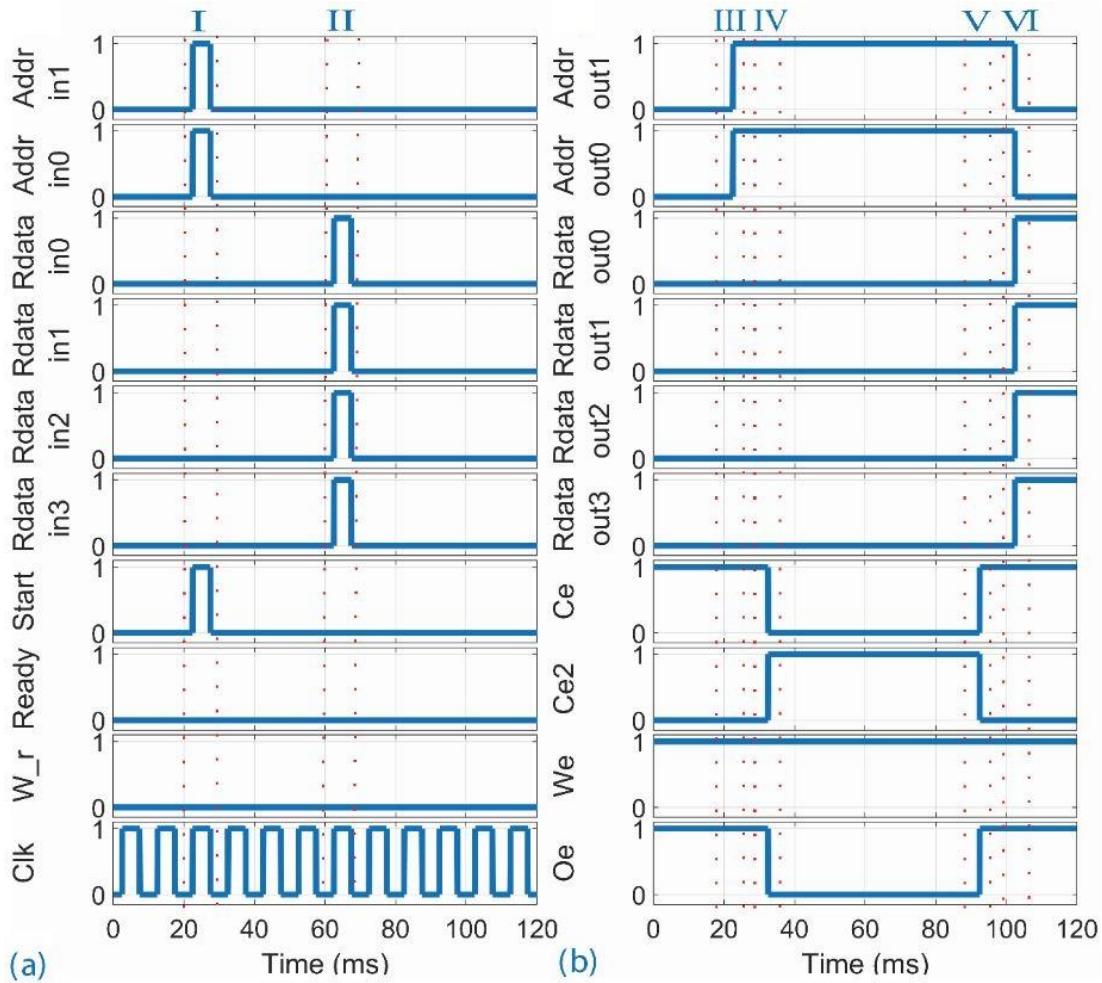


Şekil 3.49: Kontrol biriminin okuma işlemine ait dijital simülasyon sonucu.

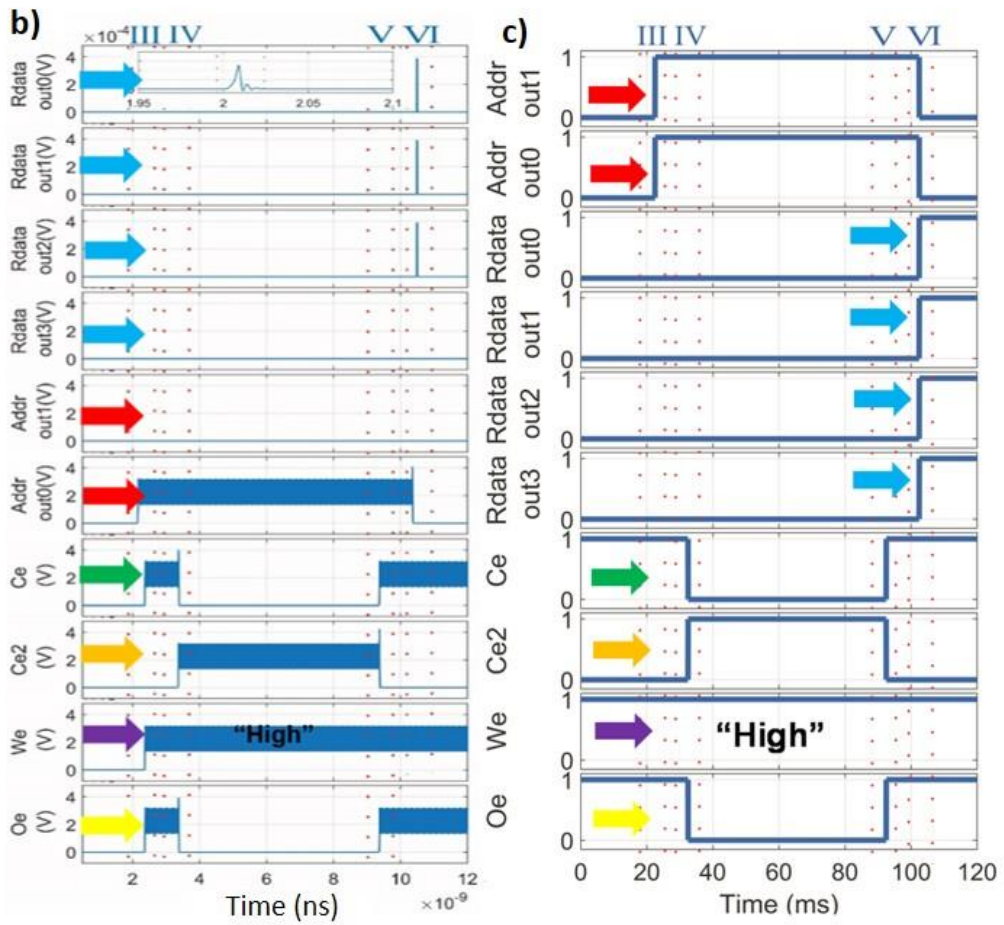
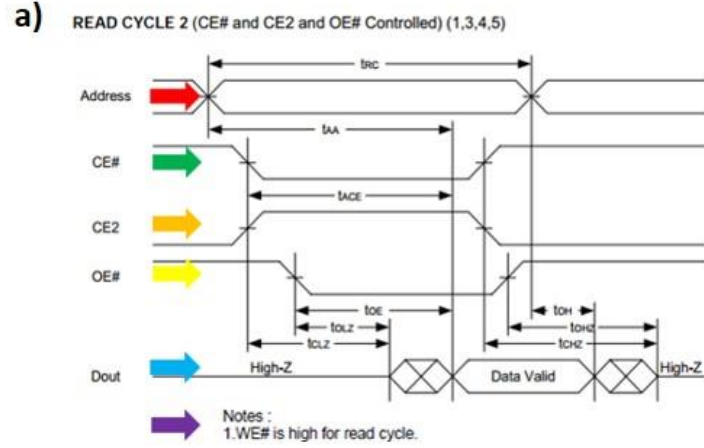
Kontrol biriminin okuma işlemine ait analog simülasyon sonucu Şekil 3.39'da verilmiştir. Analog simülasyonda SFQ mikroişlemci tarafından $Addr_in="011"$, $Ready='1'$, $Start='1'$, $W_r='0'$ ve SRAM tarafından $Rdata_in="0111"$ değerlikli sinyaller kontrol birimine gönderilmektedir. Gönderilen girişlere göre oluşturulan çıkış sinyalleri Şekil 3.39 (b)'de verilmiştir. Analog simülasyon sırasında saat işaretinin frekansı 100 MHz olarak ayarlanmıştır.

Kontrol biriminin dijital test sonucu Şekil 3.50'de verilmiştir. Dijital test yapılırken SFQ mikroişlemci tarafından $Addr_in="11"$, $Ready='1'$, $Start='1'$, $W_r='0'$ ve SRAM tarafından $Rdata_in="1111"$ değerlikli sinyaller kontrol birimine gönderilmektedir. (Şekil 3.50 (a)). Ready sinyali sadece belleğe ilk erişim sırasında '1' olarak gönderildiğinden dijital test sonucunda '0' olarak görülmektedir. Gönderilen girişlere göre oluşturulan çıkış sinyalleri Şekil 3.50 (b)'de verilmiştir. Kontrol biriminden SRAM'e $Addr_out$, Ce , $Ce2$, We ve Oe sinyalleri gönderilirken, $Rdata_out$ sinyali SFQ mikroişlemciye gönderilmektedir. Dijital test sırasında saat işaretinin frekansı 100 Hz olarak ayarlanmıştır. Dolayısıyla 6 saat işareti boyunca '0' değerine sürülen Ce , Oe ve '1' değerine sürülen $Ce2$ sinyalleri 60 ms boyunca bu

değerlere sürülmüştür. Aynı şekilde adres sinyalleri 80 ms boyunca girişten verilen Addr_in değerlerine sürülmektedir. Simülasyon ortamında SRAM bulunmadığı için SRAM tarafından gönderilmesi gereken Rdata_in sinyali kullanıcı tarafından Start sinyalinden 40 ms sonra gönderilmiştir. Ce sinyalinin '0' değerine düşmesinden 70 ms sonra, oluşan Rdata_out sinyalinin SFQ formatında ve "1111" değerlikli olduğu simülasyonda görülmektedir (Şekil 3.50 (b)). Kontrol biriminin okuma işlemine ait analog simülasyon ve dijital test sonucu, AS6C1008 tip numaralı belleğin okuma dalga formu ile karşılaştırılmış ve birbiri ile uyumlu olduğu görülmüştür (Şekil 3.51).



Şekil 3.50: Kontrol biriminin okuma işlemine ait dijital test sonucu. (a) Okuma devresi girişleri. (b) Okuma devresi çıkışları. (Addr="11", Rdata_in="1111", W_r='0', Ready='1', Start='1')



Şekil 3.51:AS6C1008 belleğin okuma dalga formu. b) Kontrol biriminin okuma işlemine ait analog simülasyon sonucu. c) Kontrol biriminin okuma işlemine ait dijital test sonucu.



4. SONUÇ VE ÖNERİLER

Yapılan çalışmalar ile Josephson-CMOS hibrit bellek sistemleri için 10 GHz saat frekanslarına kadar çalışabilen ölçeklenebilir SFQ tabanlı bellek kontrol birimi tasarlanmıştır. Kontrol birimi ilk olarak CMOS mantık kapıları kullanılarak tasarlanmış ve simülasyon ve deneysel yollarla doğruluğu kanıtlanmıştır. Daha sonra CMOS mantık kapılarıyla yapılan tasarımın aynısı SFQ mantık kapıları kullanılarak yapılmıştır. Tasarımın birebir aynı kapılar kullanılarak yapılması tasarımı karmaşık hale getirmiş ve çip üzerinde çok fazla alan kaplamıştır. CMOS mantık kapıları voltaj seviyeli çalışma yapısına sahip iken, SFQ mantık kapıları darbeli çalışma yapısına sahip olduğundan tasarımlar farklılık göstermiştir. Bu yüzden SFQ teknolojisinin çalışma yapısı dikkate alınarak tasarım yeniden yapılmıştır.

İlk aşamada, SFQ tabanlı kontrol birimi tasarımı için belleğe veri yazan yazma devresi ve bellekten veri okuyan okuma devresi iki ayrı devre olarak tasarlanmıştır. 8-bit veri ve 2-bit adres sinyallerine sahip okuma ve yazma devrelerinin dijital ve analog simülasyonları yapıldıktan sonra AIST STP2 üretim yöntemi ile çip üretimi gerçekleştirilmiş ve testleri TOBB ETÜ Süperiletken Laboratuvarında yapılmıştır. Üretimden kaynaklanan hatalar nedeni ile devrelerin tüm sinyallerinin çalışırılığını test edilememiştir. Bu hatalar pinlerde ve sinyalin devrede doğru şekilde yayılmasını engelleyen bazı hücrelerde kaçaklara neden olmasından dolayı devrelerin çalışmasını engellemiştir.

Daha sonra her iki tasarım birleştirilerek yazma ve okuma işlemlerinin aynı devrede yapıldığı 4-bit veri ve 2-bit adres sinyallerine sahip kontrol birimi tasarlanmıştır. Dijital ve analog simülasyonlar yapılarak devrenin çalışırılığını doğrulandıktan sonra AIST STP2 ($J_c = 2.5 \text{ kA/cm}^2$) üretim yöntemi ile çip üretimi gerçekleştirilmiştir. Üretilen çipin toplam bias akımı 208.6 mA ve bias çalışma aralığı %15'dir. Ayrıca çip 527 Josephson ekleminden oluşurken 1,52 mm x 1,48 mm'lik bir alanı kaplamakta ve 0.521 mW güç tüketmektedir. Deneysel sonuçlar ile simülasyon sonuçlarının uyumluluğu tez kapsamında gösterilmiştir.

Gelecek çalışmalarda, günümüzde gösterilmiş olan en yüksek kapasiteli 64 Kbit Josepson CMOS hibrit belleğin SFQ tabanlı kontrolcüsü yapılması planlanmaktadır. 8-bit veri ve 13-bit adres hattına sahip SFQ tabanlı kontrol birimi tasarımı yapılarak tasarlanan devrenin uygulanabilirliği ve ölçeklenebilirliği gösterilecektir.



KAYNAKLAR

- [1] **Nagasawa, S., et al.**, (2004). Nb 9-Layer Fabrication Process for Superconducting Large-Scale SFQ Circuits and Its Process Evaluation, *IEICE Trans. Electron.*, E97–C, 132–140.
- [2] **Tolpygo, S. K., et al.**, (2015). Inductance of Circuit Structures for MIT LL Superconductor Electronics Fabrication Process With 8 Niobium Layers, *IEEE Trans. Appl. Supercond.*, 25, 1–5.
- [3] **Holmes, D. S., Ripple, A. L., Manheimer, M. A.**, (2013). Energy-Efficient Superconducting Computing Power Budgets and Requirements, *IEEE Trans. Appl. Supercond.*, 23, 1701610–1701610.
- [4] **Likharev, K. K., Semenov, V. K.**, (1991). RSFQ logic/memory family: a new Josephson-junction technology for sub-terahertz-clock frequency digital systems, *IEEE Trans. Appl. Supercond.*, 1, 3–28.
- [5] **Brock, D. K.**, (2001). RSFQ technology: Circuits and systems, *High-Speed Integr. Circuit Technol. 100 GHz Log.*, 11, 307–362.
- [6] **Bronk, C., Lingamneni, A., Palem, K.**, (2010). Innovation for sustainability in information and communication technologies (ICT), *Inst. Public Policy, Rice Univ., Houston, TX, USA, Technical Report.*
- [7] **Chen, W., Rylyakov, A. V., Patel, V., Lukens, J. E., Likharev, K. K.**, (1999). Rapid single flux quantum T-flip flop operating up to 770 GHz, *IEEE Trans. Appl. Supercond.*, 9, 3212–3215.
- [8] **Duzer, T. V., Feng, Y., Meng, X., Whiteley, S. R., Yoshikawa, N.**, (2002). Hybrid Josephson-CMOS memory: a solution for the Josephson memory problem, *Supercond. Sci. Technol.*, 15, 1669.
- [9] **Duzer, T. V., et al.**, (2013). 64-kb Hybrid Josephson-CMOS 4 Kelvin RAM With 400 ps Access Time and 12 mW Read Power, *IEEE Trans. Appl. Supercond.*, 23, 1700504–1700504.
- [10] **Nagasawa, S., Satoh, T., Hinode, K., Kitagawa, Y., Hidaka, M.**, (2007). Yield Evaluation of 10-kA/cm² Nb Multi-Layer Fabrication Process Using Conventional Superconducting RAMs, *IEEE Trans. Appl. Supercond.*, 17, 177–180.
- [11] **Nagasawa, S., Hashimoto, Y., Numata, H., Tahara, S.**, (1995). A 380 ps, 9.5 mW Josephson 4-Kbit RAM operated at a high bit yield, *IEEE Trans. Applied Supercond.*, 5, 2447–2452.
- [12] **Ghoshal, U., Kroger, H., Van Duzer, T.**, (1993). Superconductor-semiconductor memories, *IEEE Trans. Appl. Supercond.*, 3, 2315–2318.

- [13] **Yoshikawa, N., et al.**, (2005). Characterization of 4 K CMOS Devices and Circuits for Hybrid Josephson-CMOS Systems, *IEEE Trans. Applied Supercond.*, 15, 267–271.
- [14] **Liu, Q., et al.**, (2005). Simulation and Measurements on a 64-kbit Hybrid Josephson-CMOS Memory, *IEEE Trans. Applied Supercond.*, 15, 415–418.
- [15] **Yoshikawa, N., et al.**, (2006). Access time measurements of Josephson-CMOS hybrid memory using single-flux-quantum circuits, *Supercond. Sci. Technol.*, 19, S350–S353.
- [16] **Van Duzer, T., et al.**, (2013). 64-kb Hybrid Josephson-CMOS 4 Kelvin RAM With 400 ps Access Time and 12 mW Read Power, *IEEE Trans. Appl. Supercond.*, 23, 1700504–1700504.
- [17] <<http://unit.aist.go.jp/riif/openi/cravity/en/index.html>>, Alındığı tarih:25.01.2013.
- [18] <<https://unit.aist.go.jp/neri/cravity/en/index.html>>, Alındığı tarih:14.01.2018.
- [19] **Cyrot, M., Pavuna, D.**, (1992). *Introduction to Superconductivity and High-Tc Materials*. World Scientific Publishing Company.
- [20] **Delft, V.D., Kes, P.**, (2011). The discovery of superconductivity, *Europhysics News*, 42, 21–25.
- [21] **Meissner, W., Ochsenfeld, R.**, (1933). Ein neuer Effekt bei Eintritt der Supraleitfähigkeit», *Naturwissenschaften*, 21, 787–788.
- [22] **Serway, R.A., Moses, C.J., Moyer, C.A.**, (2004) *Modern Physics*, Belmont, CA.
- [23] <http://www.spaldinghigh.lincs.sch.uk/newspaper/article.asp?id=787>, Alındığı tarih:07.10.2017.
- [24] http://www.cengage.com/resource_uploads/static_resources/0534493394/4891/SerwayCh12-Superconductivity.pdf, Alındığı tarih:07.10.2017.
- [25] **Clarke, J., Braginski, A.I.**, (2004). *The SQUID handbook: fundamentals and technology of SQUIDS and SQUID systems*, Weinheim.
- [26] **Clarke, J., Braginski, A. I.**, (2006). *The SQUID Handbook: Applications of SQUIDS and SQUID Systems*, John Wiley & Sons.
- [27] **Tovey, D.A.A., Giaquinto, A.D.A., House, T., Street, L., Park, S.**, (2011). The first 100 years, *Phys. World*, 24, 17.
- [28] **London, F., London, H.**, (1935). The Electromagnetic Equations of the Supraconductor, *Proc. R. Soc. Lond. Ser. - Math. Phys. Sci.*, 149, 866, 71–88.
- [29] **Doll, R., Näbauer, M.**, (1961). Experimental Proof of Magnetic Flux Quantization in a Superconducting Ring, *Phys. Rev. Lett.*, 7, 2, 51–52.
- [30] **Deaver Jr., B. S., Fairbank, W. M.**, (1961). Experimental Evidence for Quantized Flux in Superconducting Cylinders, *Phys. Rev. Lett.*, 7, 2, 43–46.

- [31] **Likharev, K. K., Mukhanov, O. A., Semenov, V. K.,** (1985). Resistive single flux quantum logic for the Josephson-junction digital technology, Proc SQUID'85,, 1103–1108.
- [32] **Likharev, K. K., Semenov, V. K.,**(1991). RSFQ logic/memory family: a new Josephson-junction technology for sub-terahertz-clock-frequency digital systems, Appl. Supercond. IEEE Trans., 1, 1, 3–28.
- [33] **You, J. Q., Nori, F.,** (2011). Atomic physics and quantum optics using superconducting circuits, Nature,, 474, 7353, 589–597.
- [34] Generalized Josephson Junctions, Massachusetts Institute of Technology,, 6.763 2003 Lecture 13.
- [35] **Tinkham, M.,** (1996). Introduction to Superconductivity, Courier Corporation.
- [36] **Braginski, A. I., Clarke, J.,** (2005). Introduction, in The SQUID Handbook, J. Clarke and A. I. Braginski, Eds. Wiley-VCH Verlag GmbH & Co. KGaA,, 1–28.
- [37] **Chesca, B., Kleiner, R., Koelle, D.,** (2005). SQUID Theory, J. The SQUID Handbook, J. Clarke ve A. I. Braginski, Ed Wiley-VCH Verlag GmbH & Co. KGaA,, 29–92.
- [38] **Likharev, K. K.,** (1986). Dynamics of Josephson junctions and circuits. CRC.
- [39] **ITRS,** (2004). International Technology Roadmap for Semiconductors 2004- Emerging Research Devices.
- [40] **NSA,** (2005). Superconducting Technology Assessment, National Security Agency of America (NSA).
- [41] **Filippov, T. V., et al.,** (2012). 20 GHz Operation of an Asynchronous Wave-Pipelined RSFQ Arithmetic-Logic Unit, Phys. Procedia,, 36, 59–65.
- [42] **Dorojevets, M., Kasperek, A. K., Yoshikawa, N., Fujimaki, A.,** (2013). 20-GHz 8 8-bit Parallel Carry-Save Pipelined RSFQ Multiplier, IEEE Trans. Appl. Supercond.,, 23, 1300104.
- [43] **Dorojevets, M., Ayala, C. L., Yoshikawa, N., Fujimaki, A.,** (2013). 8-Bit Asynchronous Sparse-Tree Superconductor RSFQ Arithmetic-Logic Unit With a Rich Set of Operations, IEEE Trans. Appl. Supercond.,, 23, 1700104.
- [44] **Filippov, T., Dorojevets, M., Sahu, A., Kirichenko, A., Ayala, C., Mukhanov, O.,** (2011). 8-Bit Asynchronous Wave-Pipelined RSFQ Arithmetic-Logic Unit, IEEE Trans. Appl. Supercond.,, 21, 847–851.
- [45] **Dorojevets, M., Bunyk, P.,** (2003). Architectural and implementation challenges in designing high-performance RSFQ processors: a FLUX-1 microprocessor and beyond, IEEE Trans. Appl. Supercond.,, 13, 446–449.
- [46] **Fujimaki, A., Tanaka, M., Yamada, T., Yamanashi, Y., Park, H., Yoshikawa, N.,** (2008). Bit-Serial Single Flux Quantum Microprocessor CORE, IEICE Trans. Electron.,, E91–C, 342–349.

- [47] **Bunyk, P., Leung, M., Spargo, J., Dorojevets, M.,** (2003). Flux-1 RSFQ microprocessor: physical design and test results, *IEEE Trans. Appl. Supercond.*, 13, 433–436.
- [48] **Chen, W., Rylyakov, A. V., Patel, V., Lukens, J. E., Likharev, K. K.,** (1998). Superconductor digital frequency divider operating up to 750 GHz, *Appl. Phys. Lett.*, 73, 2817–2819.
- [49] **Yorozu, S., Kameda, Y., Terai, H., Fujimaki, A., Yamada, T., Tahara, S.,** (2002). A single flux quantum standard logic cell library, *Physica C: Superconductivity*, , 378, 1471–1474.
- [50] **Fujimaki, A., Tanaka, M.,** (2003). CONNECT cell library handbook.
- [51] **Askerzade, I., Bozbey, A., Cantürk, M.,**(2017). Digital Superconductivity Electronics, in *Modern Aspects of Josephson Dynamics and Superconductivity Electronics*, Springer, Cham, , 89–118.
- [52] **Whiteley, S.R.,** (1991). Josephson junctions in SPICE3, *IEEE Transactions on Magnetics*, , 27, 2902–2905.
- [53] **Polonsky, S., Semenov, V.K., Shevchenko, P.,** (1999). PSCAN: Personal superconductor circuit analyser, *Superconductor Science and Technology*, , 4, 667.
- [54] **Fang, E.S., Duzer, T.V.,** (1989). A Josephson integrated circuit simulator (JSIM) for superconductive electronics application, *Int. Superconductivity Electronics Conf.*, , 407–410.
- [55] **Krasniewski, A.,** (1993). Logic simulation of RSFQ circuits, *IEEE Transactions on Applied Superconductivity*, , 3, 33–38.
- [56] **Gaj, K., Cheah, C.H., Friedman, E.G., Feldman, M.J.,** (1997). Functional modeling of RSFQ circuits using Verilog HDL, *IEEE Transactions on Applied Superconductivity*, , 7, 3151-3154.
- [57] **E. S. Fang ve T. Van Duzer,** (1989). A Josephson integrated circuit simulator (JSIM) for superconductive electronics application, *Ext Abstr 2nd ISEC Tokyo Jpn.*, 407–410.
- [58] **T. L. Quarles,** (1989). Analysis of Performance and Convergence Issues for Circuit Simulation, *EECS Department, University of California, Berkeley.*
- [59] **Fang E. S., Duzer, T. V.,** JSIM Preliminary Version User’s Guide.
- [60] **Nagasawa S., Hidaka, M.,** (2013) Niobium IC Fabrication Process | Hypres Inc.» Erişim adresi: <http://www.hypres.com/foundry/niobium-process/>, Alındığı tarih: 17-Ara-2013. National Institute of Advanced Industrial Science and Technology (AIST).
- [61] Niobium IC Fabrication Process | Hypres Inc. Erişim adresi: <http://www.hypres.com/foundry/niobium-process/>, Alındığı tarih: 17.12.2013.
- [62] FLUXONICS Foundry - IPHT Jena, erişim adresi: <http://www.ipht-jena.de/en/research-units/research-departments/quantum-detection/fluxonics-foundry-the-foundry-of-the-european-fluxonics-network/adressen/hans-georg-meyer.html>, Alındığı tarih: 17.12.2013.

[63] **Nagasawa, S., Hidaka, M.,** (2013) Design instruction for AIST standard process(AIST-STP2), Japan.

[64] **Macedo, S.,** (2007) AS6C1008 128K X 8 BIT LOW POWER CMOS SRAM vol. 1, p. 14,

[65]https://www.xilinx.com/support/documentation/sw_manuals/xilinx13_2/ug750.pdf, Alındığı tarih:05.12.2018.





ÖZGEÇMİŞ

Ad-Soyad : Seda Demirhan
Uyruđu : T.C.
Dođum Tarihi ve Yeri : 15.01.1994, Bayburt
E-posta : sdemirhan@etu.edu.tr

ÖĐRENİM DURUMU:

Lisans : 2017, TOBB Ekonomi ve Teknoloji Üniversitesi, Mühendislik Fakültesi, Elektrik ve Elektronik Mühendisliđi (3,7/4,00)
Yüksek Lisans :2019, TOBB Ekonomi ve Teknoloji Üniversitesi, Mühendislik Fakültesi, Elektrik ve Elektronik Mühendisliđi, Mikro-Elektronik Tasarım

MESLEKİ DENEYİM VE ÖDÜLLER:

Yıl	Yer	Görevler
2014	ARTLab	Stajyer
2015	Savunma Teknolojileri Mühendislik ve Ticaret A.Ş	Stajyer
2016	Türk Havacılık ve Uzay Sanayi (TUSAŞ)	Stajyer
2016-Halen	ASELSAN A.Ş	Tasarım Mühendisi

YABANCI DİL: İngilizce (İyi), Almanca(Başlangıç)

TEZDEN TÜRETİLEN YAYINLAR, SUNUMLAR VE PATENTLER:

Demirhan, S., Bozbey, A., (2019). Design and Implementation of Memory Controller for Josephson-CMOS Hybrid Memories. International Congress on Engineering and Life Science, Kastamonu, Turkey

Demirhan, S., Bozbey, A., (2019). Design and Implementation of a Single Flux Quantum Logic Based Memory Controller for Josephson-CMOS HybridMemory Systems. International Superconductive Electronics Conference, Riverside, CA