

ÖZET

UYALANABİLİR ALTTAŞ KUTUPLAMA (BODY BIAS) GERİLİMLİ BİR DİNAMİK RASTGELE ERİŞİM BELLEĞİ (DRAM) YAPISI

- 5 Bu buluş, dinamik rastgele erişim belleği yapılarındaki hücrelerin belirlenmiş saklama zamanı (retention time) verilerine bağlı olarak hücrelerdeki erişim transistörlerine (2T1) kutuplama (bias) gerilimlerinin uyarlamalı olarak uygulanması veya hiç uygulanmaması ile ilgilidir.

İSTEMLER

1. Dinamik rastgele erişim belleği yapılarındaki hücrelerin belirlenmiş saklama zamanı verilerine bağlı olarak hücrelerdeki erişim transistörlerine (211) kutuplama gerilimlerinin uyarlamalı olarak uygulanması sağlayan,
5 - birden fazla sayıda hücreden (21) oluşan en az bir satır içeren en az bir temel DRAM (2)
- bir kapasitörle birlikte her bir hücreyi (21) oluşturan bir erişim transistörü (211) **içeren**,
- bir satırı oluşturan hücrelerdeki (21) erişim transistörlerinin (211) her birinin alttaş terminallerinin bağlı olduğu bir kutuplama hattı (212),
10 - kutuplama hattına (212) önceden belirlenmiş bir değerde kutuplama gerilimi (B) verilip verilmeyeceğini kontrol etmek için en az bir çoklayıcı (4),
- çoklayıcının (4) seçim girişine (selection input) bağlı en az bir kontrol ünitesi (3),
15 - kontrol ünitesinden (3) çoklayıcıya gelen veriye göre çoklayıcının (4) veri girişlerinden (data input) en az birinden alınarak kutuplama hattına (212) iletilecek kutuplama geriliminin (B) geçtiği en az bir kutuplama sürücüsü (5) **ile karakterize edilen** bir dinamik rastgele erişim belleği yapısı (1).
20
2. En az bir satır için önceden belirlenmiş saklama zamanı etiketi verilerine göre çoklayıcının (4) çıkışını belirlemek için seçim girişine birden fazla sayıda farklı gerilimden birini vermek için uyarlanmış kontrol ünitesi (3) **içeren** istem 1'deki gibi bir dinamik rastgele erişim belleği yapısı (1).
25
3. Hücrelere (21) ait erişim örüntüsü verilerine göre çoklayıcının (4) çıkışını belirlemek için seçim girişine birden fazla sayıda farklı gerilimden birini vermek için uyarlanmış kontrol ünitesi (3) **içeren** istem 1'deki gibi bir dinamik rastgele erişim belleği yapısı (1).
30
4. Zamanda erişilmiş satırlar kaydedildikten sonra kayıt dışı kalan satırlara

kutuplama gerilimi (B) uygulanmasına karar verecek şekilde uyarlanmış kontrol ünitesi (3) **içeren** istem 1'deki gibi bir dinamik rastgele erişim belleği yapısı (1).

5 5. Her bir satırdaki erişim transistörlerinin (211) aynı ve tek bir kutuplama hattına (212) bağlanması **ile karakterize edilen** istem 1' deki gibi bir dinamik rastgele erişim belleği yapısı (1).

10 6. Her bir satırdaki erişim transistörleri (211) arasında olan ve her bir satırdaki erişim transistörlerine (211) aynı anda ve aynı voltajda kutuplama gerilimi (B) verilmesini sağlayan kutuplama hattı (212) **ile karakterize edilen** istem 1' deki gibi bir dinamik rastgele erişim belleği yapısı (1).

15

TARİFNAME

UYARLANABİLİR ALTTAŞ KUTUPLAMA (BODY BIAS) GERİLİMLİ BİR DİNAMİK RASTGELE ERİŞİM BELLEĞİ (DRAM) YAPISI

5

Teknik Alan

Bu buluş, Dinamik rastgele erişim belleği (dokümanın kalanında DRAM olarak anılacaktır) yapılarındaki hücrelerin belirlenmiş saklama zamanı (retention time) verilerine bağlı olarak hücrelerdeki erişim transistörlerine kutuplama (bias) gerilimlerinin uyarlamalı olarak uygulanması veya hiç uygulanmaması ile ilgilidir.

Önceki Teknik

15

Günümüzde DRAM üreticileri fabrika seviyesindeki üretim sırasında DRAM'ler için önceden belirlenmiş yenileme zamanları (refresh time) belirlemekte ve DRAM karakteristiğine göre saklama zamanları (retention time) ortaya çıkmaktadır. Yenileme zamanı hücrelerde veri saklanmasına yarayan kapasitörün boşalmadan önce periyodik olarak tekrar şarj edildiği önceden belirlenmiş bir zaman olarak, saklama zamanı ise bir hücrenin yenilenme yapılmadan verileri saklayabildiği zaman olarak ifade edilebilir.

Bir DRAM üzerinde bulunan hücrelerden bazıları diğer hücelere göre daha zayıftır. Bir hücrenin zayıf olması, o hücrenin sakladığı veriyi diğer hücelere göre daha kısa zamanda kaybetmesi yani saklama zamanının daha kısa olması anlamına gelmektedir. Bazı hücreler ise içindeki veriyi daha uzun süre saklayabilmektedir. Saklama zamanındaki bu değişikliklere üretim kaynaklı farklılıklar sebep olmaktadır. Zayıf hücrelerin oranı az olsa bile tüm DRAM hücreleri için yenileme sıklığı üreticiler tarafından bu zayıf hücrelerin saklama zamanı değerine göre belirlenmektedir. Bu durumda birçok hücre için (hatta zayıf olmayan hücreler için bile) en zayıf hücreye

göre yenileme yapıldığından dolayı gereksiz yere yenileme (refresh) yapılmış olmaktadır. Yenileme işlemi için gereken güç tüketiminin yanı sıra yenileme sırasında okuma ve yazma yapılamayacağı için bu hücreler için gelen istekler bekletilmek durumunda kalmaktadır. Dolayısıyla hem güç tüketimini azaltabilmek hem de başarıyı artırmak için toplam yenileme sayısında veya yenileme sıklığında düşüşe ihtiyaç duyulmaktadır.

Buluşun Kısa Açıklaması ve Amaçları

10

Bu buluşun amacı, tekniğin bilinen durumunda yer alan temel tasarımlı DRAM'lere göre %70-80 arasında (uygulanan bias gerilimine göre değişmektedir) daha az yenileme sıklığına ihtiyaç duyan böylece güç tüketiminin ve okuma/yazmaların yenileme ile çakışma ihtimalinin azaldığı bir DRAM gerçekleştirmektir.

15

Bu buluşun diğer bir amacı hücreleri içindeki transistörlerin indirgenmiş sızdırma akımları sayesinde %60-70 daha düşük durağan enerji kayıplarına sahip bir DRAM gerçekleştirmektir.

20

Bu buluşun diğer bir amacı zayıf olan hücrelerin eşik değerlerinin artırılması sayesinde elektromanyetik etkileşim gibi etkilere karşı daha dayanıklı hücrelere sahip bir DRAM gerçekleştirmektir.

Buluşun Ayrıntılı Açıklaması

25

Bu buluşun amacına ulaşmak için gerçekleştirilen bir uyarlanabilir alttaş kutuplama gerilimli DRAM yapısı, ekli şekillerde gösterilmiş olup bu şekiller;

Şekil 1. DRAM yapısının şematik görünüşüdür.

30

Şekil 2. Bir hücrenin şematik görünüşüdür.

Şekillerdeki parçalar tek tek numaralandırılmış olup, bu numaraların karşılığı aşağıda verilmiştir.

1. Uyarlanabilir alttaş gerilimli DRAM yapısı
 - 5 2. Temel DRAM
 21. Hücre
 211. Erişim Transistörü
 212. Kutuplama hattı
 3. Kontrol ünitesi
 - 10 4. Çoklayıcı
 5. Kutuplama sürücüsü
 - G. Toprak
 - B. Kutuplama gerilimi
- 15 Buluş konusu uyarlanabilir alttaş gerilimli DRAM (1) en temel halinde aşağıdaki unsurları içermektedir;
- birden fazla sayıda hücreden (21) oluşan en az bir satır içeren en az bir temel DRAM (2),
 - bir kapasitörle birlikte her bir hücreyi (21) oluşturan bir erişim transistörü (211),
 - 20 • bir satırı oluşturan hücrelerdeki (21) erişim transistörlerinin (211) her birinin alttaş terminallerinin bağlı olduğu bir kutuplama hattı (212),
 - kutuplama hattına (212) önceden belirlenmiş bir değerde kutuplama gerilimi (B) verilip verilmeyeceğini kontrol etmek için en az bir çoklayıcı (4),
 - çoklayıcının (4) seçim girişine (selection input) bağlı en az bir kontrol ünitesi
 - 25 (3),
 - kontrol ünitesinden (3) çoklayıcıya gelen veriye göre çoklayıcının (4) veri girişlerinden (data input) en az birinden alınarak kutuplama hattına (212) iletilecek kutuplama geriliminin (B) geçtiği en az bir kutuplama sürücüsü (5) içermektedir.

30

Buluş konusu uyarlanabilir alttaş gerilimli DRAM yapısında (1), kullanıldığı elektronik cihazdaki işlemcinin fonksiyonlarını yerine getirebilmesi için gerekli veri, program kodu ve benzeri gibi bilgileri saklamak için bir temel DRAM (2) bulunmaktadır. Temel DRAM'in (2) içinde hücreler (21) bulunmaktadır. Her bir hücre (21) bir kapasitörden ve bir erişim transistöründen (211) oluşmaktadır. Bir kapasitör ve erişim transistöründen (211) oluşan hücreler (21) yan yana gelerek satırları, satırlar da alt alta gelerek temel DRAM'in (2) yapısını meydana getirmektedir.

10 Bir hücrenin (21) içinde yer alan erişim transistörünün (211) kaynak (source) gerilimi ile (body) alttaş gerilimi arasındaki fark değiştirilerek o erişim transistörünün (211) eşik değer gerilimi ayarlanabilmektedir. Bir transistörün (211) eşik değer geriliminin artmasıyla o transistör (211) daha az sızdırmaya başlamakta ve dolayısıyla o transistörün (211) yer aldığı hücre (21) içinde sakladığı veriyi daha uzun süre tutabilmekte yani saklama zamanı artmaktadır. Transistöre (211) farklı eşik değeri gerilimi uygulanması ile transistörün (211) saklama zamanı artırılarak sızdırmazlığı azaltılabilmektedir.

Buluş konusu DRAM yapısında (1) bir satıra ve dolayısı ile satırı oluşturan hücrelerdeki (21) her bir erişim transistörüne (211) kutuplama gerilimi (B) verilip verilmeyeceğine kontrol ünitesi (3) tarafından karar verilmekte ve bu karar çoklayıcı (4) vasıtasıyla uygulanmaktadır. Buluşun tercih edilen uygulamasında bahsedilen karar verilirken bir satır için belirlenmiş saklama zamanı verisi kullanılmaktadır. Bir satır için saklama zamanı, o satırdaki en zayıf hücreye (21) göre belirlenmektedir. Satıra ait saklama zamanı, önceden belirlenmiş tercih edilen sayıda saklama zamanı aralıklarından hangisine denk geliyorsa satır o aralık ile etiketlenmektedir. Sınıflandırma olarak adlandırılan bu işleme örnek bir uygulama olarak; 128 milisaniyelik bir zaman iki aralığa bölünmek istediğinde 0-64 ms ve 64-128 ms olarak iki aralık belirlenmektedir. Bu, hücrelerin (21) üretim kaynaklı olarak farklılık gösteren saklama zamanları göz önünde bulundurularak 64 ms'de bir ya da 128 ms'de bir yenilenebileceği anlamına gelmektedir. Örneğin saklama

zamanı 64 ms ve 128 ms arasında olan (örn: 75 ms) bir hücre (21), bu zaman geçmeden önce yenilenmesi gerektiğinden belirlenen saklama zamanı aralıklarından 0-64 ms aralığında etiketlenmektedir. Saklama zamanı 128 ms'den yüksek olan bir hücre (21) 64-128 ms aralığında etiketlenmektedir. Ancak bir satır da daha yüksek saklama zamanı aralığında etiketlenmiş hücreler (21) barındırsa bile sahip olduğu en kısa saklama zamanı aralığında etiketlenen hücre (21) ile aynı etiketi almaktadır. Kontrol ünitesi (3) satırlara ait etiket verilerine göre seçim girişinden gerekli gerilimi vermek için uyarlanmıştır. Bir satıra ait saklama zamanı etiketi kontrol ünitesi (3) tarafından zayıf olarak değerlendirildiğinde, kontrol ünitesi (3) çoklayıcının (4) çıkışından kutuplama hattına (212) kutuplama gerilimi (B) iletilmesi için gerekli seçim girişini üretmektedir. Bir satıra ait saklama zamanı etiketi kontrol ünitesi (3) tarafından zayıf olarak değerlendirilmediğinde, kontrol ünitesi (3) çoklayıcının (4) çıkışından kutuplama hattına (212) kutuplama gerilimi (B) ileilmeyecek şekilde seçim girişini üretmektedir. Zayıf olarak değerlendirilen bir satıra kutuplama gerilimi (B), kontrol ünitesinin (3) seçim girişinden gelen gerilime göre çoklayıcının (4) veri girişlerinden en az birinden alınarak kutuplama hattına (212) kutuplama sürücüsü (5) vasıtasıyla iletilmektedir. Bu satırdaki her bir hücrenin (21) erişim transistörünün (211) alttaş terminaline kutuplama hattından (212) gelen kutuplama gerilimi (B) uygulanmaktadır. Erişim transistörüne (211) kutuplama gerilimi (B) uygulandığında o transistörün (211) eşik değer gerilimi artmaktadır. Eşik değer geriliminin artmasıyla transistörün (211) sızdırması azalmakta dolayısı ile o transistörün (211) bulunduğu hücrenin (21) saklama zamanı artmaktadır. Eğer o hücrenin (21) saklama zamanı bir üst seviye aralığa çıkıyorsa bir sonraki sınıflandırma işleminde artık o hücre (21) ulaştığı aralığa göre etiketlenmektedir. Böylece bir satırdaki tüm zayıf hücreler (21) bir üst seviye aralıkta etiketlenmiş olursa o satır için yenileme zamanı daha uzun seçilebilmekte ve yenileme sıklığı azalmış olmaktadır.

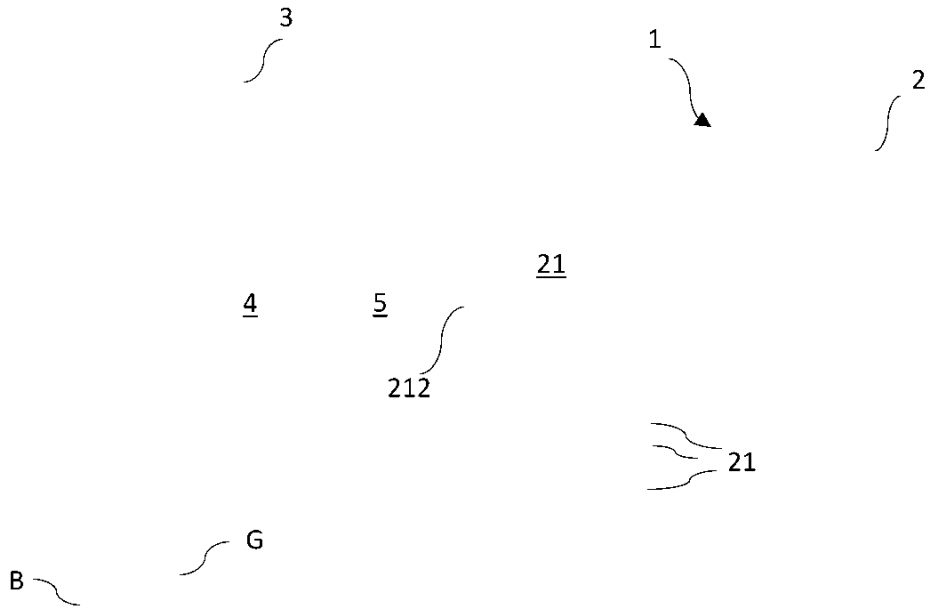
Buluşun bir uygulamasında, her bir satırdaki erişim transistörleri (211) tercihen tek bir kutuplama hattına (212) bağlıdır. Her bir satırdaki erişim transistörleri (211) aynı ve tek bir kutuplama hattına (212) bağlıdır. Her bir satırdaki erişim

transistörlerine (211) tek ve aynı kutuplama hattı (212) üzerinden kutuplama gerilimi (B) uygulanmaktadır.

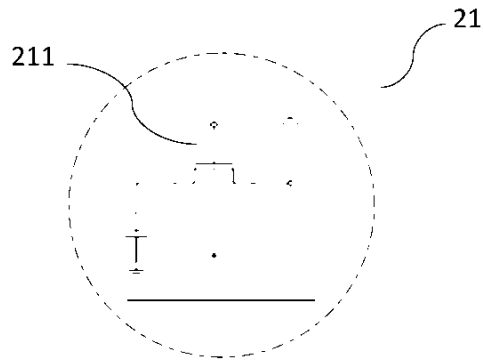
5 Bu satırdaki herbir hücrenin (21) erişim transistörünün (211) alttaş terminaline kutuplama hattından (212) gelen kutuplama gerilimi (B) uygulanmaktadır. Erişim transistörüne (211) kutuplama gerilimi (B) uygulandığında o transistörün (211) eşik değeri gerilimi artmaktadır.

10 Buluşun tercih edilen uygulamasında hücrelerin (21) ve satırların etiketlenerek sınıflandırma işlemi temel DRAM'in önyükleme (boot) adımı yapılmaktadır. Satırlara kutuplama gerilimi (B) uygulandıktan sonra tekrar sınıflandırma işlemi yine önyükleme adımı yapılmaktadır.

15 Buluşun tercih edilen bir uygulamasında kontrol ünitesi (3) bir satıra kutuplama gerilimi (B) uygulanıp uygulanmayacağına karar vermek için hücrelere (21) ait erişim örüntüsünü kullanmak için uyarlanmıştır.



Şekil 1



Şekil 2